

ISPIT

1. Trajanje ispita 180 minuta.
2. Ispit se radi u vežbanci.
3. Rešenja zadataka započeti na novoj strani.
4. Na naslovnoj strani obavezno zaokružiti redne brojeve zadataka koji su rađeni.
5. Dozvoljena je upotreba kalkulatora.
6. Parametri tranzistora i diode su dati gde je potrebno. Ne moraju svi parametri biti iskorišćeni u rešenju.

**U1 - Zadatak 1 (a - 8, b - 2, c - 5 poena)**

a) Algoritamskim računanjem, korak po korak, izračunati sledeće izraze, a zatim ih sortirati u opadajućem poretku

$$A = 011.10_{KO} + 101.010_{KO} \quad (\text{na raspolaganju 8 cifara})$$

$$B = 111010_{KMV} + 0100111_{KMV} \quad (\text{na raspolaganju 8 cifara})$$

$$C = 101.10_{KO} * 110.1_{KO} \quad (\text{na raspolaganju proizvoljan broj cifara})$$

$$D = 11101_{ZA} + 00110_{ZA} \quad (\text{na raspolaganju proizvoljan broj cifara})$$

*Napomena:* Potrebno je postupno i detaljno izračunati vrednosti, bez prelaženja u decimalni sistem, i obeležiti ukoliko negde dolazi do prekoračenja.

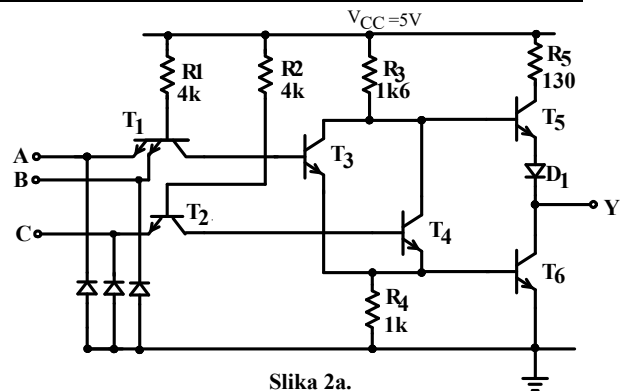
b) Ana je upravo napunila 33 godine. U kom brojnom sistemu Ana i dalje ima 25 godina?

c) Svaka poruka koja se šalje može sadržati broj u opsegu  $[-100, +100]$  predstavljen u komplementu osnove. Kolika je minimalna dužina poruke ukoliko se štiti Hamingovim kodom sa minimalnim rastojanjem 3? Koliko je minimalno rastojanje potrebno da bi kod imao mogućnost detekcije a koliko da bi imao mogućnost korekcije 12-bitnih grešaka?

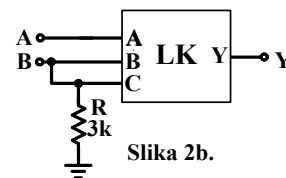
**U1 - Zadatak 2 (a - 5, b - 5, c - 5 d - 5 poena)**

Za logičko kolo sa slike 2:

- Proceniti režime rada svih tranzistora u kolu za sve kombinacije logičkih nivoa na ulazu kola. Rezultate prikazati tabelarno. Odrediti logičku funkciju kola  $Y=f(A,B,C)$ .
- Odrediti vrednosti napona  $V_{OH}, V_{OL}, V_{IL}, V_{IH}$  za dato logičko kolo.
- Ukoliko je kolo opterećeno sa  $C = 100nF$  na izlazu odrediti kašnjenje za prelaz  $A = B = 0, C = 0 \rightarrow 1$ .
- Ukoliko se ulazi kola sa slike 2a spoje kao na slici 2b odrediti napon na izlazu Y. Detaljno obrazložiti odgovor.



Slika 2a.



Slika 2b.

**Poznato je:**

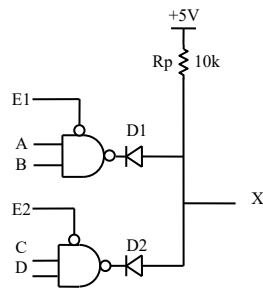
$$V_{BE} = V_D = 0.7 V, V_Y = V_{YD} = 0.6 V, V_{BES} = 0.8 V,$$

$$V_{CES} = 0.2 V, \beta_F = 50$$

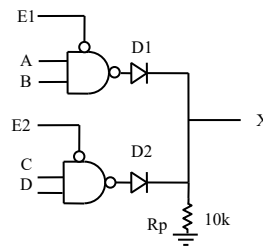
**U1 Zadatak 3 (a - 2, b - 4, c - 4, d - 5 poena)**

Na slici 3 je prikazana logička šema dela digitalnog uređaja posle izvršenih »neohodnih« modifikacija. Originalna realizacija ne sadrži diode D1 i D2 (kratka veza), međutim zbog greške u projektovanju bilo ih je neophodno dodati. Upotrebljena logička kola su u standardnoj TTL LS tehnologiji.

- Odrediti logičke funkcije izlaza X uređaja sa slike 3a) pre modifikacije za  $E1=E2=1$  i  $E1 \neq E2$ . Šta se desilo uređaju kada je bilo  $E1=E2=0$ ?
- Odrediti logičku funkciju izlaza X sa slike 3a) posle modifikacije odnosno dodavanja dioda D1 i D2. Da li sada može da se desi »nezgodna« situacija iz tačke (a). Kakvi su novi logički nivoi na izlazu X u poređenju sa standardnim TTL LS kolom?
- Odrediti logičku funkciju izlaza X sa slike 3b). Kakvi su novi logički nivoi na izlazu X u poređenju sa standardnim TTL LS kolom?
- Odrediti logičku funkciju izlaza X sa slike 3a) i 3b) ako se ukloni otpornik  $R_p$  i ostavi otvorena veza.



Slika 3a.



Slika 3b.

**U2 - Zadatak 4 (a – 7, b – 2, c - 2, d – 3, e- 6poena)**

Poznato je:  $W_n=400nm$ ,  $L=200nm$ ,  $\mu_n C_{ox}=240\mu A/V^2$ ,  $\mu_p C_{ox}=80\mu A/V^2$ ,  $C_{ox}=1\mu F/cm^2$ ,  $V_{Tn}=0.5V$ ,  $V_{Tp}=-0.5V$ ,  $E_{cn}L_n=1.2V$ ,  $E_{cp}L_p=4.8V$ ,  $\lambda=0.04V^{-1}$ ,  $\gamma=1$ ,  $V_{DD}=3.3V$ .

- Izvesti izraz za odnose širine kanala  $n$  i  $p$  tranzistora CMOS invertora da bi se minimizovalo srednje kašnjenje ako se invertor koristi u lancu istih invertora.
- Za odnose širina kanala iz tačke a) izračunati dinamičke otpornosti  $p$  i  $n$  kanalnog tranzistora potrebne za procenu kašnjenja.
- Za odnose širina kanala iz tačke a) izračunati prag odlučivanja logičkog kola.
- Za odnose širina kanala iz tačke a) izračunati maksimalnu struju kratkog spoja.
- U cilju poboljšanja dinamičkih karakteristika CMOS kola koje treba da radi sa velikom izlaznom kapacitivnošću  $C_L=500pF$ , na CMOS invertor minimalne geometrije iz tačke a) i interne kapacitivnosti  $C_i=10fF$ , izvršeno je dodavanje određenog broja baferskih invertora. Vreme propagacije signala kroz invertor minimalne geometrije je 50ps pri naponu napajanja  $V_{DD}=2.7V$ . Pretpostaviti da je ulazna kapacitivnost invertora proporcionalna njegovoj veličini. Koliki je broj invertora dodat da bi se dobilo minimalno kašnjenje? Koliko je ukupno vreme propagacije u tom slučaju pri naponu napajanja  $V_{DD}=3.3V$ ?

**U2 - Zadatak 5 (10 poena)**

- Projektovati kolo dekodera 2/4 sa aktivnim logičkim nulama na izlazima, tako da može jednostavno (sa što manjim dodavanjem spoljnih elemenata) da se koristi za pravljenje mreža većih kapaciteta. Adresni ulazi su sa aktivnim logičkim jedinicama. Za projektovanje su dozvoljena kola niskog stepena integracije.
- Korišćenjem komponente iz tačke a) realizovati dekodera 6/64.

**U2 - Zadatak 6 (a - 3 b – 2, c – 2, d – 3 poena)**

- Nacrtati jednostepeno statičko CMOS logičko kolo koje realizuje funkciju  $Y = f(A, B, C, D)$ , ako je  $Y = 1$  ako i samo ako binarni broj  $ABCD$  predstavlja validnu BCD cifru. Težiti da realizacija sadrži minimalan broj tranzistora.
- Odrediti odnose širina svih tranzistora u realizaciji iz tačke a) tako da kritična kašnjenja uzlazne i silazne ivice budu izjednačena i odgovaraju kašnjenjima referentnog invertora kod koga je  $W_p : W_n = 2 : 1$ .
- Realizovati logičku funkciju  $\bar{Y}$  u domino logici ako su na raspolaganju dvoulazna kola. Na ulazu logičkih kola su dostupne i negacije ulaznih promenljivih. Težiti da realizacija bude minimalne kompleksnosti.
- Odrediti minimalnu formu funkcije  $Z = \bar{\bar{A}}\bar{B} + \bar{A}\bar{B}D + \bar{A}\bar{B}\bar{D}$ . Modifikovati funkciju tako da se izbegne mogućnost pojave lažnih nula.

**U2 - Zadatak 7 (a – 3, b – 2, c – 5 poena)**

- Projektovati kombinacionu mrežu koja sabira dva 1-bitna broja A i B uz ulazni prenos  $C_{in}$ . Na izlazu se generiše zbir Y i izlazni prenos  $C_{out}$ .
- Korišćenjem kola iz prethodne tačke projektovati 4-bitni sabirač.
- Projektovati kolo koje sabira dva 8-bitna BCD broja. Na raspolaganju su kola projektovana u prethodnim tačkama, komparatori, multiplexeri i logička kola niskog stepena integracije proizvoljnog tipa. Težiti da broj upotrebljenih kola bude minimalan.