

ISPIT

1. Trajanje ispita 180 minuta.
2. Ispit se radi u vežbanci.
3. Rešenja zadataka započeti na novoj strani.
4. Na naslovnoj strani obavezno zaokružiti redne brojeve zadataka koji su rađeni.
5. Dozvoljena je upotreba kalkulatora.
6. Parametri tranzistora i diode su dati gde je potrebno. Ne moraju svi parametri biti iskorišćeni u rešenju.

U1 - Zadatak 1 (a - 8, b - 7 poena)

a) Algoritamskim računanjem, korak po korak, izračunati sledeće izraze, a zatim ih sortirati u opadajućem poretku

$$A = 110.110_{KO} - 0111.01_{KO} \quad (\text{na raspolaganju 8 cifara})$$

$$B = 1011_{KMN} + 01011001_{KMN} \quad (\text{na raspolaganju 8 cifara})$$

$$C = 011001_{KO} * 1011_{KO} \quad (\text{na raspolaganju proizvoljan broj cifara})$$

$$D = 01010_{ZA} + 10101_{ZA} \quad (\text{na raspolaganju proizvoljan broj cifara})$$

Napomena: Potrebno je postupno i detaljno izračunati vrednosti, bez prelaženja u decimalni sistem, i obeležiti ukoliko negde dolazi do prekoračenja.

b) 5-bitna poruka koje predstavlja označeni binarni broj u komplementu osnove je najpre kodovana u Gray-ovom kodu a zatim zaštićena Hamming-ovim kodom sa minimalnim rastojanjem 3. Ukoliko je primljena sekvenca 111101001, odrediti dekadnu vrednost poslanog označenog broja.

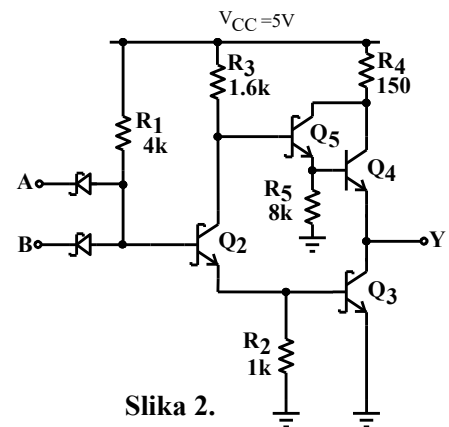
U1 - Zadatak 2 (a - 5, b - 5, c - 6, d - 4 poena)

Za logičko kolo sa slike 2:

- Proceniti režime rada svih tranzistora u kolu za sve kombinacije logičkih nivoa na ulazu kola. Rezultate prikazati tabelarno. Odrediti logičku funkciju kola $Y=f(A,B)$.
- Odrediti vrednosti napona V_{OH} , V_{OL} , V_{IL} , V_{IH} za dato logičko kolo.
- Odrediti faktor grananja kola pri naponima na izlazu V_{IL} i V_{IH} .
- Odrediti kašnjenje t_{pHL} ako je kolo opterećeno sa $C = 100nF$ na izlazu.

Poznato je:

$$V_{BE} = 0.7V, V_{\gamma} = 0.65V, V_{BE3} = 0.6V, V_{\gamma3} = 0.55V, V_{D3} = 0.3V, \beta_F = 60$$

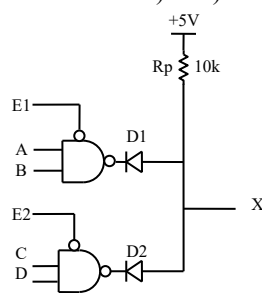


Slika 2.

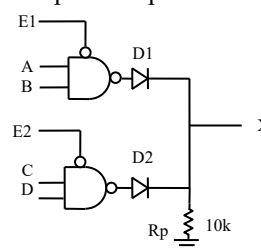
U1 Zadatak 3 (a - 2, b - 4, c - 4, d - 5 poena)

Na slici 3 je prikazana logička šema dela digitalnog uređaja posle izvršenih »neohodnih« modifikacija. Originalna realizacija ne sadrži diode D1 i D2 (kratka veza), međutim zbog greške u projektovanju bilo ih je neophodno dodati. Upotrebljena logička kola su u standardnoj TTL LS tehnologiji.

- Odrediti logičke funkcije izlaza X uređaja sa slike 3a) pre modifikacije za $E1=E2=1$ i $E1 \neq E2$. Šta se desilo uređaju kada je bilo $E1=E2=0$?
- Odrediti logičku funkciju izlaza X sa slike 3a) posle modifikacije odnosno dodavanja dioda D1 i D2. Da li sada može da se desi »nezgodna« situacija iz tačke (a). Kakvi su novi logički nivoi na izlazu X u poređenju sa standardnim TTL LS kolom?
- Odrediti logičku funkciju izlaza X sa slike 3b). Kakvi su novi logički nivoi na izlazu X u poređenju sa standardnim TTL LS kolom?
- Odrediti logičku funkciju izlaza X sa slike 3a) i 3b) ako se ukloni otpornik Rp i ostavi otvorena veza.



Slika 3a.



Slika 3b.

U2 - Zadatak 4 (a – 7, b – 2, c – 2, d – 3, e- 6poena)

Poznato je: $W_n=400nm$, $L=200nm$, $\mu_n C_{ox}=240\mu A/V^2$, $\mu_p C_{ox}=80\mu A/V^2$, $C_{ox}=1\mu F/cm^2$, $V_{Tn}=0.5V$, $V_{Tp}=-0.5V$, $E_{cn}L_n=1.2V$, $E_{cp}L_p=4.8V$, $\lambda=0.04V^{-1}$, $\gamma=1$, $V_{DD}=3.3V$.

- Izvesti izraz za odnose širine kanala n i p tranzistora CMOS invertora da bi se minimizovalo srednje kašnjenje ako se invertor koristi u lancu istih invertora.
- Za odnose širina kanala iz tačke a) izračunati dinamičke otpornosti p i n kanalnog tranzistora potrebne za procenu kašnjenja.
- Za odnose širina kanala iz tačke a) izračunati prag odlučivanja logičkog kola.
- Za odnose širina kanala iz tačke a) izračunati maksimalnu struju kratkog spoja.
- U cilju poboljšanja dinamičkih karakteristika CMOS kola koje treba da radi sa velikom izlaznom kapacitivnošću $C_L=500pF$, na CMOS invertor minimalne geometrije iz tačke a) i interne kapacitivnosti $C_i=10fF$, izvršeno je dodavanje određenog broja baferskih invertora. Vreme propagacije signala kroz invertor minimalne geometrije je 50ps pri naponu napajanja $V_{DD}=2.7V$. Pretpostaviti da je ulazna kapacitivnost invertora proporcionalna njegovoj veličini. Koliki je broj invertora dodat da bi se dobilo minimalno kašnjenje? Koliko je ukupno vreme propagacije u tom slučaju pri naponu napajanja $V_{DD}=3.3V$?

U2 - Zadatak 5 (10 poena)

- Projektovati kolo dekodera 2/4 sa aktivnim logičkim nulama na izlazima, tako da može jednostavno (sa što manjim dodavanjem spoljnih elemenata) da se koristi za pravljenje mreža većih kapaciteta. Adresni ulazi su sa aktivnim logičkim jedinicama. Za projektovanje su dozvoljena kola niskog stepena integracije.
- Korišćenjem komponente iz tačke a) realizovati dekodera 6/64.

U2 - Zadatak 6 (a - 4, b – 2, c – 2, d – 2 poena)

- Za funkciju $Y = \overline{A}\overline{D} + \overline{C}D + A\overline{C}$ odrediti pri kojim sve prelazima može doći do pojave lažnih nula. Realizovati šemu ako su na raspolaganju NI logička kola. Ako su kašnjenja svih logičkih kola identična identifikovati jedan prelaz kod kog se u datoj realizaciji javlja lažna nula i pokazati to na vremenskom dijagramu.
- Predstaviti zadatu funkciju pomoću proizvoda logičkih zbirova u minimalnoj formi. Da li pri ovoj realizaciji postoji mogućnost pojave lažnih jedinica?
- Realizovati prethodnu funkciju, u minimalnoj formi, kao jednostepeno CMOS logičko kolo. Težiti da broj tranzistora bude minimalan. Odrediti normirane širine kanala svih tranzistora tako da su kašnjenja jednaka sa kašnjenjem jediničnog invertora kod koga su širine kanala p i n kanalnog tranzistora u odnosu 2:1.
- Projektovati višestepeno dinamičko kolo u domino logici koje realizuje funkciju \overline{Y} (iskoristiti rezultat iz tačke b)) i sastoji se isključivo iz dvoulaznih logičkih kola.

U2 - Zadatak 7 (10 poena)

Ako su A , B i C 2-bitni neoznačeni brojevi, projektovati kombinacionu mrežu koja na izlazu generiše broj Y , tako da važi:

$$Y = \max \{ |2A - B|, 2C \cdot (A - 1)^2 \}, A > 1$$

$$Y = \min \{ 9A, B \cdot (C - 1)^2 \}, A \leq 1$$

Na raspolaganju su komparatori, multiplekseri i logička kola niskog stepena integracije proizvoljnog tipa. Težiti da broj upotrebljenih kola bude minimalan.