

1. Trajanje ispita 180 minuta.
2. Ispit se radi u vežbanci.
3. Rešenja zadataka započeti na novoj strani.
4. Na naslovnoj strani obavezno zaokružiti redne brojeve zadataka koji su rađeni.
5. Dozvoljena je upotreba kalkulatora.
6. Parametri tranzistora i diode su dati gde je potrebno. Ne moraju svi parametri biti iskorišćeni u rešenju.

U1 - Zadatak 1 (a - 8, b - 6 poena)

a) Algoritamskim računanjem, korak po korak, izračunati sledeće izraze ukoliko je na raspolaganju 5 cifara i sortirati ih u opadajućem poretku

$$A = 421_{5_{KMV}} + 042_{5_{KMV}}$$

$$B = 0011\ 1001_{BCD8421} + 0111\ 0001_{BCD8421}$$

(na raspolaganju potreban broj cifara)

$$C = (011.01_{KO} + 101.11_{KO}) * (10.101_{KO} - 10.000_{KO})$$

$$D = 1746_8 / 1022_4$$

Napomena: Potrebno je postupno i detaljno izračunati vrednosti, **bez prelaženja u decimalni sistem**, i obeležiti ukoliko negde dolazi do prekoračenja.

b) Pri očitavanju platne kartice na bankomatu podatak o unetom sigurnosnom pinu se predstavlja u BCD2421 predstavi, a zatim koduje Hamming-ovim kodom sa rastojanjem 3 i prosleđuje banci. Ukoliko je uneti pin 7630 postupno generisati podatak koji se prosleđuje banci.

U1 - Zadatak 2 (a - 8, b - 4, c - 5, d - 4 poena)

Za logičko kolo sa slike 2:

a) Proceniti režime rada svih tranzistora u kolu za sve kombinacije logičkih nivoa na ulazu kola. Rezultate prikazati tabelarno.

b) Odrediti logičke funkcije izlaza

$$Y_1 = f(A, B, C), Y_2 = g(A, B, C).$$

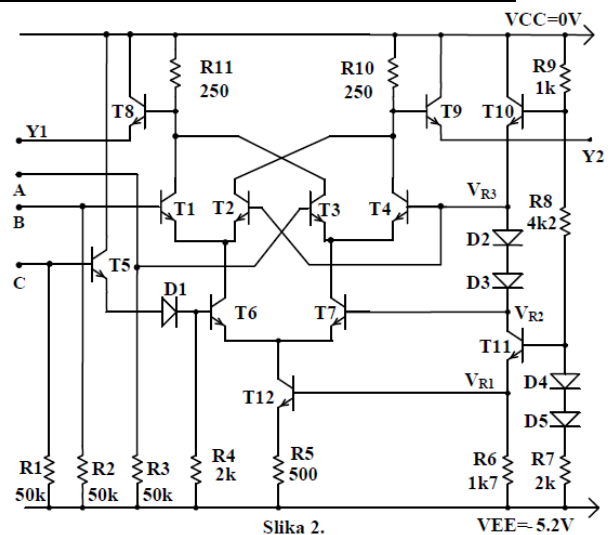
c) Odrediti vrednosti napona V_{R1} , V_{R2} , V_{R3} .

d) Odrediti vrednosti napona logičke jedinice i nule V_{OH} i V_{OL} .

Poznato je:

$$V_{BE} = V_D = 0.7V, V_\gamma = 0.6V, V_{BES} = 0.8V,$$

$$V_{CES} = 0.2V, \beta_F = 50$$



Slika 2.

U1 - Zadatak 3 (a - 5, b - 5, c - 5)

Da li, i pod kojim uslovima, smeju da se spoje izlazi logičkih kola urađeni u sledećim tehnologijama:

- a) TTL kola;
- b) pseudo NMOS;
- c) CMOS.

Nacrtati primere i obrazložiti odgovore.

U2 - Zadatak 4 (a – 7, b – 3, c - 2, b – 3 poena)

a) Izvesti izraz za odnose širine kanala n i p tranzistora CMOS invertora da bi se minimizovalo srednje kašnjenje ako se invertor koristi u lancu istih invertora. Koliki je taj odnos, odnosno širina kanala p kanalnog tranzistora, ako je poznato: $W_n=400nm$, $L=200nm$, $\mu_n C_{ox}=270\mu A/V^2$, $\mu_p C_{ox}=70\mu A/V^2$, $C_{ox}=1\mu F/cm^2$, $V_{Tn}=0.5V$, $V_{Tp}=-0.5V$, $E_{cn}L_n=1.2V$, $E_{cp}L_p=4.8V$, $\lambda=0.04V^{-1}$, $v_{SAT}=8 \times 10^6$ cm/s, $\gamma=1$.

b) U cilju poboljšanja dinamičkih karakteristika CMOS kola koje treba da radi sa velikom izlaznom kapacitivnošću $C_L=500pF$, na CMOS invertor minimalne geometrije iz tačke a) i interne kapacitivnosti $C_i=5fF$, izvršeno je dodavanje određenog broja baferskih invertora. Vreme propagacije signala kroz invertor minimalne geometrije je 50ps. Pretpostaviti da je ulazna kapacitivnost invertora proporcionalna njegovoj veličini. Koliki je broj invertora dodat da bi se dobilo minimalno kašnjenje? Koliko je ukupno vreme propagacije u tom slučaju?

c) Ako su podaci za invertore u tački b) sa naponom napajanja $V_{DD}=3.3V$ kolika će biti propagacija kola iz tačke b) ako bafersano kolo bude radilo sa naponom napajanja $V_{DD}=1.65V$.

d) Izračunati prag odlučivanja logičkog kola iz tačke a) pri naponu napajanja 1.65V.

U2 - Zadatak 5 (a -4 , b – 3, c – 3, d – 5, e – 2 poena)

a) Projektovati jednostepeno statičko CMOS logičko kolo koje realizuje funkciju $Y = \overline{(AB + C(DB + A))}$. Odrediti odnose širina svih tranzistora tako da kritična kašnjenja uzlazne i silazne ivice budu izjednačena i odgovaraju kašnjenjima referentnog invertora kod koga je $W_p:W_n = 2:1$.

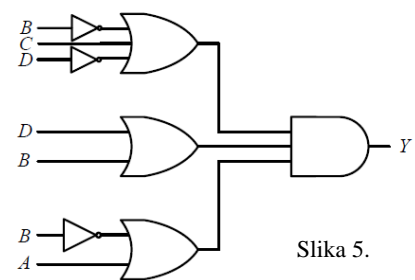
b) Realizovati funkciju Y ukoliko su na raspolaganju samo dvoulazna NILI logička kola. Težiti da broj upotrebljenih kola bude minimalan.

c) Realizovati funkciju $Z = \bar{Y}$ ukoliko su na raspolaganju multiplexeri 4u1. Na ulazu su dostupne samo prave vrednosti promenljivih.

d) Za kolo sa slike 5. odrediti pri kojim prelazima se javljaju statički hazardi. Ilustrovati vremenskim dijagramom jedan slučaj pojave hazarda.

e) Modifikovati kolo iz tačke d) tako da se eliminiše pojava statičkih hazarda.

Napomena: Sve realizacije je potrebno nacrtati i obeležiti odgovarajuće signale.



U2 - Zadatak 7 (10 poena)

Projektovati kolo demultipleksera koji ima 8 selekcionih signala sa aktivnim logičkim nulama, tako da maksimalno kašnjenje izlaznih signala bude što minimalnije. Na raspolaganju su standardna logička kola malog stepena integracije sa jednim, dva ili tri ulaza. Težiti da broj upotrebljenih čipova bude minimalan. Ako je vreme propagacije signala kroz logička kola t_p , izračunati vreme propagacije signala kroz demultiplekser.

U2 - Zadatak 8 (8 poena)

Projektovati n -bitni sabirač koji vrši operacije nad označenim brojevima datim u komplementu osnove. Pored generisanja rezultata sabiranja, sabirač treba da ima dodatni jednobitni izlaz OF koji na aktivnom nivou '1' ukazuje na pojavu prekoračenja (*overflow*). Na raspolaganju su kola niskog stepena integracije.