

1. Trajanje ispita 180 minuta.
2. Ispit se radi u vežbanci.
3. Rešenja zadataka započeti na novoj strani.
4. Na naslovnoj strani obavezno zaokružiti redne brojeve zadataka koji su rađeni.
5. Dozvoljena je upotreba kalkulatora.
6. Parametri tranzistora i diode su dati gde je potrebno. Ne moraju svi parametri biti iskorišćeni u rešenju.

**U1 - Zadatak 1 (a - 8, b - 6 poena)**

a) Algoritamskim računanjem, korak po korak, izračunati sledeće izraze ukoliko je na raspolaganju 5 cifara i sortirati ih u nerastućem poretku:

- $A = 01010_{KMV} - 11001_{KMV} + 10001_{KMV}$
- $B = 10011_{ZA} - 11001_{ZA}$
- $C = 4132_{5KO} + 1401_{5KO}$  (brojevi su u osnovi 5, označeni i predstavljeni u komplementu osnove)
- $D = 101.10_{KO} * 011.01_{KO}$  (na raspolaganju je potreban broj cifara)

*Napomena:* Ukoliko dođe do prekoračenja, naznačiti to i nastaviti sa dobijenim petocifarskim rezultatom.

b) Za istraživanje morskog dna naučnici koriste podmornicu-dron koja ima ultrazvučne senzore kojim određuje sopstvenu poziciju u odnosu na dno. Naučnici mogu poslati podmornici da se pomeri za određeni broj metara gore ili dole u vidu poruke  $d_8 m_7 m_6 m_5 m_4 m_3 m_2 m_1 m_0$  gde  $d_8$  ukazuje na smer kretanja (0 – gore, 1 – dole), a  $m_7 m_6 m_5 m_4 m_3 m_2 m_1 m_0$  predstavlja dvocifreni broj u BCD8421 predstavi koji definiše koliko metara dron treba da se pomeri u odnosu na trenutnu poziciju. Poruka se pre slanja dronu koduje Hammingovim kodom i dodatno štiti bitom neparnosti. Kada dron primi i dekoduje poruku on se pomera i šalje nazad novu udaljenost od morskog dna u 8-bitnom Gray-ovom kodu sa dodatnim zaštitinim bitom parnosti. Ukoliko se dron nalazi na 25 m od morskog dna, a pristigne mu naredba

10 01 00 00 01 01 10

odrediti novu poziciju podmornice i poruku koja je vraćena upravljačkom sistemu.

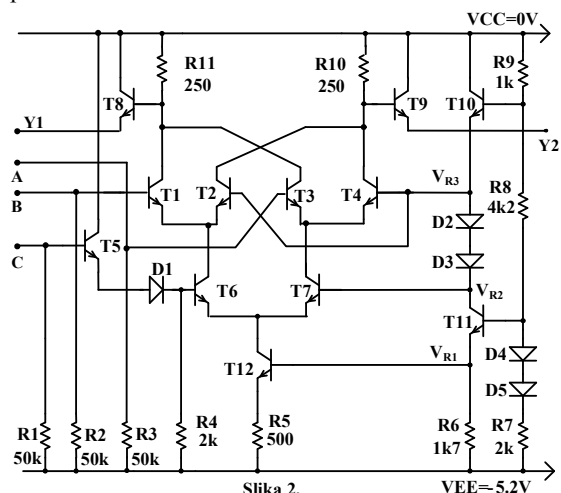
*Napomena:* Postupno pokazati dekodovanje podataka i kreiranje povratne poruke.

**U1 – Zadatak 2 (a - 8, b - 4, c – 5, d - 4 poena)**

Za logičko kolo sa slike 2:

- a) Proceniti režime rada svih tranzistora u kolu za sve kombinacije logičkih nivoa na ulazu kola. Rezultate prikazati tabelarno.
- b) Odrediti logičke funkcije kola  $Y_1 = f(A, B, C)$  i  $Y_2 = f(A, B, C)$ .
- c) Odrediti vrednosti napona  $V_{R1}$ ,  $V_{R2}$ ,  $V_{R3}$ .
- d) Odrediti vrednosti napona logičke nule i jedinice,  $V_{OL}$  i  $V_{OH}$ .

Poznato je:  $V_{BE} = V_D = 0.7V$ ,  $V_T = 0.6V$ ,  $V_{BES} = 0.8V$ ,  $V_{CES} = 0.2V$ ,  $\beta_F = 50$



Slika 2.

**U1 - Zadatak 3 (a - 5, b - 5, c - 5)**

Da li, i pod kojim uslovima, smeju da se spoje izlazi logičkih kola urađeni u sledećim tehnologijama:

- a) LS TTL kola;
- b) ECL;
- c) CMOS.

Nacrtaati primere i obrazložiti odgovore.

**U2 - Zadatak 4 (a-5, b-5, c-5 poena)**

Tehnološki parametri izrade MOS tranzistora su:  $L=200nm$ ,  $\mu_n C_{ox}=270\mu A/V^2$ ,  $\mu_p C_{ox}=70\mu A/V^2$ ,  $C_{ox}=1\mu F/cm^2$ ,  $V_{Tn}=0.5V$ ,  $V_{Tp}=-0.5V$ ,  $E_c L_n=1.2V$ ,  $E_c L_p=4.8V$ ,  $v_{SAT}=8 \times 10^6$  cm/s,  $\lambda \approx 0$ .

Za kolo CMOS invertora sa  $V_{DD}=3.3V$ ,  $Wn=400nm$ :

- odediti širinu kanala  $Wp$  tako da napon  $V_S$  bude približno jednak polovini napona napajanja;
- približno nacrtati karakteristiku prenosa i odrediti napone  $V_{OH}$ ,  $V_{OL}$ ,  $V_S$  i napisati izraze na osnovu kojih se izračunavaju vrednosti napona  $V_{IH}$  i  $V_{IL}$ ;
- izračunati dinamičke otpornosti  $p$  i  $n$  kanalnog tranzistora potrebne za procenu kašnjenja.

**U2 - Zadatak 5 (a - 5, b - 5, c - 4, d - 3 poena)**

a) Projektovati jednostepeno statičko CMOS logičko kolo koje realizuje funkciju  $Y = \overline{(\overline{C + AD})(\overline{B + D})(C + D) + AC}$ . Nije dozvoljeno minimizovati funkciju. Dostupne su i negacije ulaznih promenljivih. Odrediti odnose širina svih tranzistora tako da kritična kašnjenja uzlazne i silazne ivice budu izjednačena i odgovaraju kašnjenjima referentnog invertora kod koga je  $W_p : W_n = 2 : 1$ .

- Realizovati funkciju  $Y$  kao jednostepeno dinamičko kolo. Težiti da realizacija bude minimalne kompleksnosti.
- Minimizovati funkciju  $Y$  tako da je pogodna za realizaciju pomoću *NLI* logičkih kola. Da li kod dobijene minimalne realizacije moguća pojava lažne jedinice? Ako jeste, modifikovati funkciju tako da se eliminiše pojava lažne jedinice.
- Realizovati funkciju  $Z = \overline{Y}$  pomoću multipleksera 4u1 i proizvoljnih logičkih kola niskog stepena integracije.

**U2 - Zadatak 6 (10 poena)**

Projektovati kolo demultipleksera koji ima 16 selekcionih signala sa aktivnim logičkim jedinicama, tako da maksimalno kašnjenje izlaznih signala bude manje ili jednako  $5t_p$ . Na raspolaganju su standardna logička kola malog stepena integracije sa jednim, dva ili tri ulaza. Težiti da broj upotrebljenih čipova bude minimalan. Vreme propagacije signala kroz logička kola je  $t_p$ .

**U2 - Zadatak 7 (8 poena)**

Realizovati 5-bitni sabirač koji vrši operacije nad označenim brojevima datim u predstavi znak plus apsolutna vrednost. Na raspolaganju su kola srednjeg i niskog stepena integracije.

*Napomena:* Potrebno je detaljno obeležiti sve ulaze i izlaze, kao i kontrolne signale kola srednjeg stepena integracije.