

1. Trajanje ispita 180 minuta.
2. Ispit se radi u vežbanci.
3. Rešenja zadataka započeti na novoj strani.
4. Na naslovnoj strani obavezno zaokružiti redne brojeve zadataka koji su rađeni.
5. Dozvoljena je upotreba kalkulatora.
6. Parametri tranzistora i diode su dati gde je potrebno. Ne moraju svi parametri biti iskorišćeni u rešenju.

Zadatak 1 (a - 6, b - 8 poena)

a) Algoritamskim računanjem, korak po korak, izračunati sledeće izraze ukoliko je na raspolaganju 5 cifara i sortirati ih u neopadajućem poretku:

- $A = 00101_{KO} + 01110_{KO} + 10110_{KO}$
- $B = 10011_{KMV} - 01000_{KMV}$
- $C = 10100_{GRAY} - 00101_{GRAY}$
- $D = 00111_{ZA} + 11101_{ZA}$

Napomena: Naznačiti da li je došlo do prekoračenja prilikom izračunavanja vrednosti izraza.

b) Aparat za slatkiše omogućava odabir proizvoda preko tastature koja sadrži cifre 0-9 i slova A-F. Svaki proizvod ima pridruženi kôd koji se sastoji od jednog slova i jedne cifre (slovo se uvek prvo unosi). Uneseni kôd se interpretira kao heksadecimalni broj, prevodi u osmobarbitni binarni zapis, dodaju zaštitni biti *Hamming*-ovim kôdom i šalje mikrokontroleru koji vrši dalje odlučivanje i upravljanje.

Ukoliko na bilansu ima dovoljno novca za traženi proizvod mikrokontroler vraća nazad eho poslatog kôda (ako je tokom dekodovanja detektovana greška u poruci ona se koriguje pa se korigovana poruka vraća). Ukoliko je cena traženog proizvoda veća od trenutnog novčanog balansa mikrokontroler šalje poruku „EE“ koja se takođe interpretira kao heksadecimalni broj, pretvara u binarni i koduje Hammingovim kodom.

Proizvodi sa istim slovom u kodu imaju istu cenu. Cenovni rang 40-90 dinara se slika u kôdove A#-F# sa korakom 10.

Ako je mikrokontroler detektovao da je uplaćeno 100 dinara, a zatim su pristigle poruke:

- 1010 0001 1100
- 1100 1010 0000

odrediti koje poruke je mikrokontroler vratio pri svakom od ova dva zahteva.

Napomena: Postupno pokazati kako se formiraju poruke.

Zadatak 2 (a - 9, b - 6, c - 6 poena)

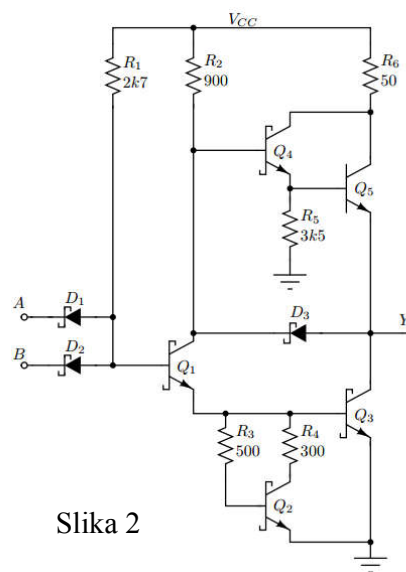
Za logičko kolo sa Šotki tranzistorima iz 74AS familije sa slike 2:

a) Odrediti režime rada svih tranzistora i dioda u kolu za sve kombinacije logičkih nivoa na ulazu kola. Rezultate prikazati tabelarno. Potrebno je dokazati da tranzistori i diode zaista rade u procenjenim režimima.

b) Odrediti vrednosti napona logičke nule i jedinice V_{OL} i V_{OH} , napone V_{IL} i V_{IH} i margine šuma u slučaju višestrukog izvora šuma.

c) Odrediti faktor grananja na izlazu kola ukoliko napon na izlazu kola može biti maksimalno V_{IL} pri logičkoj nuli i minimalno V_{IH} pri logičkoj jedinici.

Za sve tranzistore osim za tranzistor Q_2 važi: $V_{BE} = 0.7 \text{ V}$, $V_{\gamma} = 0.6 \text{ V}$, $\beta_F = 50$. Za transistor Q_2 važi: $V_{BEQ2} = 0.6 \text{ V}$, $V_{\gamma 2} = 0.5 \text{ V}$. Poznato je $V_{DS} = 0.3 \text{ V}$ i $V_{CC} = 5 \text{ V}$.



Slika 2

Zadatak 3 (a - 4, b - 4, c - 4, d - 3, poena)

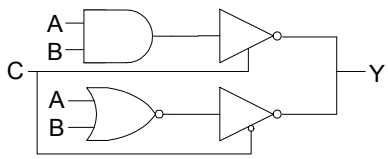
Funkcionalnom tabelom ili na drugi pogodan način prikazati funkciju dela digitalnog sistema realizovanog TTL logičkim kolima:

a) prikazanog na slici 3a;

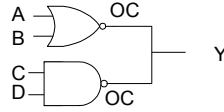
b) prikazanog na slici 3b.

c) Šta može da se desi u kolu prikazanom pod na slici 3c, i pri kojoj kombinaciji ulaza, ako su logička kola realizovana kao LS TTL kola (totem pole na izlazu)?

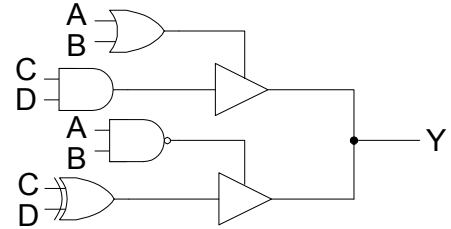
d) Kakav je odgovor pod c) ako su EKS ILI i I kolo realizovani sa otvorenim kolektorom?



Slika 3a



Slika 3b



Slika 3c

Zadatak 4 (a – 6, b – 3, c – 2, b – 3 poena)

a) Izvesti izraz za odnose širine kanala n i p tranzistora CMOS invertora da bi se minimizovalo srednje kašnjenje ako se invertor koristi u lancu istih invertora. Koliki je taj odnos, odnosno širina kanala p kanalnog tranzistora, ako je poznato: $W_n=400\text{nm}$, $L=200\text{nm}$, $\mu_n C_{ox}=270\mu\text{A}/\text{V}^2$, $\mu_p C_{ox}=70\mu\text{A}/\text{V}^2$, $C_{ox}=1\mu\text{F}/\text{cm}^2$, $V_{Tn}=0.5\text{V}$, $V_{Tp}=-0.5\text{V}$, $E_{cn}L_n=1.2\text{V}$, $E_{cp}L_p=4.8\text{V}$, $\lambda=0.04\text{V}^{-1}$, $v_{SAT}=8 \times 10^6\text{ cm/s}$, $\gamma=1$.

b) U cilju poboljšanja dinamičkih karakteristika CMOS kola koje treba da radi sa velikom izlaznom kapacitivnošću $C_L=100\text{pF}$, na CMOS invertor minimalne geometrije iz tačke a) i interne kapacitivnosti $C_i=10\text{fF}$, izvršeno je dodavanje određenog broja baferskih invertora. Vreme propagacije signala kroz invertor minimalne geometrije je 50ps . Pretpostaviti da je ulazna kapacitivnost invertora proporcionalna njegovoj veličini. Koliki je broj invertora dodat da bi se dobilo minimalno kašnjenje? Koliko je ukupno vreme propagacije u tom slučaju?

c) Ako su podaci za invertore u tački b) sa naponom napajanja $V_{DD}=1.8\text{V}$ kolika će biti propagacija kola iz tačke b) ako bafersano kolo bude radilo sa naponom napajanja $V_{DD}=3.3\text{V}$.

d) Izračunati maksimalnu struju kratkog spoja za CMOS invertor iz tačke a), pri $V_{DD}=3.3\text{V}$.

Zadatak 5 (a – 3, b – 4, c – 3, d – 5, e – 3, poena)

a) Odrediti $Y = f(A, B, C, D)$ ukoliko je ABCD četvorobitni Gray-ov binarni kod, a funkcija Y je jednaka jedinici onda kada je vrednost predstavljena Gray-ovim kodom deljiva sa 3.

b) Realizovati funkciju Y u dinamičkoj CMOS domino logici ukoliko su za realizaciju dostupna samo I i ILI domino CMOS kola. Dostupne su i negacije ulaznih promenljivih. *Napomena:* potrebno je nacrtati i realizaciju pomenutih I i/ili ILI domino CMOS kola koja se koriste.

c) Realizovati funkciju Y pomoću transmissionih gejtova. Težiti da realizacija bude minimalne kompleksnosti.

d) Ispitati mogućnost pojave statičkih hazarda pri različitim realizacijama funkcije Y . Ukoliko postoji mogućnost, odrediti pri kojoj promeni vrednosti dolazi do pojave gliča i nacrtati dijagram sa svim relevantnim signalima koji ilustruje datu pojavu.

Napomena: Ukoliko postoji više prelaza koji mogu dovesti do pojave statičkog hazarda odabrati jedan i za njega iscertati dijagram.

e) Realizovati funkciju Y pomoću multipleksera 4u1 i proizvoljnih logičkih kola niskog stepena integracije.

Zadatak 6 (a-4, b-6 poena)

a) Realizovati kolo dekodera 2/4 sa chip select (CS) signalom sa izlazima aktivnim na logičkoj jedinici ukoliko su na raspolaganju samo NI kola.

Napomena: Aktivan CS signal obezbeđuje standardnu funkcionalnost kola, dok neaktivan „isključuje“ kolo i forsira neaktivan nivo na svim izlazima kola.

b) Projektovati kolo dekodera koji ima 16 ulaza i aktivne logičke jedinice na izlazima, tako da maksimalno kašnjenje izlaznih signala bude minimalno. Dekoder ne mora da ima CS signal. Na raspolaganju su standardna invertujuća logička kola malog stepena integracije i dekoderi 2/4 iz tačke a). Težiti da broj upotrebljenih kola bude minimalan. Ako je vreme propagacije signala kroz logička kola t_p , izračunati vreme propagacije kroz realizovan dekodera.

(dodatnih 5 poena) Proceniti normiranu ($W_N L_N=1$ kod invertora minimalne geometrije) površinu koju realizovano kolo zauzima na silicijumskom čipu, ako se kola prave sa minimalnom geometrijom tranzistora tako da kritična kašnjenja uzlazne i silazne ivice budu izjednačena i odgovaraju kašnjenjima referentnog invertora kod koga je $W_p : W_N = 2 : 1$.

Zadatak 7 (a – 8 poena)

Ako su A , B i C 4-bitni neoznačni brojevi, projektovati kombinacionu mrežu koja na izlazu generiše 5-bitni broj Y , tako da važi:

$$Y = \min(A, 2B), \quad A > B$$

$$Y = \max(A, B / 4 + 3), \quad A < B$$

$$Y = 0, \quad A = B$$

Na raspolaganju su 4-bitni komparatori i potrebna logička kola i logička kola niskog stepena integracije proizvoljnog tipa. Težiti da broj upotrebljenih kola bude minimalan.