

1. Trajanje ispita 180 minuta.
2. Ispit se radi u vežbanci.
3. Rešenja zadataka započeti na novoj strani.
4. Na naslovnoj strani vežbanke obavezno zaokružiti redne brojeve zadataka koji su rađeni.
5. Dozvoljena je upotreba kalkulatora.
6. Parametri tranzistora i diode su dati gde je potrebno. Ne moraju svi parametri biti iskorišćeni u rešenju.

Zadatak 1 (a - 6, b - 5)

Algoritamskim računanjem, korak po korak, izračunati i pokazati da li su date tvrdnje tačne ili netačne ukoliko su na raspolaganju 4 cifre

- $0110_{KMV} + 1011_{KMV} > 1100_{KMV} - 1010_{KMV}$
- $1011_{KO} - 0110_{KO} > 1110_{KO} + 1010_{KO}$

Napomena: Ukoliko dođe do prekoračenja, naznačiti to i nastaviti sa dobijenim četvorocifarskim rezultatom

b) Ako se u digitalnom sistemu informacije koduju Hamingovim kodom i na prijemnoj strani stigne sledeći niz od 15 bita: 011 010 111 100 110, odrediti informacione bite koji su poslani i zaštititi ih bitom neparne parnosti.

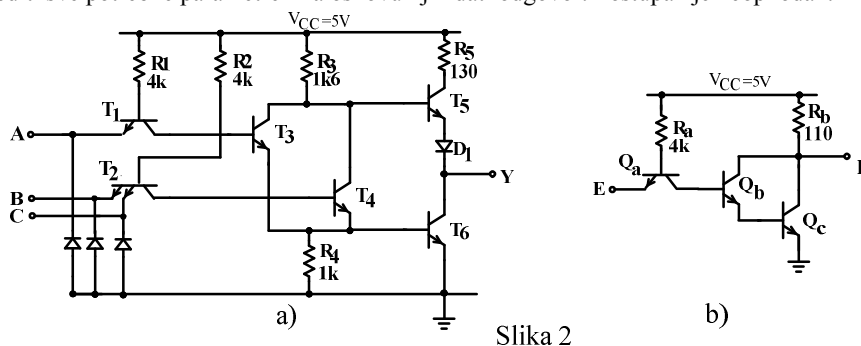
Zadatak 2 (a - 16, b - 8 poena)

a) Odrediti kašnjenja t_{pHL} i t_{pLH} kola sa slike 2a ako se na izlaz veže kondenzator kapacitivnosti $C = 10$ pF. Zanimariti interne parazitne kapacitivnosti tranzistora, dioda, otpornika i veza.

b) Ako su na raspolaganju samo kola sa slike 2a i 2b, realizovati kolo sa funkcijom $Z = A(B + \bar{C})$

Poznato je: $V_{BE}=V_D=0.7V$, $V_{\gamma}=0.6V$, $V_{BES}=0.8V$, $V_{CES}=0.2V$, $\beta_F=50$, $\beta_R=0.1$.

Napomena: Odrediti sve potrebne parametre i na osnovu njih dati odgovor. Postupak je neophodan.

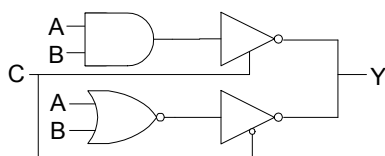


Slika 2

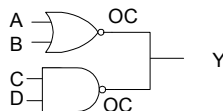
Zadatak 3 (a - 4, b - 4, c - 4, d - 3, poena)

Funkcionalnom tabelom ili na drugi pogodan način prikazati funkciju dela digitalnog sistema realizovanog TTL logičkim kolima:

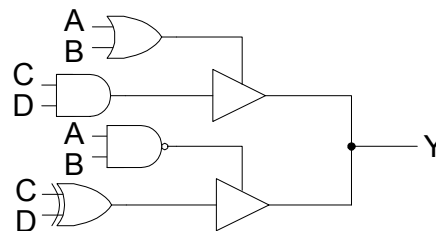
- a) prikazanog na slici 3a;
- b) prikazanog na slici 3b.
- c) Šta može da se desi u kolu prikazanom pod na slici 3c, i pri kojoj kombinaciji ulaza, ako su logička kola realizovana kao LS TTL kola (totem pole na izlazu)?
- d) Kakav je odgovor pod c) ako su EKS ILI i I kolo realizovani sa otvorenim kolektorom?



Slika 3a



Slika 3b



Slika 3c

Zadatak 4 (a – 7, b – 3, c – 2, b – 3 poena)

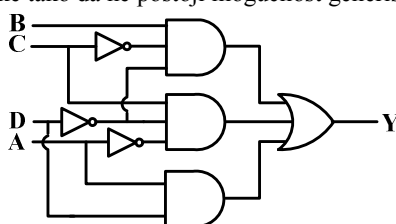
- a) Izvesti izraz za odnose širine kanala n i p tranzistora CMOS invertora tako da prag odlučivanja logičkog kola bude jednak polovini napona napajanja. Koliki je taj odnos, odnosno širina kanala p kanalnog tranzistora, ako je poznato: $W_n=400nm$, $L=200nm$, $\mu_n C_{ox}=270\mu A/V^2$, $\mu_p C_{ox}=70\mu A/V^2$, $C_{ox}=1\mu F/cm^2$, $V_{Tn}=0.5V$, $V_{Tp}=-0.5V$, $E_{cn}L_n=1.2V$, $E_{cp}L_p=4.8V$, $\lambda=0.04V^{-1}$, $v_{SAT}=8 \times 10^6$ cm/s, $\gamma=1$, $V_{DD}=2.5V$.
- b) Ako se konfiguracija CMOS invertora sa odnosima širine kanala iz tačke a) preveže u pseudo n MOS invertor, koliki je prag odlučivanja u tom slučaju?
- c) Izračunati maksimalnu struju kratkog spoja za CMOS invertor iz tačke a).
- d) Izračunati dinamičku disipaciju zbog provođenja oba tranzistora, ako je signal na ulazu simetričan, učestanosti 1GHz, sa naponima logičke nule i jedinice, i vremenom uspona i pada ivica 50ns.

Zadatak 5 (a - 5, b – 2, c – 3 poena)

- a) Nacrtati jednostepeno statičko CMOS logičko kolo koje realizuje funkciju $Y = f(A, B, C, D)$, ako je $Y = 1$ ako i samo ako neoznačeni binarni broj $ABCD$ zapisan u Gray-ovom binarnom zapisu ima podjednak broj jedinica i nula. Na primer, $Y = 1$ za $ABCD = 1000$, dok je $Y = 0$ za $ABCD = 1111$. Na ulazu logičkog kola su dostupne i negacije ulaznih promenljivih. Težiti da realizacija sadrži minimalan broj tranzistora.
- b) Odrediti odnose širina svih tranzistora u realizaciji iz tačke a) tako da kritična kašnjenja uzlazne i silazne ivice budu izjednačena i odgovaraju kašnjenjima referentnog invertora kod koga je $W_p : W_n = 2 : 1$.
- c) Realizovati logičku funkciju iz tačke a) pomoću transmisionih gejtova. Na ulazu logičkih kola su dostupne i negacije ulaznih promenljivih. Težiti da realizacija bude minimalne kompleksnosti.

Zadatak 6 (a – 5, b – 5, c - 5 poena)

- a) Za funkciju realizovanu na slici 6. odrediti pri kojim prelazima dolazi do pojave lažne nule. Skicirati jedan od njih.
- b) Izvršiti modifikaciju realizacije sa slike tako da ne postoji mogućnost generisanja lažne nule.

**Slika 6.**

- c) Ukoliko su na raspolaganju proizvoljna kola niskog i srednjeg stepena integracije projektovati kolo koje za dva ulazna četvorobitna broja data u kodu znak i apsolutna vrednost računa njihov zbir. Rezultat je petobitni broj u kodu znak i apsolutna vrednost. Težiti da broj upotrebljenih kola bude minimalan.

Zadatak 7 (10 poena)

- a) Projektovati kolo dekodera 2/4 sa aktivnim logičkim nulama na ulazima i izlazima, tako da može jednostavno (sa što manjim dodavanjem spoljnih elemenata) da se koristi za pravljenje mreža većih kapaciteta. Za projektovanje su dozvoljena kola niskog stepena integracije.
- b) Korišćenjem komponente iz tačke a) realizovati dekodera 4/16.
- c) Proceniti normiranu ($W_n L_n = 1$ kod invertora minimalne geometrije) površinu koju realizovano kolo zauzima na silicijumskom čipu, ako se kola prave sa minimalnom geometrijom tranzistora tako da kritična kašnjenja uzlazne i silazne ivice budu izjednačena i odgovaraju kašnjenjima referentnog invertora kod koga je $W_p : W_n = 2 : 1$.