

1. Trajanje ispita 180 minuta.
2. Ispit se radi u vežbanci.
3. Rešenja zadataka započeti na novoj strani.
4. Na naslovnoj strani vežbanke obavezno zaokružiti redne brojeve zadataka koji su rađeni.
5. Dozvoljena je upotreba kalkulatora.
6. Parametri tranzistora i diode su dati gde je potrebno. Ne moraju svi parametri biti iskorišćeni u rešenju.

Zadatak 1 (a - 4, b - 3, c - 2 poena)

Algoritamskim računanjem, korak po korak, izračunati i pokazati da li su date tvrdnje tačne ili netačne:

a) ukoliko su na raspolaganju 4 cifre

- $0101_{KMV} + 1011_{KMV} > 1010_{KMV} - 1011_{KMV}$
- $1011_{KO} - 1101_{KO} > 1100_{KO} + 1010_{KO}$

Napomena: Ukoliko dođe do prekoračenja, naznačiti to i nastaviti sa dobijenim četvorocifarskim rezultatom

b) ukoliko je na raspolaganju proizvoljan broj cifara

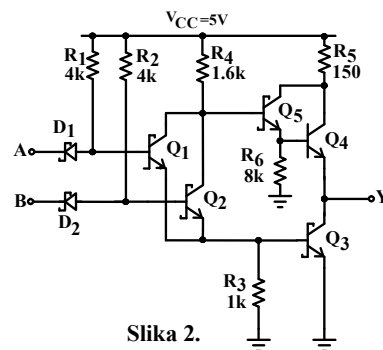
- $01110110_{BCD} + 10001001_{BCD} > 000101100110_{BCD}$
- $10111_{KO} \cdot 11010_{KO} > 000110111_{KO}$ (brojevi su dati u komplementu osnove)

c) U kom brojnom sistemu veži jednakost $\sqrt{41} = 11 - 2$?

Zadatak 2 (a - 6, b - 3, c - 5, d - 3, e - 5, f - 4 poena)

Za logičko kolo sa slike 2:

- Proceniti režime rada svih tranzistora u kolu za sve kombinacije logičkih nivoa na ulazu kola. Rezultate prikazati tabelarno. Odrediti logičku funkciju kola $Y=f(A,B)$.
- Odrediti vrednosti napona logičke nule i jedinice, V_{OL} i V_{OH} .
- Odrediti karakteristiku prenosa logičkog kola, kao i margine šuma u slučaju višestrukih izvora smetnji. Za svaku karakterističnu tačku u proračunu navesti kojim uslovom je određena.
- Odrediti karakteristiku prenosa za lanac ovakvih kola, pri čemu se u lancu nalazi neparan broj kola.
- Odrediti strujne kapacitete kao i faktor grananja kola pri naponima na izlazu V_{IL} i V_{IH} .
- Odrediti kašnjenje t_{pHL} ako je kolo opterećeno sa $C=100nF$ na izlazu.



Slika 2.

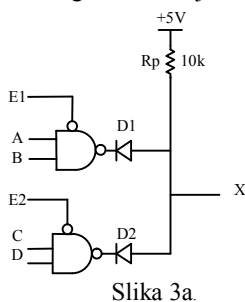
Poznato je:

$$V_{BE} = 0.7V, V_T = 0.6V, V_{DS} = 0.2V, \beta_F = 60$$

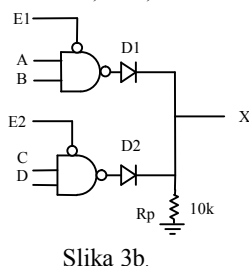
Zadatak 3 (a - 2, b - 4, c - 4, d - 5 poena)

Na slici 3 je prikazana logička šema dela digitalnog uređaja posle izvršenih »neohodnih« modifikacija. Originalna realizacija ne sadrži diode D1 i D2 (kratka veza), međutim zbog greške u projektovanju bilo ih je neophodno dodati. Upotrebljena logička kola su u standardnoj TTL LS tehnologiji.

- Odrediti logičke funkcije izlaza X uređaja sa slike 3a) pre modifikacije za $E1=E2=1$ i $E1 \neq E2$. Šta se desilo uređaju kada je bilo $E1=E2=0$?
- Odrediti logičku funkciju izlaza X sa slike 3a) posle modifikacije odnosno dodavanja dioda D1 i D2. Da li sada može da se desi »nezgodna« situacija iz tačke (a). Kakvi su novi logički nivoi na izlazu X u poređenju sa standardnim TTL LS kolom?
- Odrediti logičku funkciju izlaza X sa slike 3b). Kakvi su novi logički nivoi na izlazu X u poređenju sa standardnim TTL LS kolom?
- Odrediti logičku funkciju izlaza X sa slike 3a) i 3b) ako se ukloni otpornik R_p i ostavi otvorena veza.



Slika 3a.



Slika 3b.

Zadatak 4 (a – 7, b – 3, c – 2, b – 3 poena)

- a) Izvesti izraz za odnose širine kanala n i p tranzistora CMOS invertora tako da prag odlučivanja logičkog kola bude jednak polovini napona napajanja. Koliki je taj odnos, odnosno širina kanala p kanalnog tranzistora, ako je poznato: $W_n=400nm$, $L=200nm$, $\mu_n C_{ox}=270\mu A/V^2$, $\mu_p C_{ox}=70\mu A/V^2$, $C_{ox}=1\mu F/cm^2$, $V_{Tn}=0.5V$, $V_{Tp}=-0.5V$, $E_{cn}L_n=1.2V$, $E_{cp}L_p=4.8V$, $\lambda=0.04V^{-1}$, $v_{SAT}=8 \times 10^6$ cm/s, $\gamma=1$, $V_{DD}=2.5V$.
- b) Ako se konfiguracija CMOS invertora sa odnosima širine kanala iz tačke a) preveže u pseudo n MOS invertor, koliki je prag odlučivanja u tom slučaju?
- c) Izračunati maksimalnu struju kratkog spoja za CMOS invertor iz tačke a).
- d) Izračunati dinamičku disipaciju zbog provođenja oba tranzistora, ako je signal na ulazu simetričan, učestanosti 1GHz, sa naponima logičke nule i jedinice, i vremenom uspona i pada ivica 50ns.

Zadatak 5 (a - 6, b – 2, c – 3, d - 4 poena)

- a) Nacrtati jednostepeno statičko CMOS logičko kolo koje realizuje funkciju $Y = f(A, B, C, D)$, ako je $Y = 1$ ako i samo ako neoznačeni binarni broj $ABCD$ zapisan u *Gray*-ovom binarnom zapisu ima jedinice na tri susedna bita (bit najveće i najmanje težine su takođe susedni). Na primer, $Y = 1$ za $ABCD = 1001$, dok je $Y = 0$ za $ABCD = 1100$. Na ulazu logičkog kola su dostupne i negacije ulaznih promenljivih. Težiti da realizacija sadrži minimalan broj tranzistora.
- b) Odrediti odnose širina svih tranzistora u realizaciji iz tačke a) tako da kritična kašnjenja uzlazne i silazne ivice budu izjednačena i odgovaraju kašnjenjima referentnog invertora kod koga je $W_p : W_n = 2 : 1$.
- c) Nacrtati šemu dinamičkog CMOS logičkog kola u domino logici koje realizuje logičku funkciju iz tačke a). Na raspolaganju su I i ILI dinamička CMOS logička kola sa proizvoljnim brojem ulaza i statički invertori. Na ulazu logičkih kola su dostupne i negacije ulaznih promenljivih. Težiti da realizacija sadrži minimalan broj tranzistora.
- d) Realizovati logičku funkciju iz tačke a) pomoću transmisionih gejtova. Na ulazu logičkih kola su dostupne i negacije ulaznih promenljivih. Težiti da realizacija bude minimalne kompleksnosti.

Zadatak 6 (10 poena)

- a) Projektovati kolo kodera prioriteta sa 4 ulaza i aktivnim logičkim nulama na ulazima i izlazima, tako da može jednostavno (sa što manjim dodavanjem spoljnih elemenata) da se koristi za pravljenje mreža većih kapaciteta. Za projektovanje su dozvoljena kola niskog stepena integracije.
- b) Korišćenjem komponente iz tačke a) realizovati koder prioriteta sa 8 ulaza.

Zadatak 7 (a – 5, b - 5 poena)

Ukoliko su na raspolaganju proizvoljna kola niskog i srednjeg stepena integracije

- a) Projektovati kombinacionu mrežu kojom se dati broj $A = a_3 a_2 a_1 a_0$ zadat u $BCD8421$ kodu konvertuje u kod više 3 i $BCD2421$. Izbor konverzije vršiti pomoću signala $KV3/BCD2421$. Na ulazu se mogu pojaviti samo kodne reči u $BCD8421$ kodu.
- b) Projektovati kolo koje za dva ulazna dvocifrena broja data u BCD kodu računa njihov zbir.

Težiti da broj upotrebljenih kola bude minimalan.