

1. Trajanje kolokvijuma 120 minuta.
2. Kolokvijum se radi u vežbanci.
3. Rešenje svakog zadatka započeti na novoj strani.
4. Dozvoljena je upotreba kalkulatora.

Tehnološki parametri izrade MOS tranzistora su: $L=100nm$, $\mu_n C_{ox}=432\mu A/V^2$, $\mu_p C_{ox}=112\mu A/V^2$, $C_{ox}=1.6\mu F/cm^2$, $V_{Tn}=0.4V$, $V_{Tp}=-0.4V$, $E_{cn}L=0.6V$, $E_{cp}L=2.4V$, $\lambda \approx 0$.

Zadatak 1 (a-15, b-5, c-5, poena)

Za kolo pseudo NMOS invertora sa $V_{DD}=1.8V$, $W_p=W_n=400nm$:

- a) približno nacrtati karakteristiku prenosa i odrediti vrednosti napona V_{OH} , V_{OL} , V_S , V_{IH} i V_{IL} ;
- b) odrediti margine šuma;
- c) izračunati potrebne odnose širina kanala p i n kanalnog tranzistora da bi se dobio prag odlučivanja približno jednak polovini napona napajanja;

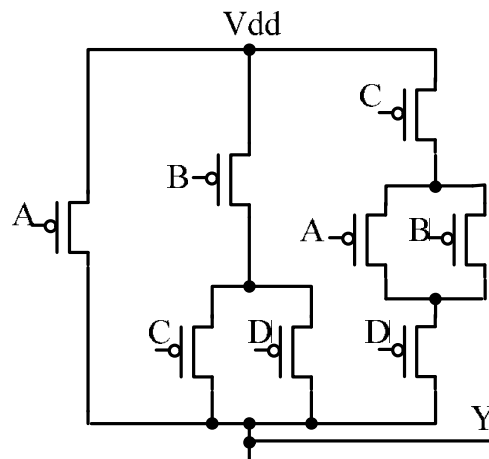
Zadatak 2 (a-5, b-5, c-5 poena)

- a) Izvesti izraz za odnose širine kanala n i p tranzistora CMOS invertora da bi se minimizovalo srednje kašnjenje ako se inverter koristi u lancu istih invertora.
- b) U cilju poboljšanja dinamičkih karakteristika CMOS kola koje treba da radi sa velikom izlaznom kapacitivnošću $C_L=20pF$, na CMOS inverter minimalne geometrije iz tačke a) i interne kapacitivnosti $C_i=10fF$, izvršeno je dodavanje dvostrukog bafera. Vreme propagacije signala kroz inverter minimalne geometrije je 50ps. Pretpostaviti da je ulazna kapacitivnost invertora proporcionalna njegovoj veličini. Koliko je ukupno vreme propagacije u slučaju?
- c) Ako su za invertore u tački b) podaci za napon napajanja $V_{DD}=3.3V$ kolika će biti propagacija kola iz tačke a) ako baferisano kolo bude radilo na $V_{DD}=1.8V$.

Zadatak 3 (a-6, b-4, c-10 poena)

Za Power-up mrežu (PUN) datu na slici 3 odrediti:

- a) Odgovarajuću Power-down mrežu (PDN) statičkog CMOS kola i nacrtati CMOS kolo.
- b) Funkciju koju realizuje CMOS kolo iz tačke a). Nije potrebno minimizovati funkciju.
- c) Odrediti odnose širina svih tranzistora CMOS kola iz tačke a) tako da kritična kašnjenja uzlazne i silazne ivice budu izjednačena i odgovaraju kašnjenjima referentnog invertora kod koga je $W_p : W_n = 2 : 1$.



Slika 3

Zadatak 4 (a-10, b-10, c-10, d-10 poena)

a) Realizovati funkciju $Y = A((AB + C)D + B(C + D))$ kao jednostepeno dinamičko CMOS kolo.

Nije dozvoljeno minimizovati funkciju Y.

b) Za realizaciju pod a) dopuniti dijagram sa Slike 4.

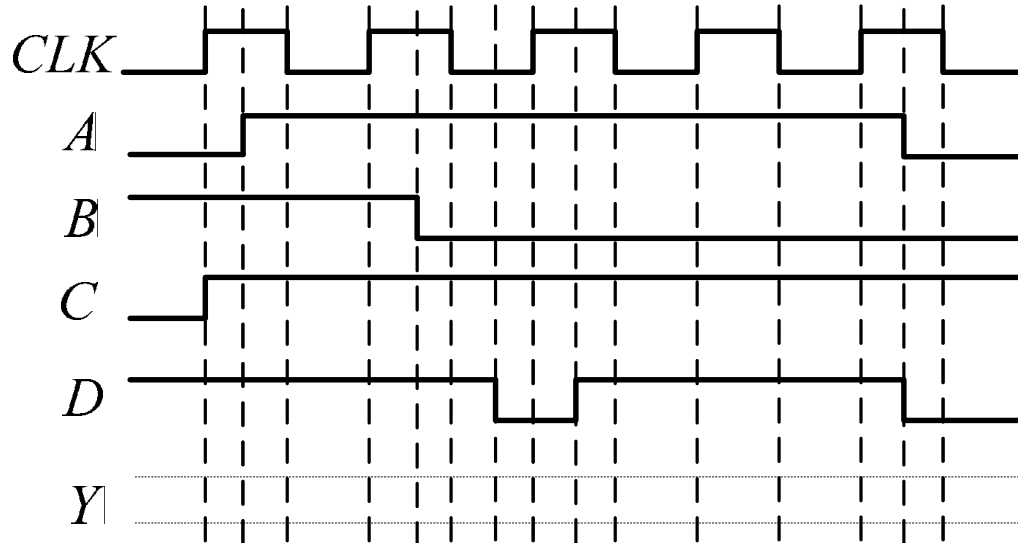
c) Realizovati funkciju $Z = \overline{Y}$ kao višestepeno dinamičko CMOS kolo. Na raspolaganju su

1) I i ILI kola sa proizvoljnim brojem ulaza

2) samo dvoulazna I i ILI logička kola

Potruditi se da broj upotrebljenih tranzistora bude minimalan.

d) Realizovati funkciju $Z = \overline{Y}$ pomoću transmisionih gejtova. Potruditi se da broj upotrebljenih tranzistora bude minimalan.



Slika 4