

1. Trajanje ispita 180 minuta.
2. Ispit se radi u vežbanci.
3. Rešenja zadataka započeti na novoj strani.
4. Dozvoljena je upotreba kalkulatora.
5. Parametri tranzistora i diode su dati gde je potrebno. Ne moraju svi parametri biti iskorišćeni u rešenju.

Zadatak 1 (a - 8, b - 10 poena)

Algoritamskim računanjem, korak po korak, izračunati i pokazati da li su date tvrdnje tačne ili netačne:

a) ukoliko su na raspolaganju 4 cifre

- $1010_{KMV} + 0110_{KMV} = 1111_{KMV} - 1110_{KMV}$
- $1101_{KO} - 0110_{KO} > 1111_{KO} + 1000_{KO}$

Napomena: Ukoliko dođe do prekoračenja, naznačiti to i nastaviti sa dobijenim četvorocifarskim rezultatom

b) ukoliko je na raspolaganju proizvoljan broj cifara

- $3A.C_{16} + 101011.011_2 < 146.4_8$
- $01010111_{BCD} + 01101001_{BCD} > 000100100111_{BCD}$
- $10111_{KO} \cdot 11010_{KO} < 0000110111_{KO}$ (brojevi su dati u komplementu osnove)
- količnik neoznačenih brojeva 11011011_2 i 101_2 je manji od četvostruke vrednosti ostatka

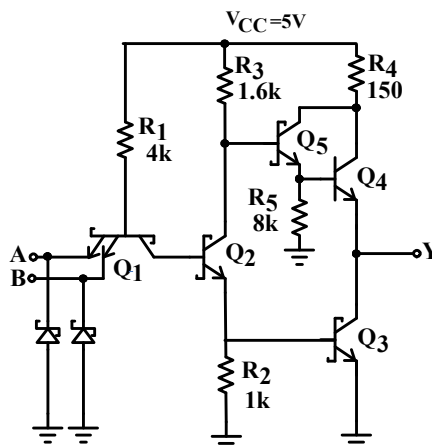
Zadatak 2 (a - 8, b - 3, c - 6 poena)

Za logičko kolo sa slike 2:

- Proceniti režime rada svih tranzistora u kolu za sve kombinacije logičkih nivoa na ulazu kola. Rezultate prikazati tabelarno. Odrediti logičku funkciju kola $Y=f(A,B)$.
- Odrediti vrednosti napona logičke nule i jedinice, V_{OL} i V_{OH} .
- Odrediti karakteristiku sprenosa logičkog kola, kao i margine šuma u slučaju višestrukih izvora smetnji. Za svaku karakterističnu tačku u proračunu navesti kojim uslovom je određena.

Poznato je: $V_{BE} = 0.7V$, $V_{\gamma} = 0.6V$, $V_{DS} = 0.2V$, $\beta_F = 60$, $\beta_R = 0.2$.

NAPOMENA: Koristiti sledeće skraćenice za označavanje režima rada tranzistora: *ZAK* – zakočenje, *DAR* – direktan aktivni režim, *ZAS* – direktno zasićenje, *ŠZAS* – šotki zasićenje, *IAR* – inverzni aktivni režim, *IZAS* – inverzno zasićenje. Za diodu koristiti: *ON* – provodi, *OFF* – zakočena.



Slika 2

Zadatak 3 (a - 10, b - 5, c - 6, d - 5, e - 4 poena)

a) Projektovati jednostepeno statičko CMOS logičko kolo koje realizuje funkciju $Y = AD + \overline{A}(BC + B(\overline{C} + AB))$. Nije dozvoljeno minimizovati funkciju. Odrediti odnose širina svih tranzistora tako da kritična kašnjenja uzlazne i silazne ivice budu izjednačena i odgovaraju kašnjenjima referentnog invertora kod koga je $W_p : W_N = 2 : 1$.

b) Minimizovati funkciju $Z = \overline{Y}$ tako da je pogodna za realizaciju pomoću NILI logičkih kola.

c) Realizovati funkciju Z iz tačke b) kao višestepeno dinamičko kolo projektovano u domino logici. Dozvoljena je upotreba samo dvoulaznih logičkih kola.

d) Za funkciju Z iz tačke b) odrediti pri kojim prelazima dolazi do pojave lažne jedinice i skicirati vremenski dijagram kada dolazi do pojave lažne jedinice prilikom jednog od prelaza.

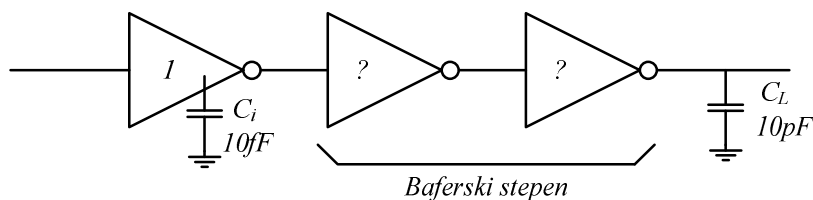
e) Izvršiti modifikaciju funkcije Z iz tačke b) tako da ne postoji mogućnost generisanja lažne jedinice.

Zadatak 4 (a - 5, b - 5, c - 5 poena)

U cilju poboljšanja dinamičkih karakteristika kola koje treba da radi sa velikom izlaznom kapacitivnošću $C_L = 10\text{pF}$, na pravilno projektovan CMOS invertor 1 minimalne geometrije i interne kapacitivnosti $C_i = 10\text{fF}$, izvršeno je dodavanje dvostrukog bafera prema slici 4. Vreme propagacije signala kroz neopterećen invertor 1 je 33ps. Smatrati $\gamma \approx 1$ i da je ulazna kapacitivnost invertora proporcionalna njegovoj veličini.

a) Odrediti veličinu, odnose širine kanala tranzistora ostalih invertora prema tranzistorima jediničnog invertora, kako bi se minimizovalo ukupno vreme propagacije. Koliko je vreme propagacije u tom slučaju?

b) Ukoliko je moguće dodati proizvoljan broj baferskih stepena u cilju postizanja minimalnog vremena propagacije, koliki broj invertora je potrebno dodati, ako je potrebno da ostane invertorska karakteristika? Koliko je vreme propagacije u tom slučaju?



Slika 4

c) Ako su za invertore dati podaci pri naponu napajanja $V_{DD} = 3.3\text{V}$ kolika će biti propagacija kola iz tačke a) i b) ako bafersana kola budu radila na $V_{DD} = 1.8\text{V}$.

Poznato je: $W_n = 400\text{nm}$, $L = 200\text{nm}$, $\mu_n C_{ox} = 270\mu\text{A}/\text{V}^2$, $\mu_p C_{ox} = 70\mu\text{A}/\text{V}^2$, $C_{ox} = 1\mu\text{F}/\text{cm}^2$, $V_{Tn} = 0.5\text{V}$, $V_{Tp} = -0.5\text{V}$, $E_{cn} L_n = 1.2\text{V}$, $E_{cp} L_p = 4.8\text{V}$, $\lambda = 0.04\text{V}^{-1}$, $v_{SAT} = 8 \times 10^6\text{ cm/s}$, $\gamma = 1$.

Zadatak 5 (20 poena)

Ako su A, B i C neoznačeni dvobitni binarni brojevi projektovati kombinacionu mrežu koja na izlazu generiše neoznačeni četvorobitni binarni broj $Y = \min\{|A - 3B|, B \cdot (C + 3)/2\}$.

Na raspolaganju su kola srednjeg stepena integracije i logička kola niskog stepena integracije proizvoljnog tipa. Težiti da broj upotrebljenih kola bude minimalan.