

1. Trajanje ispita 180 minuta.
2. Ispit se radi u vežbanci.
3. Rešenja zadataka započeti na novoj strani.
4. Dozvoljena je upotreba kalkulatora.
5. Parametri tranzistora i diode su dati gde je potrebno. Ne moraju svi parametri biti iskorišćeni u rešenju.

**Zadatak 1 (a - 8, b - 12 poena)**

Algoritamskim računanjem, korak po korak, izračunati i pokazati da li su date tvrdnje tačne ili netačne:

a) ukoliko su na raspolaganju 4 cifre

- $1011_{KMV} + 0101_{KMV} > 1011_{KMV} - 1100_{KMV}$
- $1001_{KO} - 1011_{KO} > 0101_{KO} + 1000_{KO}$

*Napomena:* Ukoliko dođe do prekoračenja, naznačiti to i nastaviti sa dobijenim četvorocifarskim rezultatom

b) ukoliko je na raspolaganju proizvoljan broj cifara

- $123.3_4 + 11101.011_2 > 3C.E_{16}$
- $01010111_{BCD} + 01010101_{BCD} > 000100010011_{BCD}$
- $11010_{KO} \cdot 10110_{KO} > 000111011_{KO}$  (brojevi su dati u komplementu osnove)
- količnik neoznačenih brojeva  $1000101_2$  i  $101_2$  je manji od četverostruke vrednosti ostatka

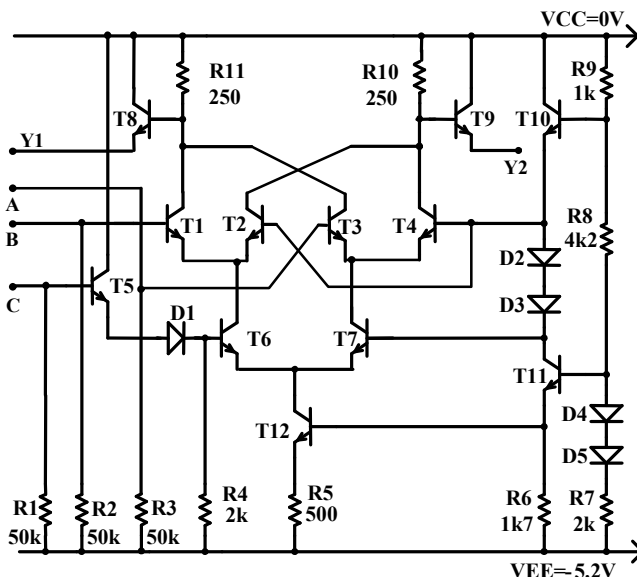
**Zadatak 2 (a - 7, b - 5, c - 5 poena)**

Za logičko kolo sa slike 2:

- a) Proceniti režime rada svih tranzistora u kolu za sve kombinacije logičkih nivoa na ulazu kola. Rezultate prikazati tabelarno.
- b) Odrediti logičke funkcije kola  $Y_1=f(A,B,C)$  i  $Y_2=f(A,B,C)$ .
- c) Odrediti vrednosti napona logičke nule i jedinice,  $V_{OL}$  i  $V_{OH}$ .

Poznato je:  $V_{BE}=V_D=0.7V$ ,  $V_{\gamma}=0.6V$ ,  $V_{BES}=0.8V$ ,  $V_{CES}=0.2V$ ,  $\beta_F=50$

*NAPOMENA:* Koristiti sledeće skraćenice za označavanje režima rada tranzistora: ZAK – zakočenje, DAR – direktan aktivni režim, ZAS – direktno zasićenje, IAR – inverzni aktivni režim, IZAS – inverzno zasićenje. Za diodu koristiti: ON – provodi, OFF – zakočena.



Slika 2

**Zadatak 3 (a - 8, b - 7 poena)**

a) Projektovati jednostepeno statičko CMOS logičko kolo koje realizuje funkciju  $Y = (A + C(B + D))(C + D)A$ . Nije dozvoljeno minimizovati funkciju. Odrediti odnose širina svih tranzistora tako da kritična kašnjenja uzlazne i silazne ivice budu izjednačena i odgovaraju kašnjenjima referentnog invertora kod koga je  $W_p : W_n = 2 : 1$ .

b) Realizovati funkciju  $Z = \bar{Y}$  kao višestepeno dinamičko kolo projektovano u domino logici. Dozvoljena je upotreba samo dvoulaznih logičkih kola. Težiti da realizacija bude minimalne kompleksnosti.

**Zadatak 4 (a - 10, b - 5, c - 5 poena)**

a) Izvesti izraz za odnose širine kanala  $n$  i  $p$  tranzistora CMOS invertora da bi se minimizovalo srednje kašnjenje ako se invertor koristi u lancu istih invertora. Koliki je taj odnos, odnosno širina kanala  $p$  kanalnog tranzistora, ako je poznato:  $W_n = 400nm$ ,  $L = 200nm$ ,  $\mu_n C_{ox} = 270\mu A/V^2$ ,  $\mu_p C_{ox} = 70\mu A/V^2$ ,  $C_{ox} = 1\mu F/cm^2$ ,  $V_{Tn} = 0.5V$ ,  $V_{Tp} = -0.5V$ ,  $E_{cn}L_n = 1.2V$ ,  $E_{cp}L_p = 4.8V$ ,  $\lambda = 0.04V^{-1}$ ,  $v_{SAT} = 8 \times 10^6 cm/s$ ,  $\gamma = 1$ .

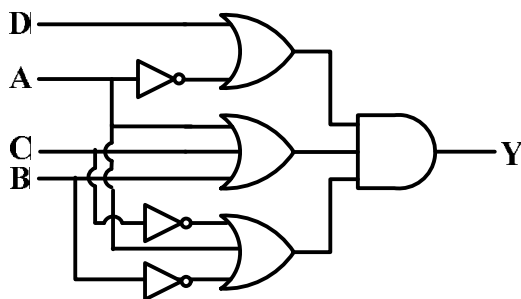
b) U cilju poboljšanja dinamičkih karakteristika CMOS kola koje treba da radi sa velikom izlaznom kapacitivnošću  $C_L = 500pF$ , na CMOS invertor minimalne geometrije iz tačke a) i interne kapacitivnosti  $C_i = 20fF$ , izvršeno je dodavanje određenog broja baferskih invertora. Vreme propagacije signala kroz invertor minimalne geometrije je 50ps. Pretpostaviti da je ulazna kapacitivnost invertora proporcionalna njegovoj veličini. Koliki je broj invertora dodat da bi se dobilo minimalno kašnjenje? Koliko je ukupno vreme propagacije u tom slučaju?

c) Ako su podaci za invertore u tački b) sa naponom napajanja  $V_{DD} = 3.3V$  kolika će biti propagacija kola iz tačke b) ako bafersano kolo bude radilo sa naponom napajanja  $V_{DD} = 1.8V$ .

**Zadatak 5 (a - 5, b - 5 poena)**

a) Za funkciju realizovanu na slici 5. odrediti pri kojim prelazima dolazi do pojave lažne jedinice. Skicirati jedan od njih.

b) Izvršiti modifikaciju realizacije sa slike tako da ne postoji mogućnost generisanja lažne jedinice.



Slika 5.

**Zadatak 6 (18 poena)**

Ako su A, B i C neoznačeni dvobitni binarni brojevi projektovati kombinacionu mrežu koja na izlazu generiše neoznačeni četvorobitni binarni broj  $Y = \min\{A(B + 1), 3B + C\}$ .

Na raspolaganju su kola srednjeg stepena integracije i logička kola niskog stepena integracije proizvoljnog tipa. Težiti da broj upotrebljenih kola bude minimalan.