

1. Trajanje ispita 180 minuta.
2. Ispit se radi u vežbanci.
3. Dozvoljena je upotreba kalkulatora.
4. Parametri tranzistora i diode su dati gde je potrebno. Ne moraju svi parametri biti iskorišćeni u rešenju.

Zadatak 1 (a - 8, b - 12 poena)

Algoritamskim računanjem, korak po korak, izračunati i pokazati da li su date tvrdnje tačne ili netačne:

a) ukoliko su na raspolaganju 4 cifre

- $1100_{KMV} + 0110_{KMV} > 1011_{KMV} - 1001_{KMV}$
- $1001_{KO} + 1110_{KO} > 0101_{KO} + 0011_{KO}$

Napomena: Ukoliko dođe do prekoračenja, naznačiti to i nastaviti sa dobijenim četvorocifarskim rezultatom

b) ukoliko je na raspolaganju proizvoljan broj cifara

- $1100101.11_2 + 135.2_8 > C2.F_{16}$
- $01010111_{BCD} + 01010100_{BCD} > 000100010011_{BCD}$
- $10110_{KO} \cdot 11010_{KO} > 000111011_{KO}$ (brojevi su dati u komplementu osnove)
- količnik neoznačenih brojeva 1001101_2 i 101_2 je manji od osmostruke vrednosti ostatka

Zadatak 2 (a - 5, b - 5, c - 10 poena)

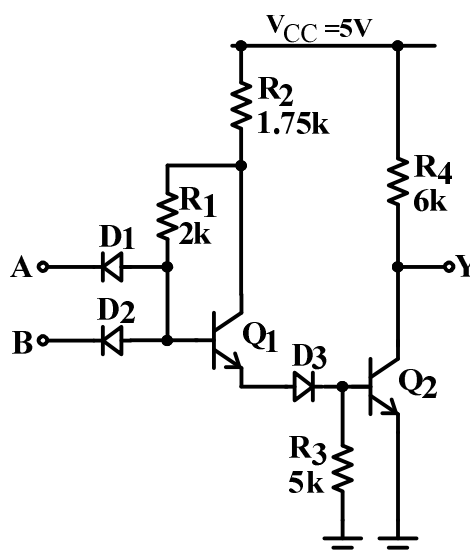
Za DTL logičko kolo sa slike 2, odrediti:

- a) Logičku funkciju kola i režime rada svih dioda i tranzistora za sve kombinacije nivoa na ulazu kola. Rezultate prikazati tabelarno.
- b) Odrediti vrednosti napona logičke nule i jedinice, V_{OL} i V_{OH} .
- c) Odrediti karakteristiku prenosa logičkog kola, kao i margine šuma u slučaju jednostrukih i višestrukih izvora smetnji. Za svaku karakterističnu tačku u proračunu navesti kojim uslovom je određena.

Poznato je:

$V_{BE} = V_D = 0.7V$, $V_{BES} = 0.8V$, $V_{CES} = 0.2V$, $V_{\gamma} = V_{\gamma D} = 0.6V$, $\beta_F = 50$.

NAPOMENA: Koristiti sledeće skraćenice za označavanje režima rada tranzistora: *ZAK* – zakočenje, *DAR* – direktan aktivni režim, *ZAS* – direktno zasićenje, *IAR* – inverzni aktivni režim, *IZAS* – inverzno zasićenje. Za diodu koristiti: *ON* – provodi, *OFF* – zakočena.



Slika 2

Zadatak 3 (a - 10, b - 5 poena)

a) Projektovati jednostepeno statičko CMOS logičko kolo koje realizuje funkciju $Y = ((A + C)B + D)(B + C)AD$. Nije dozvoljeno minimizovati funkciju. Odrediti odnose širina svih tranzistora tako da kritična kašnjenja uzlazne i silazne ivice budu izjednačena i odgovaraju kašnjenjima referentnog invertora kod koga je $W_p : W_n = 2 : 1$.

b) Realizovati funkciju $Z = \bar{Y}$ kao višestepeno dinamičko kolo projektovano u domino logici. Dozvoljena je upotreba samo dvoulaznih logičkih kola. Težiti da realizacija bude minimalne kompleksnosti.

Zadatak 4 (15 poena)

Izračunati i nacrtati karakteristiku prenosa CMOS invertora. Izračunati i definisati karakteristične tačke sa karakteristike prenosa. Odrediti margine šuma za jednostruke i višestruke izvore šuma. Poznato je: $W_n = 400nm$, $W_p = 800nm$, $L = 200nm$, $\mu_n C_{ox} = 270\mu A/V^2$, $\mu_p C_{ox} = 70\mu A/V^2$, $C_{ox} = 1\mu F/cm^2$, $V_{Tn} = 0.5V$, $V_{Tp} = -0.5V$, $E_c L_n = 1.2V$, $E_c L_p = 4.8V$, $V_{DD} = 1.8V$, $V_{SAT} = 8 \times 10^6 cm/s$, $\lambda \approx 0$.

Zadatak 5 (a - 5, b - 5, c - 5 poena)

a) Funkciju $Y = \overline{ABC} + \overline{ABC} + \overline{AD}$ realizovati u što minimalnijoj formi korišćenjem NILI logičkih kola sa proizvoljnim brojem ulaza.

b) Pri kojim prelazima u slučaju realizacije pod a) dolazi do pojave lažne jedinice. Skicirati pojavu lažne jedinice za proizvoljno izabran slučaj.

c) Izvršiti modifikaciju realizacije pod a) tako da ne postoji mogućnost generisanja lažne jedinice.

Zadatak 6 (15 poena)

Ako su A, B i C neoznačeni dvobitni binarni brojevi projektovati kombinacionu mrežu koja na izlazu generiše neoznačeni četvorobitni binarni broj $Y = \max\{(A+1)B, B+3C\}$.

Na raspolaganju su kola srednjeg stepena integracije i logička kola niskog stepena integracije proizvoljnog tipa. Težiti da broj upotrebljenih kola bude minimalan.