

1. Trajanje ispita 180 minuta.
2. Ispit se radi u vežbanci.
3. Dozvoljena je upotreba kalkulatora.
4. Parametri tranzistora i diode su dati gde je potrebno. Ne moraju svi parametri biti iskorišćeni u rešenju.

Zadatak 1 (a - 8, b - 12 poena)

Algoritamskim računanjem, korak po korak, izračunati i pokazati da li su date tvrdnje tačne ili netačne:

a) ukoliko su na raspolaganju 4 cifre

- $1011_{KMV} + 0101_{KMV} > 1101_{KMV} - 1100_{KMV}$
- $1011_{KO} - 0011_{KO} < 0101_{KO} + 0011_{KO}$

Napomena: Ukoliko dođe do prekoračenja, naznačiti to i nastaviti sa dobijenim četvorocifarskim rezultatom

b) ukoliko je na raspolaganju proizvoljan broj cifara

- $10011_{ZA} + 00100_{ZA} = 00101_{ZA} + 10100_{ZA}$ (petobitni brojevi u kodu znak i apsolutna vrednost)
- $01110111_{BCD} + 00111001_{BCD} > 000100010111_{BCD}$
- $10110_{KO} \cdot 11010_{KO} > 000111101_{KO}$ (brojevi su dati u komplementu osnove)
- količnik neoznačenih brojeva 1001101_2 i 101_2 je manji od osmostruke vrednosti ostatka

Zadatak 2 (a - 7, b - 5, c - 8 poena)

Za logičko kolo sa slike 2:

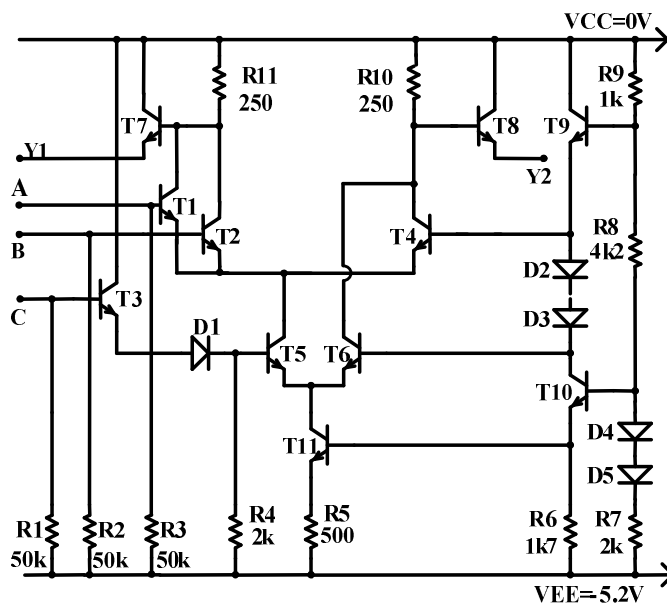
a) Proceniti režime rada svih tranzistora u kolu za sve kombinacije logičkih nivoa na ulazu kola. Rezultate prikazati tabelarno.

b) Odrediti logičke funkcije kola $Y_1=f(A,B,C)$ i $Y_2=f(A,B,C)$.

c) Odrediti vrednosti napona logičke nule i jedinice, V_{OL} i V_{OH} .

Poznato je: $V_{BE}=V_D=0.7V$, $V_T=0.6V$, $V_{CES}=0.2V$, $V_{DS}=0.2V$, $\beta_F=60$

NAPOMENA: Koristiti sledeće skraćenice za označavanje režima rada tranzistora: *ZAK* – zakočenje, *DAR* – direktan aktivni režim, *ZAS* – direktno zasićenje, *IAR* – inverzni aktivni režim, *IZAS* – inverzno zasićenje. Za diodu koristiti: *ON* – provodi, *OFF* – zakočena.



Slika 2

Zadatak 3 (a - 10, b - 5 poena)

a) Projektovati jednostepeno statičko CMOS logičko kolo koje realizuje funkciju $Y = ((A + B)C + D)(B + C)AD$. Nije dozvoljeno minimizovati funkciju. Odrediti odnose širina svih tranzistora tako da kritična kašnjenja uzlazne i silazne ivice budu izjednačena i odgovaraju kašnjenjima referentnog invertora kod koga je $W_p : W_n = 2 : 1$.

b) Realizovati funkciju $Z = \bar{Y}$ kao višestepeno dinamičko kolo projektovano u domino logici. Dozvoljena je upotreba samo dvoulaznih logičkih kola. Težiti da realizacija bude minimalne kompleksnosti.

Zadatak 4 (15 poena)

Izračunati i nacrtati karakteristiku prenosa pseudo NMOS invertora. Izračunati i definisati karakteristične tačke sa karakteristike prenosa. Odrediti margine šuma za jednostruke i višestruke izvore šuma. Poznato je: $W_n = 400nm$, $W_p = 800nm$, $L = 200nm$, $\mu_n C_{ox} = 270\mu A/V^2$, $\mu_p C_{ox} = 70\mu A/V^2$, $C_{ox} = 1\mu F/cm^2$, $V_{Tn} = 0.5V$, $V_{Tp} = -0.5V$, $E_c L_n = 1.2V$, $E_c L_p = 4.8V$, $V_{DD} = 1.8V$, $V_{SAT} = 8 \times 10^6 cm/s$, $\lambda \approx 0$.

Zadatak 5 (a - 8, b - 5, c - 10, d - 7 poena)

a) Projektovati kombinacionu mrežu koja za dati ulazni 4-bitni podatak daje na izlazu taj podatak zaštićen tako da je moguća detekcija jedne greške u prenosu.

b) Projektovati kombinacionu mrežu koja na ulazu ima izlazni podatak mreže iz tačke a), a na izlazu generiše signal *greška* ukoliko je došlo do greške u prenosu.

c) Projektovati kolo koje na osnovu ulaznog podatka, a koji predstavlja izlazni podatak mreže iz tačke a), na izlazu daje 4-bitni podatak koji je bio zaštićen. U slučaju da je došlo do greške u prenosu, potrebno je ispraviti tu grešku i na izlazu dati ispravljenu vrednost.

d) Realizovati kombinacione mreže u glavnom i udaljenom računaru za računanje funkcije $Y = \max\{Y_1, C\}$. $Y_1 = (A + B)/2$ je funkcija koja se izračunava na udaljenom računaru i rezultat se prosleđuje glavnom računaru za dalju obradu pomoću kombinacije kola iz tačke a) i tačke c). Kombinacija kola iz tačke a) i tačke c) se posmatra kao kolo srednjeg stepena integracije, koje ima 4-bitni ulaz i 4-bitni izlaz. A , B i C su neoznačeni četvorobitni brojevi.

Napomena: Težiti da realizacije u svim tačkama budu minimalne kompleksnosti.

U tačkama a) i b) na raspolaganju su samo kola niskog stepena integracije sa proizvoljnim brojem ulaza.

U tačkama c) i d) na raspolaganju su kola niskog stepena integracije sa proizvoljnim brojem ulaza i kola srednjeg stepena integracije.