

1. Trajanje ispita 180 minuta.
2. Ispit se radi u vežbanci.
3. Dozvoljena je upotreba kalkulatora.
4. Parametri tranzistora i diode su dati gde je potrebno. Ne moraju svi parametri biti iskorišćeni u rešenju.
5. Koristiti sledeće skraćenice za označavanje režima rada tranzistora: *ZAK* – zakočenje, *DAR* – direktan aktivni režim, *ZAS* – direktno zasićenje, *IAR* – inverzni aktivni režim, *IZAS* – inverzno zasićenje. Za diodu koristiti: *ON* – provodi, *OFF* – zakočena.

Zadatak 1 (a - 4, b - 4, c - 4, d - 4, e - 4 poena)

NAPOMENA: sve operacije prikazati korak po korak

a) Odrediti heksadekadne predstave brojeva

$$4752.362_8, \quad 33121.03122_4, \quad 425_7$$

b) Izvršiti sledeće operacije, u digitalnom sistemu predstavljanja brojeva sa 5 bita, nad označenim brojevima zadatim u komplementu maksimalne vrednosti. Označiti sve bite prenosa i naznačiti da li je došlo do prekoračenja.

$$11010 + 01011, \quad 10100 + 11010, \quad 01001 - 10111$$

c) Izvršiti sabiranje dva neoznačena 8 bitna BCD broja.

$$00110111 + 01100100, \quad 10000101 + 01110111$$

d) Izvršiti množenje dva binarna broja data u komplementu osnove.

$$10101 * 10110, \quad 10111 * 01101$$

e) Izvršiti operaciju deljenja dva celobrojna podatka zadata u odgovarajućem brojnom sistemu. Odrediti celobrojni deo i ostatak deljenja.

$$4323_5 / 21_5, \quad 2312_4 / 21_4$$

Zadatak 2 (a - 5, b - 5, c - 10 poena)

Za DTL logičko kolo sa slike 2, odrediti:

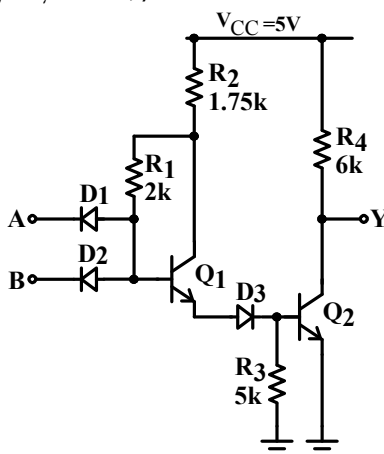
a) Logičku funkciju kola i režime rada svih dioda i tranzistora za sve kombinacije nivoa na ulazu kola. Rezultate prikazati tabelarno.

b) Odrediti vrednosti napona logičke nule i jedinice, V_{OL} i V_{OH} .

c) Odrediti karakteristiku prenosa logičkog kola, kao i margine šuma u slučaju višestrukih izvora smetnji. Za svaku karakterističnu tačku u proračunu navesti kojim uslovom je određena.

Poznato je:

$$V_{BE} = V_D = 0.7V, \quad V_{BES} = 0.8V, \quad V_{CES} = 0.2V, \quad V_i = V_{iD} = 0.6V, \quad \beta_F = 50.$$



Slika 2

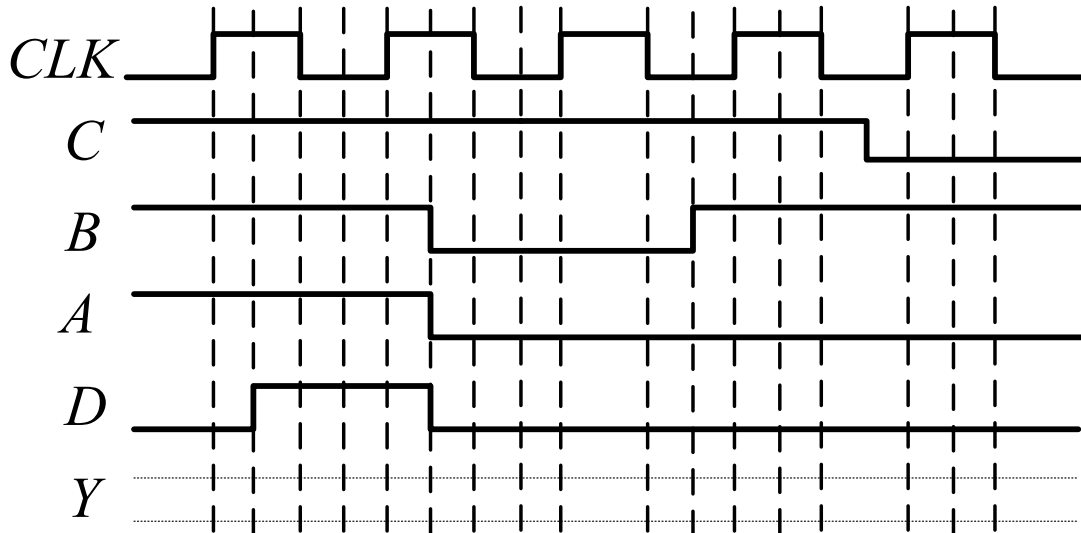
Zadatak 3 (a - 7, b - 3, c - 5, d - 5 poena)

a) Projektovati jednostepeno statičko CMOS logičko kolo koje realizuje funkciju $Y = \overline{(A+BC)(B+C(D+A(B+D)))}$. Odrediti odnose širina svih tranzistora tako da kritična kašnjenja uzlazne i silazne ivice budu izjednačena i odgovaraju kašnjenjima referentnog invertora kod koga je $W_P : W_N = 2 : 1$.

b) Realizovati funkciju Y kao jednostepeno dinamičko kolo. Nije dozvoljeno minimizovati funkciju Y .

c) Realizovati funkciju $Z = \bar{Y}$ kao višestepeno dinamičko kolo projektovano u domino logici. Dozvoljena je upotreba logičkih kola sa proizvoljnim brojem ulaza. Težiti da realizacija bude minimalne kompleksnosti.

d) Za realizaciju pod b) dopuniti dijagram sa slike 3.



Slika 3

Zadatak 4 (10 poena)

Funkciju $Y = A \oplus (B + C)$ predstaviti pomoću transmisionih gejtova.

Zadatak 5 (a - 5, b - 5, c - 5 poena)

a) Funkciju $Y = \overline{ABC} + AD + \overline{BCD}$ realizovati u što minimalnijoj formi korišćenjem NILI logičkih kola sa proizvoljnim brojem ulaza.

b) Pri kojim prelazima u slučaju realizacije pod a) dolazi do pojave lažne jedinice. Skicirati pojavu lažne jedinice za proizvoljno izabran slučaj.

c) Izvršiti modifikaciju realizacije pod a) tako da ne postoji mogućnost generisanja lažne jedinice.

Zadatak 6 (15 poena)

Ako su A, B i C neoznačeni dvobitni binarni brojevi projektovati kombinacionu mrežu koja na izlazu generiše neoznačeni četvorobitni binarni broj $Y = \max\{(3A + 5B)/2, C + 3A\}$.

Na raspolaganju su kola srednjeg stepena integracije i logička kola niskog stepena integracije proizvoljnog tipa. Težiti da broj upotrebljenih kola bude minimalan.