

1. Trajanje ispita 180 minuta.
2. Ispit se radi u vežbanci.
3. Dozvoljena je upotreba kalkulatora.
4. Parametri tranzistora i diode su dati gde je potrebno. Ne moraju svi parametri biti iskorišćeni u rešenju.
5. Koristiti sledeće skraćenice za označavanje režima rada tranzistora: *ZAK* – zakočenje, *DAR* – direktan aktivni režim, *ZAS* – direktno zasićenje, *IAR* – inverzni aktivni režim, *IZAS* – inverzno zasićenje. Za diodu koristiti: *ON* – provodi, *OFF* – zakočena.

### Zadatak 1 (a - 4, b - 4, c - 4, d - 4, e - 4 poena)

**NAPOMENA: sve operacije prikazati korak po korak**

a) Odrediti oktalne predstave brojeva

$$A_{34}F_{16}, \quad 2212.321_4, \quad 315_7$$

b) Izvršiti sledeće operacije, u digitalnom sistemu predstavljanja brojeva sa 5 bita, nad označenim brojevima zadatim u komplementu maksimalne vrednosti. Označiti sve bite prenosa i naznačiti da li je došlo do prekoračenja.

$$10111 + 01100, \quad 10110 + 11000, \quad 01100 - 11101$$

c) Izvršiti sabiranje dva neoznačena 8 bitna BCD broja.

$$10010011 + 01011000, \quad 01100111 + 00111001$$

d) Izvršiti množenje dva binarna broja data u komplementu osnove.

$$11001 * 10101, \quad 11011 * 01011$$

e) Izvršiti operaciju deljenja dva celobrojna podatka zadata u odgovarajućem brojnom sistemu. Odrediti celobrojni deo i ostatak deljenja.

$$2344_5 / 22_5, \quad 1323_4 / 12_4$$

### Zadatak 2 (a - 7, b - 3, c - 10 poena)

Za logičko kolo sa slike 2:

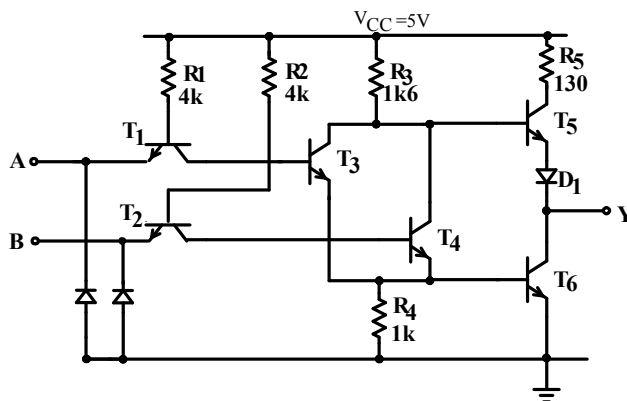
a) Proceniti režime rada svih tranzistora u kolu za sve kombinacije logičkih nivoa na ulazu kola. Rezultate prikazati tabelarno. Odrediti logičku funkciju izlaza  $Y=f(A,B)$ .

b) Odrediti vrednosti napona logičke nule i jedinice,  $V_{OL}$  i  $V_{OH}$ .

c) Odrediti karakteristiku prenosa logičkog kola, kao i margine šuma u slučaju višestrukih izvora smetnji. Za svaku karakterističnu tačku u proračunu navesti kojim uslovom je određena.

**Poznato je:**

$$V_{BE}=0.65V, \quad V_{BES}=0.7V, \quad V_{CES}=0.2V, \quad V_D=0.55V, \quad V_f=0.6V, \quad \beta_F=40, \quad \beta_R=0.4.$$



Slika 2

**Zadatak 3 (a - 7, b - 3, c - 5 poena)**

a) Projektovati jednostepeno statičko CMOS logičko kolo koje realizuje funkciju  $Y = \overline{(A+CD)(B(AD+C)+D)}$ . Odrediti odnose širina svih tranzistora tako da kritična kašnjenja uzlazne i silazne ivice budu izjednačena i odgovaraju kašnjenjima referentnog invertora kod koga je  $W_P : W_N = 2 : 1$ .

b) Realizovati funkciju  $Y$  kao jednostepeno dinamičko kolo. Nije dozvoljeno minimizovati funkciju  $Y$ .

c) Realizovati funkciju  $Z = \bar{Y}$  kao višestepeno dinamičko kolo projektovano u domino logici. Dozvoljena je upotreba logičkih kola sa proizvoljnim brojem ulaza. Težiti da realizacija bude minimalne kompleksnosti.

**Zadatak 4 (a - 5, b - 5, c - 5 poena)**

a) Izvesti izraz za odnose širine kanala  $n$  i  $p$  tranzistora CMOS invertora da bi se minimizovalo srednje kašnjenje ako se invertor koristi u lancu istih invertora.

b) U cilju poboljšanja dinamičkih karakteristika CMOS kola koje treba da radi sa velikom izlaznom kapacitivnošću  $C_L=80\text{pF}$ , na CMOS invertor minimalne geometrije iz tačke a) i ulazne kapacitivnosti  $C_i=10\text{fF}$ , izvršeno je dodavanje dvostrukog bafera. Vreme propagacije signala kroz invertor minimalne geometrije je 60ps. Predpostaviti da je ulazna kapacitivnost invertora proporcionalna njegovoj veličini. Koliko je ukupno vreme propagacije u slučaju?

c) Ako su za invertore u tački b) podaci za napon napajanja  $V_{DD}=3.3\text{V}$  kolika će biti propagacija kola iz tačke a) ako baferisano kolo bude radilo na  $V_{DD}=1.8\text{V}$ .

Poznato je:  $W_n=400\text{nm}$ ,  $L=200\text{nm}$ ,  $\mu_n C_{ox}=270\mu\text{A}/\text{V}^2$ ,  $\mu_p C_{ox}=70\mu\text{A}/\text{V}^2$ ,  $C_{ox}=1\mu\text{F}/\text{cm}^2$ ,  $V_{Tn}=0.5\text{V}$ ,  $V_{Tp}=-0.5\text{V}$ ,  $E_{cn}L_n=1.2\text{V}$ ,  $E_{cp}L_p=4.8\text{V}$ ,  $\lambda=0.04\text{V}^{-1}$ ,  $v_{SAT}=8 \times 10^6 \text{ cm/s}$ ,  $\gamma=1$ .

**Zadatak 5 (a - 5, b - 5, c - 5 poena)**

a) Funkciju  $Y = (A+C+\bar{D})(\bar{B}+\bar{D})(\bar{B}+\bar{C})(\bar{A}+\bar{C}+D)$  realizovati u što minimalnijoj formi korišćenjem NI logičkih kola sa proizvoljnim brojem ulaza.

b) Pri kojim prelazima u slučaju realizacije pod a) dolazi do pojave lažne nule. Skicirati pojavu lažne nule za proizvoljno izabran slučaj.

c) Izvršiti modifikaciju realizacije pod a) tako da ne postoji mogućnost generisanja lažne nule.

**Zadatak 6 (15 poena)**

Ako su  $A$ ,  $B$  i  $C$  neoznačeni dvobitni binarni brojevi projektovati kombinacionu mrežu koja na izlazu generiše neoznačeni četvorobitni binarni broj  $Y = |4A - 3B|$  kada je  $C \geq 3B$ , odnosno  $Y = 2(A+B)$  kada je  $C < 3B$ .

Na raspolaganju su kola srednjeg stepena integracije i logička kola niskog stepena integracije proizvoljnog tipa. Težiti da broj upotrebljenih kola bude minimalan.