

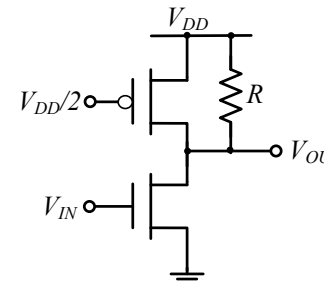
1. Trajanje kolokvijuma 150 minuta.
2. Kolokvijum se radi u vežbanci.
3. Dozvoljena je upotreba kalkulatora.
4. Parametri tranzistora su dati gde je potrebno. Ne moraju svi parametri biti iskorišćeni u rešenju.

Tehnološki parametri izrade MOS tranzistora su:  $L=200nm$ ,  $\mu_n C_{ox}=270\mu A/V^2$ ,  $\mu_p C_{ox}=70\mu A/V^2$ ,  $C_{ox}=1\mu F/cm^2$ ,  $V_{Tn}=0.5V$ ,  $V_{Tp}=-0.5V$ ,  $E_c L_n=1.2V$ ,  $E_c L_p=4.8V$ ,  $V_{SAT}=8 \times 10^6 cm/s$ .

**Zadatak 1 (a-5, b-10 poena)**

- a) Za kolo dato na slici 1 odrediti vrednosti napona  $V_{OH}$  i  $V_{OL}$ .
- b) Napisati izraze na osnovu kojih se izračunavaju vrednosti napona  $V_{IH}$  i  $V_{IL}$ .

Dato je  $W_n=400nm$ ,  $W_p=400nm$ ,  $V_{DD}=1.8V$ ,  $R=33k\Omega$ .



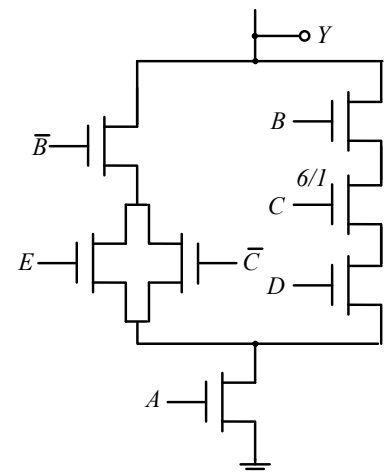
Slika 1

**Zadatak 2 (a-5, b-2, c-5, d-2, e-6 poena)**

- a) Izvesti izraz za dinamičke otpornosti p i n kanalnog tranzistora kod CMOS invertora potrebne za procenu kašnjenja.
- b) Za CMOS invertor sa  $W_n=200nm$ ,  $W_p=200nm$ ,  $V_{DD}=1.8V$  izračunati dinamičke otpornosti p i n kanalnog tranzistora potrebne za procenu kašnjenja.
- c) Izvesti izraz za odnose širina p i n kanalnog tranzistora kod CMOS invertora potrebne da bi se dobilo minimalno srednje kašnjenje.
- d) Za  $W_n=200nm$  izračunati potrebnu širinu kanala p kanalnog tranzistora da bi se dobilo minimalno srednje kašnjenje.
- e) Za CMOS invertor dimenzionisan po rezultatu iz tačke d) i tehnološkim mogućnostima izvesti izraz i izračunati vrednost praga prebacivanja,  $V_{M(S)}$ .

**Zadatak 3 (a-5, b-8, c-5, d-7 poena)**

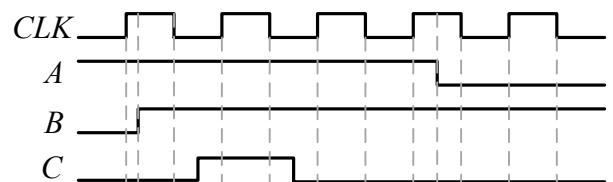
- a) Nacrtati jednostepeno statičko CMOS logičko kolo koje realizuje logičku funkciju  $\bar{Y} = A + C + \bar{A}B + B$ . Na ulazu logičkog kola su dostupne i negacije ulaznih promenljivih. Težiti da realizacija sadrži minimalan broj tranzistora.
- b) Odrediti odnose širina svih tranzistora u realizaciji iz tačke a) tako da kritična kašnjenja uzlazne i silazne ivice budu izjednačena i odgovaraju kašnjenjima referentnog invertora kod koga je  $W_p : W_n = 2 : 1$ .
- c) Odrediti logičku funkciju statičkog CMOS kola čija je PDN mreža data na slici 3 i nacrtati odgovarajuću PUN mrežu kola.
- d) Za kolo iz tačke c) odrediti širine svih tranzistora. Na slici je data širina jednog tranzistora, a poznato je da je kod referentnog invertora  $W_p : W_n = 2 : 1$ .



Slika 3

**Zadatak 4 (a-5, b-10 poena)**

- a) Projektovati jednostepeno dinamičko CMOS logičko kolo koje realizuje logičku funkciju datu izrazom  $Y = ABC + \bar{A}\bar{B}$ . Na ulazu logičkog kola su dostupne i negacije ulaznih promenljivih. Težiti da realizacija sadrži minimalan broj tranzistora.
- b) Nacrtati vremenski dijagram logičke vrednosti Y izlaza kola iz tačka a) ukoliko se na ulazu kola dovode signali prikazani slici 4.



Slika 4

### Zadatak 5 (a-5, b-5poena) poena

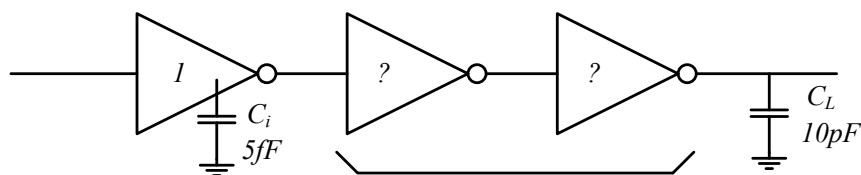
- a) Realizovati logičku funkciju datu izrazom  $\bar{Y} = AB\bar{D} + \overline{C(A+\bar{D})} + \bar{B}$  u domino logici. Na raspolaganju su domino CMOS I i ILI kola sa proizvoljnim brojem ulaza. Na ulazu logičkog kola su dostupne i negacije ulaznih promenljivih. Težiti da realizacija sadrži minimalan broj tranzistora.
- b) Realizovati funkciju iz tačke a) ukoliko su na raspolaganju dvoulazna domino CMOS I i ILI kola.

### Zadatak 6 (a-7, b-8 poena) poena

U cilju poboljšanja dinamičkih karakteristika kola koje treba da radi sa velikom izlaznom kapacitivnošću  $C_L=10\text{pF}$ , na pravilno projektovan CMOS invertor 1 minimalne geometrije i interne kapacitivnosti  $C_i=5\text{fF}$ , izvršeno je dodavanje dvostrukog bafera prema slici 6. Vreme propagacije signala kroz neopterećen invertor 1 je 20ps.

- a) Odrediti veličinu, odnose širine kanala ostalih invertora kako bi se minimizovalo ukupno vreme propagacije. Koliko je vreme propagacije u tom slučaju?
- b) Ukoliko je moguće dodati proizvoljan broj baferskih stepena u cilju postizanja minimalnog vremena propagacije, koliki broj invertora je potrebno dodati? Koliko je vreme propagacije u tom slučaju?  $\gamma \approx 1$ .

Predpostaviti da je ulazna kapacitivnost invertora proporcionalna njegovoj veličini.



Slika 6