

1. Trajanje kolokvijuma 150 minuta.
2. Kolokvijum se radi u vežbanci.
3. Dozvoljena je upotreba kalkulatora.
4. Parametri tranzistora i diode su dati gde je potrebno. Ne moraju svi parametri biti iskorišćeni u rešenju.
5. Koristiti sledeće skraćenice za označavanje režima rada tranzistora: *ZAK* – zakočenje, *DAR* – direktan aktivni režim, *ZAS* – direktno zasićenje, *GR.PR* – granica provođenja, *IAR* – inverzni aktivni režim, *IZAS* – inverzno zasićenje. Za diodu koristiti: *ON* – provodi, *OFF* – zakočena.

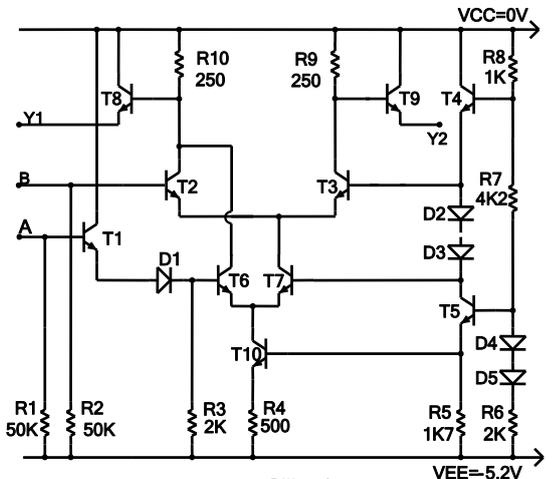
Zadatak 1 (a - 5, b - 5, c - 5 poena)

Za logičko kolo sa slike 1:

- a) Proceniti režime rada svih tranzistora i dioda u kolu za sve kombinacije logičkih nivoa na ulazu kola. Rezultate prikazati tabelarno.
- b) Odrediti logičke funkcije izlaza $Y1=f(A,B)$ i $Y2=f(A,B)$.
- c) Odrediti vrednosti napona logičke nule i jedinice, V_{OL} i V_{OH} .

Poznato je:

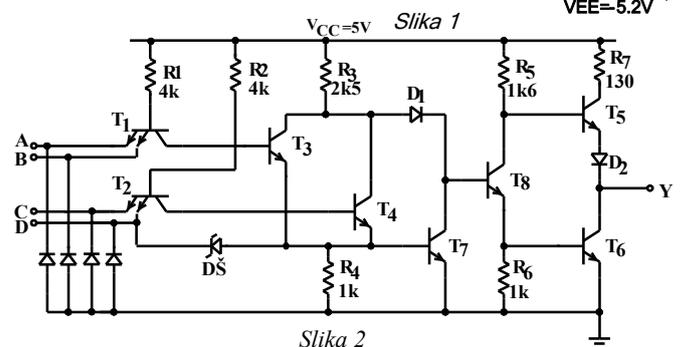
$$V_{BE}=V_D=0.7V, V_{\gamma}=0.6V, V_{BES}=0.8V, V_{CES}=0.2V, \beta_F=50.$$



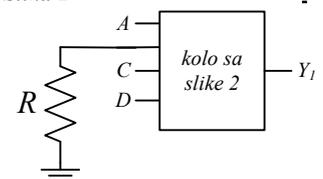
Zadatak 2 (a - 5, b - 5, c - 5, d - 5, e - 5 poena)

Za logičko kolo sa slike 2:

- a) Proceniti režime rada svih tranzistora u kolu za sve kombinacije logičkih nivoa na ulazu kola. Rezultate prikazati tabelarno.
- b) Odrediti logičku funkciju izlaza $Y=f(A,B,C)$.
- c) Odrediti vrednosti napona logičke nule i jedinice, V_{OL} i V_{OH} .
- d) Ukoliko se na ulaz B veže otpornik R prema masi, odrediti režime rada tranzistora $T1$ i $T3$ u zavisnosti od logičkog nivoa na ulazu A. Razmotriti slučaj $R=100\Omega$ i slučaj $R=100k\Omega$. Rezultate prikazati tabelarno.
- e) Odrediti logičku funkciju kola $Y1=g(A,C,D)$ ukoliko se na ulaz B veže otpornik prema masi (slika 2c) otpornosti $R=100\Omega$ i u slučaju da je $R=100k\Omega$.



Slika 2



Slika 2c

Poznato je:

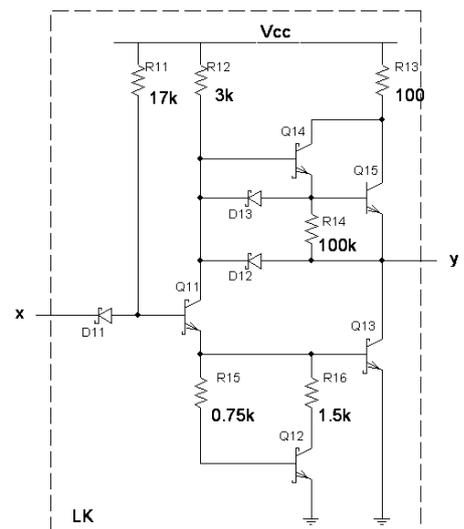
$$V_{D5}=0.3V, V_{BE}=V_D=0.7V, V_{\gamma}=V_{\gamma D}=0.6V, V_{CES}=0.2V, V_{BES}=0.8V, \beta_F=50, \beta_R=0.2, V_{CC}=5V. \text{ Za tranzistor } Q_{12} \text{ važi: } V_{BEQ5}=0.65V, V_{\gamma Q12}=0.55V, V_{BESQ12}=0.75V.$$

Zadatak 3 (10 poena)

Za kolo sa slike 3 odrediti margine šuma u slučaju višestrukih izvora smetnji. Za svaku karakterističnu tačku u proračunu navesti kojim uslovom je određena.

Poznato je:

$$V_{D5}=0.3V, V_{BE}=V_D=0.7V, V_{\gamma}=V_{\gamma D}=0.6V, V_{CES}=0.2V, V_{BES}=0.8V, \beta_F=50, \beta_R=0.2, V_{CC}=5V. \text{ Za tranzistor } Q_{12} \text{ važi: } V_{BEQ5}=0.65V, V_{\gamma Q12}=0.55V, V_{BESQ12}=0.75V.$$



Slika 3

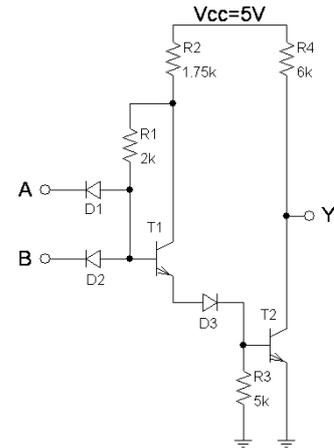
Zadatak 4 (a - 5, b - 5, c- 5 poena)

a) NI DTL kolo sa slike 4 opterećeno je ukupnom kapacitivnošću od $C_p=1pF$ na izlazu. Odrediti vremena kašnjenja opadajuće i rastuće ivice signala na izlazu kola, t_{pHL} i t_{pLH} .

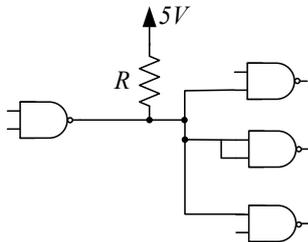
b) Odrediti strujne kapacitete na izlazu kola I_{OHmax} i I_{OLmax} i na ulazu kola I_{IHmax} i I_{ILmax} ukoliko su dozvoljeni naponi na ulazu i izlazu kola u okviru margina šuma za višestruke izvore šuma.

Poznato je $V_{IL}=1.2V$ i $V_{IH}=1.5V$.

c) Koristeći dobijene rezultate, odrediti minimalnu vrednost otpornosti R u kolu sa slike 4c, tako da data kombinaciona mreža funkcioniše ispravno. Sva upotrebljena kola na slici 4c su kola sa slike 4



Slika 4



Slika 4c

Poznato je: $V_{BE}=V_D=0.7V$, $V_\gamma=V_{\gamma D}=0.6V$, $V_{CES}=0.2V$, $V_{BES}=0.8V$, $30 \leq \beta_r \leq 70$.

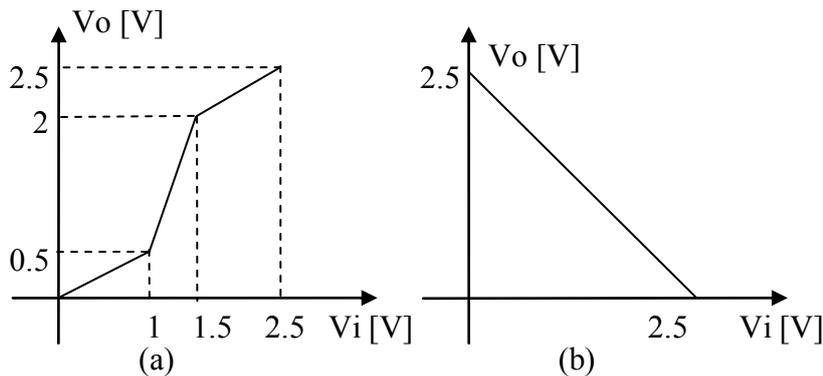
Zadatak 5 (a - 5, b - 5, c- 5, d - 5 poena)

a) Za logičko kolo čija je karakteristika prikazana na slici 5a odrediti V_{oh} , V_{ouh} , V_{ol} , V_{oul} , V_{ih} , V_{il} i $V_m(V_s)$.

b) Nacrtati karakteristike prenosa logičkog kola koje je dobijeno rednim sprežanjem kola sa karakteristikom prenosa sa slike 5a i kola sa slike 5b.

c) Nacrtati karakteristiku prenosa logičkog kola koje je dobijeno rednim sprežanjem kola sa karakteristikom prenosa iz tačke b) i kola sa slike 5a.

d) Ako se kola iz tačke c) povežu redno u lanac sa beskonačnim (ali parnim) brojem kola i ako se na ulaz lanca dovede napon $V_i = 1.2V$ odrediti napon na izlazu lanca.



Slika 5.

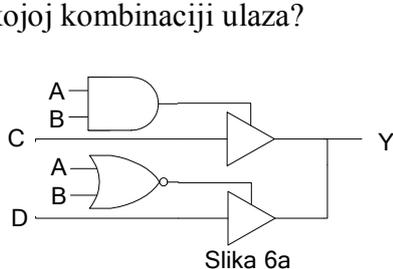
Zadatak 6 (a - 5, b - 5, c - 5 poena)

Funkcionalnom tabelom ili na drugi pogodan način prikazati funkciju dela digitalnog sistema realizovanog TTL logičkim kolima:

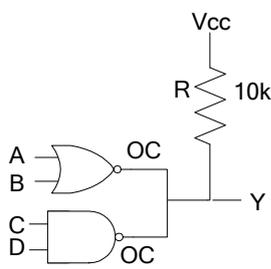
a) prikazanog na slici 6a;

b) prikazanog na slici 6b.

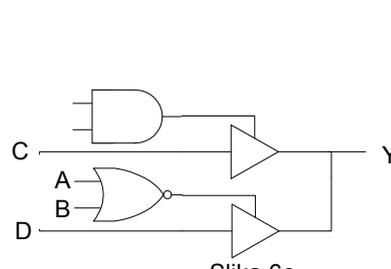
c) Greškom u realizaciji kola sa slike 6a, izostavljeno je povezivanje ulaza I kola i oni su ostavljeni slobodnim (nepovezanim) kao što je prikazano na slici 6c. Šta može da se desi u takvom kolu i pri kojoj kombinaciji ulaza?



Slika 6a



Slika 6b



Slika 6c