

Zadatak 1 (a-4, b-4, c-4, d-4, e-4 poena)

- a) U kom brojnom sistemu važi jednakost $13 \cdot 20 + 1 = 14^2$?
 b) Prikazati postupak množenje označenih brojeva datih u drugom komplementu na primeru 1010×1011 .
 c) Dati su sledeći brojevi u brojnom sistemu sa osnovom 8: 2153, 0. Naći komplement osnove i komplement do maksimalne vrednosti tih brojeva ako se zapis vrši sa pet cifara.
 d) Prikazati postupak sabiranja dva neoznačena 10-bitna broja data u BCD kodu:
 $10\ 0011\ 0010 + 11\ 1001\ 1001$

Rezultat operacije predstaviti u Gray-ovom BCD kodu.

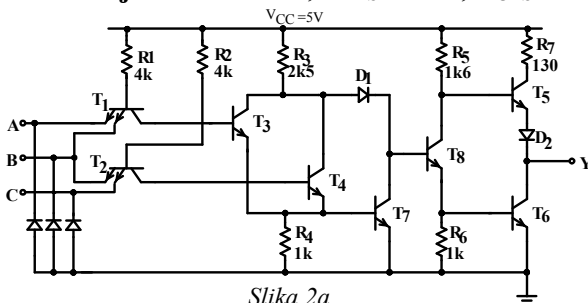
- e) Prikazati postupke operacija nad binarnim brojevima datim u komplementu do maksimalne vrednosti. Za predstavljanje rezultata operacija na raspolaganju je 4 bita. Odrediti da li dolazi do prekoračenja (*overflow*) prilikom izvršavanja operacije. U slučaju prekoračenja naznačiti $OF=1$.
 $0100+1111, 1-1001$.

Zadatak 2 (a-5, b-5, c-5, d-5 poena)

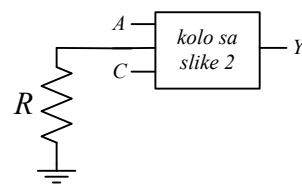
Za logičko kolo sa slike 2a:

- a) Proceniti režime rada svih tranzistora u kolu za sve kombinacije logičkih nivoa na ulazu kola. Rezultate prikazati tabelarno.
 b) Odrediti logičku funkciju izlaza $Y=f(A,B,C)$.
 c) Odrediti vrednosti napona logičke nule i jedinice, V_{OL} i V_{OH} .
 d) Odrediti logičku funkciju kola $Y_I=g(A,C)$ ukoliko se na ulaz B veže otpornik prema masi (slika 2c) otpornosti **d1)** $R=100\Omega$ **d2)** $R=100k\Omega$.

Poznato je: $V_{BE}=0.65V, V_{BES}=0.7V, V_{CES}=0.2V, V_D=0.55V, V_f=0.6V, \beta_F=40, \beta_R=0.4$.



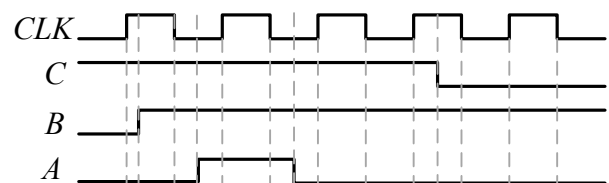
Slika 2a



Slika 2c

Zadatak 3 (a-5, b-5, c-5, d-5 poena)

- a) Nacrtati jednostepeno statičko CMOS logičko kolo koje realizuje logičku funkciju $Y = ABCD + A\bar{C} + B\bar{C} + ABC$. Na ulazu logičkog kola su dostupne i negacije ulaznih promenljivih. Težiti da realizacija sadrži minimalan broj tranzistora.



Slika 3

- b) Odrediti odnose širina svih tranzistora u realizaciji iz tačke a) tako da kritična kašnjenja uzlazne i silazne ivice budu izjednačena i odgovaraju kašnjenjima referentnog invertora kod koga je $W_p : W_n = 2 : 1$.
 c) Projektovati jednostepeno dinamičko CMOS logičko kolo koje realizuje logičku funkciju datu izrazom $Y = AC + (A+B)\bar{C}$. Na ulazu logičkog kola su dostupne i negacije ulaznih promenljivih. Težiti da realizacija sadrži minimalan broj tranzistora.
 d) Nacrtati vremenski dijagram logičke vrednosti Y izlaza kola iz tačka c) ukoliko se na ulazu kola dovode signali prikazani na slici 3.

Zadatak 4 (a-5, b-2, c-5, d-2, e-6 poena)

a) Izvesti izraz za dinamičke otpornosti p i n kanalnog tranzistora kod CMOS invertora potrebne za procenu kašnjenja.

b) Za CMOS invertor sa $W_n=200nm$, $W_p=200nm$, $V_{DD}=1.8V$ izračunati dinamičke otpornosti p i n kanalnog tranzistora potrebne za procenu kašnjenja.

c) Izvesti izraz za odnose širina p i n kanalnog tranzistora kod CMOS invertora potrebne da bi se dobilo minimalno srednje kašnjenje.

d) Za $W_n=200nm$ izračunati potrebnu širinu kanala p kanalnog tranzistora da bi se dobilo minimalno srednje kašnjenje.

e) Za CMOS invertor dimenzionisan po rezultatu iz tačke d) i tehnološkim mogućnostima izvesti izraz i izračunati vrednost praga prebacivanja, $V_{M(S)}$.

Tehnološki parametri izrade MOS tranzistora su: $L=200nm$, $\mu_n C_{ox}=270\mu A/V^2$, $\mu_p C_{ox}=70\mu A/V^2$, $C_{ox}=1\mu F/cm^2$, $V_{Tn}=0.5V$, $V_{Tp}=-0.5V$, $E_c L_n=1.2V$, $E_c L_p=4.8V$, $V_{SAT}=8 \times 10^6$ cm/s.

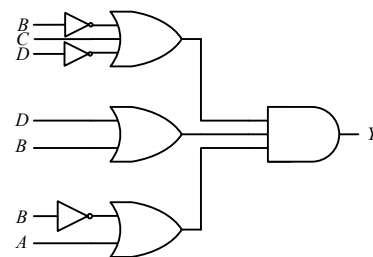
Zadatak 5 (a-5, b-5, c-5, d-5 poena)

a) Odrediti pri kojim prelazima ulaznih signala se javljaju statički hazardi ukoliko je funkcija $Y = \bar{A}\bar{C} + A\bar{B}\bar{C} + BCD + \bar{A}C\bar{D}$ realizovana u obliku u kom je data. Ilustrovati vremenskim dijagramima jedan slučaj pojave hazarda.

b) Modifikovati funkciju iz tačke a) tako da se eliminiše pojava statičkih hazarda.

c) Za kolo na slici 5 odrediti pri kojim prelazima se javljaju statički hazardi. Ilustrovati vremenskim dijagramima jedan slučaj pojave hazarda.

d) Modifikovati kolo iz tačke c) tako da se eliminiše pojava statičkih hazarda.



Slika 5