

Zadatak 1 (a-4, b-4, c-4, d-4, e-4 poena)

- a) Data je jednačina $x^2 - 14x + 24 = 0$ i njeno jedno rešenje $x=2$. U kom brojnom sistemu je data jednačina i njeno rešenje? Odrediti drugo rešenje jednačine.
 b) Prikazati postupak množenje označenih brojeva datih u drugom komplementu na primeru 1100×1001 .
 c) Dati su sledeći brojevi u brojnom sistemu sa osnovom 6: 2153, 0. Predstaviti date brojeve u komplementu osnove i komplementu do maksimalne vrednosti sa ukupno četiri cifre.
 d) Prikazati postupak sabiranja dva neoznačena 10-bitna broja data u BCD kodu:

$$10\ 0011\ 0010 + 11\ 1000\ 1000$$

Rezultat operacije predstaviti u Gray-ovom BCD kodu.

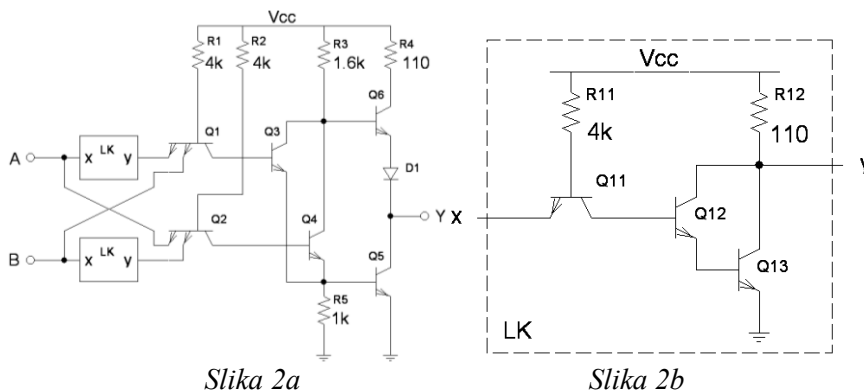
- e) Prikazati postupke operacija nad binarnim brojevima datim u komplementu do maksimalne vrednosti. Za predstavljanje rezultata operacija na raspolaganju je 4 bita. Odrediti da li dolazi do prekoračenja (*overflow*) prilikom izvršavanja operacije. U slučaju prekoračenja naznačiti $OF=1$.

$$0101 + 110, 1-1101.$$

Zadatak 2 (a-7, b-8, c-5 poena)

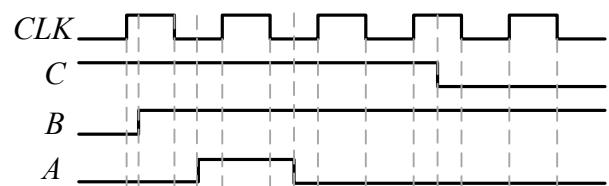
- a) Za kolo sa slike 2a, odrediti logičku funkciju kola i režime rada svih tranzistora za sve vrednosti logičkih nivoa na ulazu kola ako blok LK predstavlja kolo sa slike 2b. Za svaki tranzistor naznačiti pretpostavljeni režim rada (DAR, ZAS, IAR, IZAS, GR. PROV, ZAK).
 b) Kolo iz tačke a) opterećeno je ukupnom kapacitivnošću od $C_p=1\text{pF}$ na izlazu. Odrediti vremena kašnjenja opadajuće i rastuće ivice signala na izlazu kola, t_{pHL} i t_{pLH} .
 c) Bez dodavanja dodatnih komponenta modifikovati kolo sa slike 2a, tako da logička funkcija modifikovanog kola $Y_1 = Y_1(A, B)$, bude invertovana u odnosu na logičku funkciju kola iz tačke a, tj. $Y_1 = \bar{Y}$.

Poznato je: $V_{BE}=V_{D}=0.7\text{V}$, $V_{\gamma}=V_{\gamma D}=0.6\text{V}$, $V_{CES}=0.2\text{V}$, $V_{BES}=0.8\text{V}$, $\beta_F=50$, $\beta_R=0.2$, $V_{CC}=5\text{V}$.



Zadatak 3 (a-5, b-5, c-5, d-5 poena)

- a) Nacrtati jednostepeno statičko CMOS logičko kolo koje realizuje logičku funkciju $Y = \overline{ABC} + \overline{AB} + \overline{AB} + C$. Na ulazu logičkog kola su dostupne i negacije ulaznih promenljivih. Težiti da realizacija sadrži minimalan broj tranzistora.
 b) Odrediti odnose širina svih tranzistora u realizaciji iz tačke a) tako da kritična kašnjenja uzlazne i silazne ivice budu izjednačena i odgovaraju kašnjenjima referentnog invertora kod koga je $W_p : W_n = 2 : 1$.
 c) Projektovati jednostepeno dinamičko CMOS logičko kolo koje realizuje logičku funkciju datu izrazom $Y = (B + C)(\bar{B} + \bar{C} + \bar{A}) + A$. Na ulazu logičkog kola su dostupne i negacije ulaznih promenljivih. Težiti da realizacija sadrži minimalan broj tranzistora.
 d) Nacrtati vremenski dijagram logičke vrednosti Y izlaza kola iz tačka c) ukoliko se na ulazu kola dovode signali prikazani na slici 3.



Slika 3

Zadatak 4 (a-5, b-2, c-5, d-2, e-6 poena)

- a) Izvesti izraz za dinamičke otpornosti p i n kanalnog tranzistora kod CMOS invertora potrebne za procenu kašnjenja.
- b) Za CMOS invertor sa $W_n=200nm$, $W_p=200nm$, $V_{DD}=1.8V$ izračunati dinamičke otpornosti p i n kanalnog tranzistora potrebne za procenu kašnjenja.
- c) Izvesti izraz za odnose širina p i n kanalnog tranzistora kod CMOS invertora potrebne da bi se dobilo minimalno srednje kašnjenje.
- d) Za $W_n=200nm$ izračunati potrebnu širinu kanala p kanalnog tranzistora da bi se dobilo minimalno srednje kašnjenje.
- e) Za CMOS invertor dimenzionisan po rezultatu iz tačke d) i tehnološkim mogućnostima izvesti izraz i izračunati vrednost praga prebacivanja, $V_{M(S)}$.

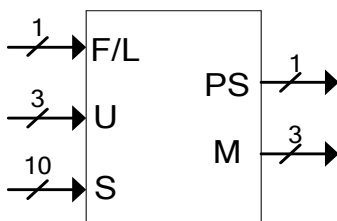
Tehnološki parametri izrade MOS tranzistora su: $L=200nm$, $\mu_n C_{ox}=270\mu A/V^2$, $\mu_p C_{ox}=70\mu A/V^2$, $C_{ox}=1\mu F/cm^2$, $V_{Tn}=0.5V$, $V_{Tp}=-0.5V$, $E_c L_n=1.2V$, $E_c L_p=4.8V$, $V_{SAT}=8 \times 10^6$ cm/s.

Zadatak 5 (a-5, b-5, c-5, d-5 poena)

- a) Odrediti pri kojim prelazima ulaznih signala se javljaju statički hazardi ukoliko je funkcija $Y = \overline{A}B + \overline{B}CD + ACD + \overline{B}\overline{C}\overline{D}$ realizovana u obliku u kom je data. Ilustrovati vremenskim dijagramima jedan slučaj pojave hazarda.
- b) Modifikovati funkciju iz tačke a) tako da se eliminiše pojava statičkih hazarda.
- c) Realizovati multiplexer 4/1 bez signala dozvole korišćenjem transmisionih gejtova i CMOS invertora.
- d) Realizovati funkciju iz tačke a) korišćenjem samo multipleksera iz tačke c).

DODATNI**Zadatak 6 (20 poena)**

U raznim primenama (npr. u analizi gena) potrebno je detektovati da li se neki uzorak pojavljuje kao podsekvencu neke veće sekvence (101 jeste podsekvencu niza 00101110 počev od mesta 2 i podsekvencu niza 101111010 počev od indeksa 2 i počev od indeksa 5, ali nije podsekvencu niza 01100111). Projektovati kombinacionu mrežu koja vrši proveru da li se 3-bitni binarni broj uzorak U javlja kao podsekvencu 10-bitnog binarnog broja sekvence S . Signal $PS=1$ treba da označava da je detektovana pojava podsekvence. U slučaju pojave podsekvence, dodatno je u interesu i mesto prvog odnosno poslednjeg pojavljivanja te podsekvence. Ukoliko je ulazni signal $F/L=1$ potrebno je da 3-bitni izlaz M predstavlja indeks prvog pojavljivanja podsekvence, dok je u slučaju $F/L=0$ potrebno da 3-bitni izlaz M predstavlja indeks poslednjeg pojavljivanja podsekvence. Ako sekvencu nije detektovana $PS=0$ i $M=000$. Na raspolaganju su proizvoljna kola niskog i srednjeg stepena integracije. (Primer: $U=101$ $S=1011110100$ $F/L=1 \Rightarrow PS=1$ $M=000$, $U=101$ $S=1011110100$ $F/L=0 \Rightarrow PS=1$ $M=101$, $U=000$ $S=1011110100$ $F/L=1 \Rightarrow PS=0$ $M=000$)



Slika 6