

1. Trajanje ispita 240 minuta; Trajanje kolokvijuma 180 minuta
2. Ispit, Kolokvijum se radi u vežbanci. Dozvoljeni su kalkulator i pribor za pisanje.
3. Integralni ispit bez domaćeg 1. 2. 3. 4. 5. 6. 7. 10. (ukupno 100 poena)
4. Integralni ispit sa domaćim 2. 3. 4. 5. 6. 7. 10. (ukupno 95 poena)
5. II kolokvijum 5. 6. 7. 8. 9. 10. (ukupno 70 (60) poena)

Zadatak 1 (5 poena)

U cilju poboljšanja dinamičkih karakteristika CMOS kola koje treba da radi sa velikom izlaznom kapacitivnošću $C_L=20\text{pF}$, na CMOS inverter minimalne geometrije i ulazne kapacitivnosti $C_i=10\text{fF}$, izvršeno je dodavanje dvostrukog bafera. Vreme propagacije signala kroz inverter minimalne geometrije je 70ps. Predpostaviti da je ulazna kapacitivnost invertora proporcionalna njegovoj veličini.

- a) Odrediti veličinu i odnose širine kanala ostalih invertora kako bi se minimiziralo ukupno vreme propagacije.
- b) Koliko je ukupno vreme propagacije?

Zadatak 2 (10 poena)

- a) Odrediti rešenje jednačine $100000001_x=101_{16}$.
- b) Odrediti rešenje jednačine: $5_6(4_5 + 3_4(2_3 + 1_2)) = x_8$
- c) Sledeće binarne brojeve, 0101, 1010, 1000 i 0000, date u komplementu do 2, predstaviti u kodu znak + apsolutna vrednost i prvom komplementu, sa minimalnim brojem bita.
- d) Odrediti kvadratnu jednačinu u brojnom sistemu sa osnovom 3, ako su data rešenja jednačine u decimalnom brojnom sistemu $x_1=3_{10}$ i $x_2=9_{10}$.
- e) Sledeće brojeve u brojnom sistemu sa osnovom 7: 5401, 4444, 20202 i 0, predstaviti u komplementu osnove i komplementu do maksimalne vrednosti sa ukupno pet cifara.

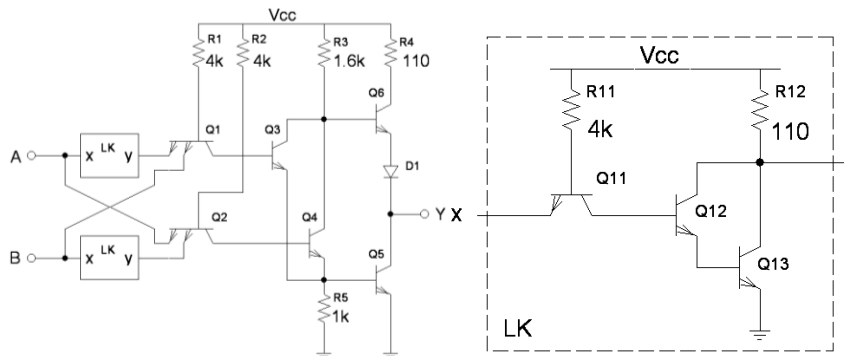
Zadatak 3 (15 poena)

- a) Izvršiti sledeće aritmetičke operacije u brojnom sistemu sa osnovom 9: 258_9+825_9 i 123_9*876_9 . Za predstavljanje rezultata operacije na raspolaganju je proizvoljan broj cifara.
- b) Binarni brojevi $A=1101$ i $B=0111$ su dati u komplementu dvojke. Izvršiti aritmetičke operacije u komplementu dvojke i izračunati vrednosti sledećih izraza: $5A+13-B$ i $B-10+4A$. Za predstavljanje rezultata operacija na raspolaganju je proizvoljan broj bita.
- c) Nad četvorobitnim binarnim brojevima datim u komplementu do maksimalne vrednosti, izvršiti, korak po korak, sledeće operacije: $1101+1110$, $1101-1110$ i $1001-1100$. Za predstavljanje rezultata operacije na raspolaganju je 4-bit. Sa $OF=1$, naznačiti da je pri izvršavanju operacije došlo do prekoračenja.
- d) Izvršiti operaciju sabiranja dva neoznačena 10-bitna binarna broja data u BCD kodu i zatim rezultat operacije predstaviti u Gray-ovom BCD kodu: $1001010011 + 1110010101$. Za predstavljanje rezultata aritmetičke operacije na raspolaganju je proizvoljan broj bita.

Zadatak 4 (20 poena)

- a) Za kolo sa slike 4.a, odrediti logičku funkciju kola i režime rada svih tranzistora za sve vrednosti logičkih nivoa na ulazu kola ako blok LK predstavlja kolo sa slike 4.b. Za svaki tranzistor naznačiti režim rada (DAR, ZAS, IAR, IZAS, GR. PROV, ZAK).
- b) Odrediti strujne kapacitete i faktor grananja na izlazu kola sa slike 4.a, pri naponima V_{IL} i V_{IH} na izlazu kola.
- c) Bez dodavanja dodatnih komponenata modifikovati kolo sa slike 4.a, tako da logička funkcija modifikovanog kola $Y_1 = Y_1(A, B)$, bude invertovana u odnosu na logičku funkciju kola iz tačke a, tj. $Y_1 = \overline{Y}$.

Poznato je: $V_{BE}=V_D=0.7\text{V}$, $V_{\gamma}=V_{\gamma D}=0.6\text{V}$, $V_{CES}=0.2\text{V}$, $V_{BES}=0.8\text{V}$, $\beta_F=50$, $\beta_R=0.2$, $V_{CC}=5\text{V}$.



Slika 4.a

Slika 4.b

Zadatak 5 (15 poena)

Izračunati i nacrtati karakteristiku prenosa pseudo NMOS invertora. Izračunati i definisati karakteristične tačke sa karakteristike prenosa. Odrediti margine šuma za jednostruke i višestruke izvore šuma. Poznato je: $W_n=400nm$, $W_p=800nm$, $L=200nm$, $\mu_n C_{ox}=270\mu A/V^2$, $\mu_p C_{ox}=70\mu A/V^2$, $C_{ox}=1\mu F/cm^2$, $V_{Tn}=0.5V$, $V_{Tp}=-0.5V$, $E_c L_n=1.2V$, $E_c L_p=4.8V$, $V_{DD}=1.8V$, $V_{SAT}=8 \times 10^6 cm/s$.

Zadatak 6 (15 poena)

a) Na ulazu kombinacione mreže nalazi se 6-bitni binarni broj D. Projektovati kombinacionu mrežu koja na izlazu generiše signale d_{10} , d_9 , c_8 , d_7 , d_6 , d_5 , c_4 , d_3 , c_2 , c_1 i c_0 gde signali na izlazima d_i predstavljaju informacione bite, tj. bite ulaznog 6-bitnog binarnog broja D, a c_i kontrolne bite sekvence date u Hamming-ovom kodu sa minimalnim rastojanjem 4.

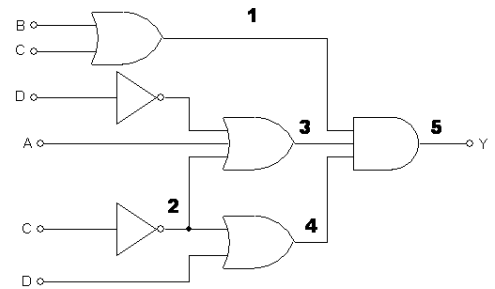
b) Projektovati kombinacionu mrežu koja na izlazu generiše signal *Error*, aktivan na niskom logičkom nivou, ukoliko je došlo do greške u prijemu bilo kog bita sekvence $d_{10}d_9c_8d_7d_6d_5c_4d_3c_2c_1c_0$ na ulazu kombinacione mreže, i 6-bitni izlaz D_{kor} , koji predstavlja korigovane informacione bite. Verovatnoća pojave višebitnih grešaka je zanemarljiva. Na raspolaganju su logička kola proizvoljnog tipa. Težiti da realizacija bude minimalne kompleksnosti.

Zadatak 7 (10 poena)

Na slici 7 prikazana je logička šema kombinacione mreže.

a) Nacrtati vremenske dijagrame signala u tačkama 1, 2, 3, 4 i 5 za jedan primer promene signala na ulazu kola pri kome dolazi do pojave statičkog hazarda. Uzeti da je vreme propagacije kroz sva logička kola konačno.

b) Ako pretpostavimo da je logička funkcija mreže data u formi u kojoj je i realizovana, odrediti modifikovanu logičku funkciju mreže sa slike 7, kod koje ne postoji mogućnost pojave statičkih hazarda. Težiti da realizacija bude data u minimalnoj formi.



Slika 7

Zadatak 8 (10 poena)

Projektovati kolo dekodera koji ima 15 ulaza, tako da maksimalno kašnjenje izlaznih signala bude manje ili jednako $4t_{dlk}$. Na raspolaganju su proizvoljna logička kola, invertori i dekoderi 2/4 sa aktivnim niskim logičkim nivoom na izlazu. Težiti da broj upotrebljenih kola bude minimalan. Vreme propagacije signala kroz logička kola iznosi t_{dlk} , dok se kašnjenje signala kroz inverter može zanemariti.

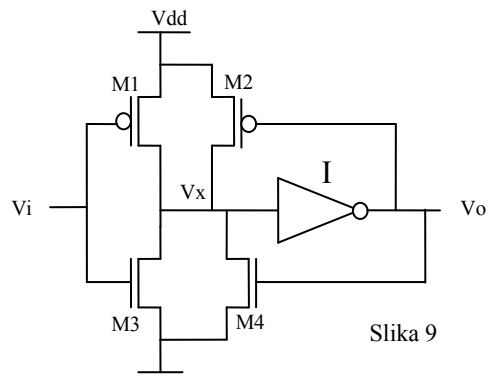
Napomena: Korišćeni dekoderi 2/4 ne poseduju kontrolne ulaze za generisanje signala dozvole.

Zadatak 9 (10 poena)

Ako je prag odlučivanja standardnog CMOS invertora dat izrazom:

$$V_M = \frac{rV_{DD}}{1+r}, \quad r = \frac{1}{2} \frac{W_p}{W_n}$$

„približno“ (smatrati da parovi tranzistora M1-M2 i M3-M4 kada rade istovremeno imaju približno isit napon na gejtu) nacrtati karakteristiku prenosa kola sa slike 8, i odrediti margine šuma. Poznato je $W_n=400nm$, $W_p=800nm$ a upotrebljeni inverter I ima karakteristiku prenosa idealnog logičkog kola i ima isto napajanje.



Slika 9

Zadatak 10 (10 poena)

a) Projektovati jednostepeno statičko CMOS logičko kolo koje realizuje zadatu logičku funkciju. Odrediti relativne odnose širine kanala svih tranzistora, ako je u datoj tehnologiji za CMOS inverter određen odnos $W_p: W_n=2:1$.

$$Y=AB+AD+BCD$$

b) Projektovati multiplexer 4 u 1 sa signalom dozvole sa transmissionim gejtovima. Na raspolaganju su i CMOS invertori. Korišćenjem ovih multipleksera napraviti „LUT – look up table“ za realizaciju funkcije iz tačke a) i prikazati način realizacije.

c) Na bazi domino logike projektovati što jednostavnije višestepeno kolo čiji je izlaz opisan funkcijom iz tačke a).