

1. Trajanje ispita 240 minuta
2. Ispit se radi u vežbanci. Dozvoljeni su kalkulator i pribor za pisanje.

---

**Zadatak 1****(10 poena)**

a) Odrediti kvadratnu jednačinu u brojnem sistemu sa osnovom 3, ako su rešenja jednačine u decimalnom brojnem sistemu  $x_1=3_{10}$  i  $x_2=4_{10}$

b) Koristeći predstavu pozitivnih brojeva u osnovi 7 izvršiti sledeće operacije:

$$15_7 + 25_7 \text{ i } 15_7 * 25_7$$

c) Dati su sledeći brojevi u brojnem sistemu sa osnovom 6: 1343, 0. Predstaviti date brojeve u komplementu osnove i komplementu do maksimalne vrednosti sa ukupno četiri cifre.

d) Izvršiti operaciju sabiranja dva neoznačena 10-bitna broja data u BCD kodu:

$$11\ 0011\ 0011 + 11\ 1001\ 1000$$

Rezultat operacije predstaviti u Gray-ovom BCD kodu.

e) Izvršiti sledeće operacije nad binarnim brojevima datim u komplementu do maksimalne vrednosti. Za predstavljanje rezultata operacija na raspolaganju je 4 bita. Odrediti da li dolazi do prekoračenja (*overflow*) prilikom izvršavanja operacije. U slučaju prekoračenja naznačiti  $OF=1$ .

$$0101+10, 11-1100.$$

---

**Zadatak 2****(10 poena)**

Projektovati kombinacionu mrežu koja na izlazu generiše signal *Error*, aktivan na visokom logičkom nivou, ukoliko je došlo do greške u prijemu bilo kog bita sekvence  $d_9c_8d_7d_6d_5c_4d_3c_2c_1$ , gde signali na ulazima  $d_i$  predstavljaju informacione bite, tj. bite 5-bitnog binarnog broja D,  $c_i$  predstavljaju kontrolne bite sekvence date u Hamming-ovom kodu sa minimalnim rastojanjem 3. Takođe na izlazu je potrebno generisati i četvorobitni izlaz  $D_{kor}$ , koji predstavlja korigovane informacione bite. Verovatnoća pojave višebitnih grešaka je zanemarljiva. Na raspolaganju su logička kola proizvoljnog tipa. Težiti da realizacija mreže bude minimalne kompleksnosti.

---

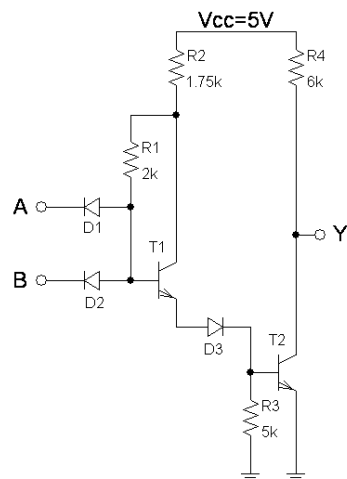
**Zadatak 3****(10 poena)**

Za DTL logičko kolo, dato na slici 3, odrediti:

a) Logičku funkciju kola i režime rada svih tranzistora za sve kombinacije logičkih nivoa na ulazu kola. Rezultate prikazati tablično, tako da režimima rada tranzistora odgovaraju skraćenice DA-direktan aktivan režima rada tranzistora, IZAS - inverzno zasićenje, IAR - inverzan aktivni režim, ZAS-direktno zasićenje, ZAK - zakočen.

b) Odrediti karakteristiku prenosa logičkog kola, kao i margine šuma za slučaj pojave višestrukog izvora šuma.

Poznato je:  $V_{BE}=V_D=0.7V$ ,  $V_{\gamma}=V_{\gamma D}=0.6V$ ,  $V_{CES}=0.2V$ ,  $V_{BES}=0.8V$ ,  $30 \leq \beta_F \leq 70$ .



Slika 3. Dvoulazno DTL logičko kolo

---

**Zadatak 4****(10 poena)**

a) Data je logička funkcija  $Y = (B + C)(A + \overline{C} + \overline{D})(\overline{C} + D)$ . Da li i pri kojim prelazima postoji mogućnost generisanja lažnih jedinica ili nula na izlazu kola. Predpostaviti da je logička funkcija realizovana u formi u kojoj je i data, sa ILI i I kolima sa proizvoljnim brojem ulaza i invertorima.

b) Za kombinacionu mrežu koja realizuje logičku funkciju iz tačke a nacrtati vremenske dijagrame signala u relevantnim tačkama kola, za slučaj pojave statičkog hazarda.

c) Modifikovati logičku funkciju Y datu u tački a tako da nema mogućnosti pojave statičkih hazarda bilo kog tipa. Težiti da realizacija bude data u minimalnoj formi

**Zadatak 5** **(10 poena)**

Izračunati i nacrtati karakteristiku prenosa NMOS invertora sa pasivnim opterećenjem. Izračunati i definisati karakteristične tačke sa karakteristike prenosa.

Poznato je:  $R_L=30k$ ,  $W=400nm$ ,  $L=200nm$ ,  $\mu_n C_{ox}=270\mu A/V^2$ ,  $C_{ox}=1\mu F/cm^2$ ,  $V_T=0.5V$ ,  $\xi_c L=1.2V$ ,  $V_{DD}=1.8V$ ,  $v_{SAT}=8 \times 10^6$  cm/s.

**Zadatak 5** **(10 poena)**

Ako se nebaferisani CMOS invertor, čije se unutrašnje kapacitivnosti mogu zanemariti, kapacitivno optereti sa  $C_L=20pF$ , odrediti kašnjenje kroz invertor za a)  $V_{DD}=1.8V$ . b)  $V_{DD}=2.4V$ . Poznato je:  $W_n=400nm$ ,  $W_p=800nm$ ,  $L=200nm$ ,  $\mu_n C_{ox}=270\mu A/V^2$ ,  $\mu_p C_{ox}=70\mu A/V^2$ ,  $C_{ox}=1\mu F/cm^2$ ,  $V_{Tn}=0.5V$ ,  $V_{Tp}=-0.5V$ ,  $E_{cn}L_n=1.2V$ ,  $E_{cp}L_p=4.8V$ ,  $\lambda=0.04V^{-1}$ ,  $v_{SAT}=8 \times 10^6$  cm/s. Ako invertor radi na maksimalnoj učestanosti odrediti dinamičku dispaciju koja se razvija na invertoru u slučaju a) i b).

**Zadatak 6** **(10 poena)**

a) Projektovati jednostepeno statičko CMOS logičko kolo koje realizuje zadatu logičku funkciju. Odrediti relativne odnose širine kanala svih tranzistora, ako je u datoj tehnologiji za CMOS invertor određen odnos  $W_p:W_n=2:1$ .

$$Y=AB+BC+AD$$

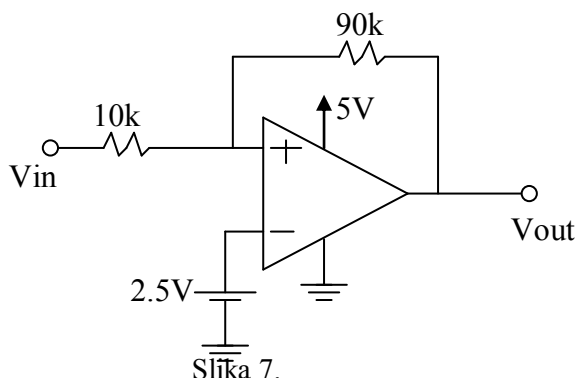
b) Projektovati multiplekser 4 u 1 bez signala dozvole, korišćenjem transmisionih gejtova i CMOS invertora. Korišćenjem ovih multipleksera realizovati funkciju iz tačke a.

c) Projektovati dekodler 2/4 sa aktivnim logičkim nulama na izlazu, sa signalom dozvole, korišćenjem dvoulaznih NILI logičkih kola.

**Zadatak 7** **(5 poena)**

a) Nacrtati karakteristiku prenosa kola sa slike 7. Poznato je:  $R_1 \rightarrow 0$ ,  $R_u \rightarrow \infty$ ,  $A \rightarrow \infty$ .

b) Odrediti margine šuma kola.

**Zadatak 8** **(10 poena)**

a) Nacrtati logičku šemu JK MS flipflopa koji se okida opadajućom ivicom signala takta ako su na raspolaganju samo dvoulazna NI logička kola.

b) Odrediti vreme postavljanja JK MS flipflopa iz tačke a ako je kašnjenje signala kroz logička kola  $t_{dlk}$  konačno i kreće se u opsegu  $1ns < t_{dlk} < 3ns$ .

**Zadatak 9** **(15 poena)**

a) Projektovati sinhroni brojač sa sekvencom brojanja  $1 \rightarrow 4 \rightarrow 2 \rightarrow 3 \rightarrow 6 \rightarrow 1 \dots$ , sa ivičnim D flipflopovima koji nemaju asinhronu ulaze za direktan set i reset flipflopa. Obezbediti da brojač izlazi iz zabranjenih stanja posle maksimalno jedne periode taktnog impulsa. Na raspolaganju su logička NI sa proizvoljnim brojem ulaza i EXILI kola. Težiti da broj upotrebljenih logičkih kola bude minimalan.

b) Modifikovati kolo iz tačke a tako da se u slučaju generisanja signala START aktivnog na logičkoj nuli, brojač postavlja u početno stanje 3.

c) Na osnovu realizacije brojača iz tačke a, projektovati mrežu koja na izlazu generiše sekvencu  $3 \rightarrow 5 \rightarrow 9 \rightarrow 10 \rightarrow 12 \rightarrow 3 \dots$