

1. Trajanje ispita 240 minuta
2. Ispit se radi u vežbanci. Dozvoljeni su kalkulator i pribor za pisanje.

Zadatak 1 (15 poena)

- a) Odrediti rešenja jednačine $8x=Y_8$.
- b) Odrediti oktalne vrednosti brojeva: 111_2 , 111_3 i 111_4 .
- c) Odrediti rešenja sistema jednačina datih u binarnom brojnem sistemu:

$$10x + 10y = 1000 \quad x - y = 10$$

Rešenja predstaviti u brojnom sistemu sa osnovom 16.

d) Data je jednačina $5x^2 - 74x + 207 = 0$ i njeno jedno rešenje $x=11$. U kom brojnom sistemu je data jednačina i njeno rešenje.

e) Izvršiti sledeće operacije nad binarnim brojevima datim u komplementu osnove. Za predstavljanje rezultata operacija na raspolaganju je 5 bita. Odrediti da li dolazi do prekoračenja (*overflow*) prilikom izvršavanja operacije. U slučaju prekoračenja naznačiti $OF=1$.

$$0101+11110, 11100-1101, 01010+11, 1-10111.$$

f) Izvršiti sledeće operacije sabiranja dva neoznačena 10 bitna broja data u *BCD* kodu. Rezultate operacija predstaviti u Gray-ovom *BCD* kodu.

$$11\ 0101\ 0001 + 1\ 0111\ 1001, 10\ 0111\ 0101 + 1\ 0111\ 1001.$$

Zadatak 2 (10 poena)

a) Izvršiti operaciju množenja dva binarna broja data u komplementu osnove. Prikazati svaki korak operacije množenja.

$$1001 \times 0110, 0101 \times 1010$$

b) Izvršiti sledeće operacije deljenja dva neoznačena broja data u odgovarajućim brojnim sistemima. Odrediti samo celobrojnu vrednost rezultata deljenja i ostatak deljenja.

$$22011_3 / 12_3, 1234_5 / 12_5$$

Zadatak 3 (10 poena)

Projektovati kolo konvertora koda, koje konvertuje ulazni podatak $a_2a_1a_0$ u sedmobitni kod za pobudu svetlosnog *LED* indikatora sa zajedničkom anodom, prema tabeli 3.

- a) Konvertor koda treba da obezbedi da se u slučaju pojave neke od kombinacija na ulazu, koje nisu definisane tabelom 4, na *LED* indikatoru prikaže simbol Π . Potrebno je odrediti logičku funkciju pobude samo jednog segmenta *LED* indikatora (po izboru) i realizovati je isključivo pomoću dvoulaznih *NILI* kola.
- b) Modifikovati realizaciju iz tačke a, tako da se u slučaju kada se konvertor koristi u višeznakovnom indikatoru, obezbedi, samo na poslednjem mestu, prikazivanje znaka Π , u slučaju da se na bilo kojoj poziciji na ulazu nađe neka od kombinacija koja nije definisana tabelom 4.

Tabela 3.

$a_2a_1a_0$	Prikaz na LED indikatoru
1	A
2	C
3	B
4	D
5	I
6	L

Zadatak 4 (10 poena)

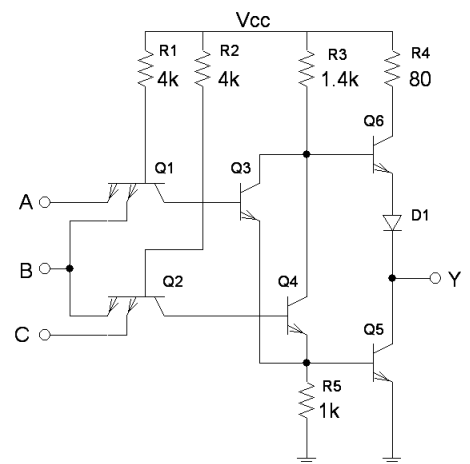
Za logičko kolo prikazano na slici 4, odrediti:

a) Logičku funkciju i režime rada svih tranzistora u kolu. Rezultate prikazati tablično, tako da režimima rada tranzistora odgovaraju skraćenice *DA*-direktan aktivan režim rada tranzistora, *IZAS*-inverzno zasićenje, *IAR*-inverzan aktivni režim, *ZAS*-direktno zasićenje, *ZAK*-zakočen.

b) Odrediti strujne kapacitete kola i faktor grananja pri naponima V_{IL} i V_{IH} na izlazu kola.

c) Prenosnu karakteristiku kola.

Poznato je: $V_{BE}=V_D=0.7V$, $V_Y=V_{YD}=0.6V$, $V_{CES}=0.2V$, $V_{BES}=0.8V$, $\beta_F=50$, $\beta_R=0.2$, $V_{CC}=5V$.



Slika 4

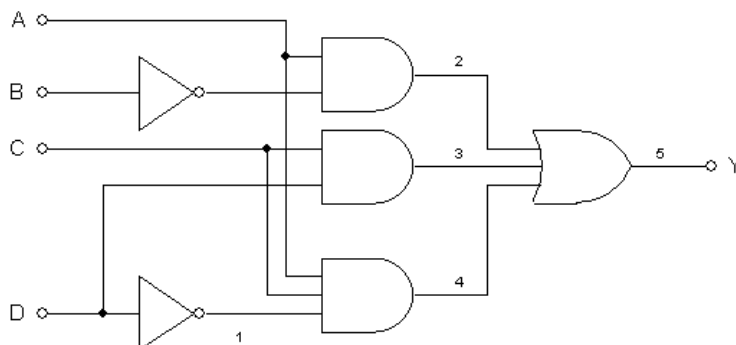
Zadatak 5 (10 poena)

a) Nacrtaťi logičku šemu *SR MS* flipflopa koji se okida opadajućom ivicom signala takta ako su na raspolaganju samo dvoulazna *NI* logička kola.

b) Odrediti vreme postavljanja *SR MS* flipflopa iz tačke a ako je kašnjenje signala kroz logička kola t_{dlk} konačno i kreće se u opsegu $1ns < t_{dlk} < 3ns$.

Zadatak 6 (10 poena)

- a) Data je logička funkcija $Y = (\bar{B} + C + D)(A + \bar{D})(\bar{A} + \bar{C})$. Da li i pri kojim prelazima postoji mogućnost generisanja lažnih jedinica ili/i nula na izlazu kola. Predpostaviti da je logička funkcija realizovana u formi u kojoj je i data, sa NE, ILI i I kolima.
- b) Modifikovati i realizovati logičku funkciju Y tako da nema mogućnosti pojave statičkih hazarda bilo kog tipa. Težiti da realizacija bude u minimalnoj formi.
- c) Za kolo sa slike 6, nacrtati vremenske dijagrame signala u tačkama 1, 2, 3, 4 i 5, za jedan slučaj generisanja lažne nule na izlazu kola.



Slika 6.

Zadatak 7 (10 poena)

- a) Projektovati brojač, sa asinhronim resetom i sekvencom brojanja $0 \rightarrow 2 \rightarrow 1 \rightarrow 3 \rightarrow 4 \rightarrow 0 \dots$. Na raspolaganju su ivični JK flipflopovi. Nakon generisanja ulaznog signala $RESET$, aktivnog na logičkoj nuli, na izlazima brojača se generiše broj 5. Nakon što signal $RESET$ postane neaktivan, na prvu silaznu ivicu signala takta brojač prelazi u stanje 4. Obezbediti da brojač izlazi iz zabranjenih stanja posle maksimalno jedne periode taktnog impulsa. Voditi računa da realizacija mreže bude što jednostavnija odnosno da broj upotrebljenih logičkih kola bude minimalan ako su na raspolaganju logička NI sa proizvoljnim brojem ulaza i $EXILI$ kola.
- b) Odrediti maksimalnu učestanost taktnih impulsa, za realizaciju iz tačke a, ako je odnos trajanja impulsa i periode taktnog signala 0,66 i ako vreme propagacije signala kroz logička kola, t_{dlk} , iznosi 2ns, vreme postavljanja JK flipflopa, t_{su} , iznosi 1ns i vreme kašnjenja signala kroz ivični JK flipflop, t_{dff} , iznosi 5ns.
- c) Modifikovati brojač iz tačke a tako da sekvenca brojanja brojača bude $4 \rightarrow 2 \rightarrow 12 \rightarrow 3 \rightarrow 10 \rightarrow 4$. Nakon generisanja ulaznog signala $RESET$, na izlazu brojača se generiše broj 5. Nakon što signal $RESET$ postane neaktivan, na prvu silaznu ivicu signala takta brojač prelazi u stanje 10.

Zadatak 8 (10 poena)

Ako se nebaferisani CMOS inverter, čije se unutrašnje kapacitivnosti mogu zanemariti, kapacitivno optereti sa $C_L = 20\text{pF}$, odrediti kašnjenje kroz inverter za a) $V_{DD} = 1.8\text{V}$. b) $V_{DD} = 2.4\text{V}$. Poznato je: $W_n = 400\text{nm}$, $W_p = 800\text{nm}$, $L = 200\text{nm}$, $\mu_n C_{ox} = 270\mu\text{A}/\text{V}^2$, $\mu_p C_{ox} = 70\mu\text{A}/\text{V}^2$, $C_{ox} = 1\mu\text{F}/\text{cm}^2$, $V_{Tn} = 0.5\text{V}$, $V_{Tp} = -0.5\text{V}$, $E_{cn}L_n = 1.2\text{V}$, $E_{cp}L_p = 4.8\text{V}$, $\lambda = 0.04\text{V}^{-1}$, $v_{SAT} = 8 \times 10^6\text{ cm/s}$. Ako inverter radi na maksimalnoj učestanosti odrediti dinamičku dispaciju koja se razvija na inverteru u slučaju a) i b).

Zadatak 9 (5 poena)

Korišćenjem otpornika i operacionog pojačavača čije je napajanje $\pm 5\text{V}$ realizovati neinvertujuće „logičko“ kolo čije su margine šuma $NM_H = NM_L = 6\text{V}$. Odrediti odnose upotrebljenih otpornika.

Zadatak 10 (10 poena)

- a) Projektovati jednostepeno statičko CMOS logičko kolo koje realizuje zadatu logičku funkciju. Odrediti relativne odnose širine kanala svih tranzistora, ako je u datoj tehnologiji za CMOS inverter određen odnos W_p : $W_n = 2:1$.

$$Y = AB + BC + AD$$

- b) Projektovati multiplexer 4 u 1 bez signala dozvole, korišćenjem transmisionih gejtova i CMOS invertora. Korišćenjem ovih multipleksera realizovati funkciju iz tačke a.
- c) Projektovati dekodeer 2/4 sa aktivnim logičkim nulama na izlazu, sa signalom dozvole, korišćenjem dvoulaznih NILI logičkih kola.