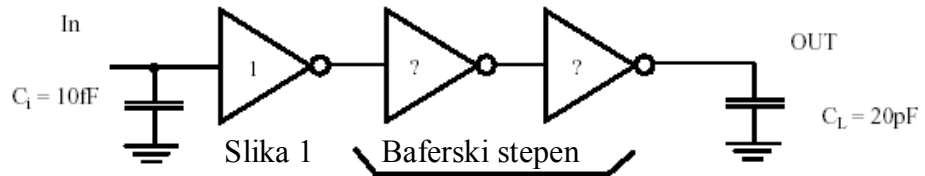


1. Trajanje ispita 240 minuta; Trajanje kolokvijuma 180 minuta
2. Ispit, Kolokvijum se radi u vežbanci. Dozvoljeni su kalkulator i pribor za pisanje.
3. Traži se koncizan, jasan, čitak odgovor.
4. Integralni ispit bez domaćeg 1. 2. 3. 4. 5. 6. 8. 9. 10. (ukupno 100 poena)
5. Integralni ispit sa domaćim 2. 3. 4. 5. 6. 8. 9. 10. (ukupno 95 poena)
6. II kolokvijum 5. 6. 7. 8. 9. 10. (ukupno 60 poena)

Zadatak 1 (5 poena)

U cilju poboljšanja dinamičkih karakteristika jednostepenog CMOS kola koje treba da radi sa velikom izlaznom kapacitivnošću $C_L=20\text{pF}$, na CMOS inverter 1, minimalne geometrije normirane na 1, i interne ulazne kapacitivnosti $C_i=10\text{fF}$, izvršeno je dodavanje dvostrukog bafera prema slici 1. Vreme propagacije signala kroz neopterećen inverter 1 je 70ps. Predpostaviti da je ulazna kapacitivnost invertora proporcionalna njegovoj veličini. Odrediti normirane odnose širine kanala ostalih invertora kako bi se minimiziralo ukupno vreme propagacije. Odrediti ukupno vreme propagacije.



Zadatak 2 (20 poena)

- a) Odrediti rešenje jednačine $404x=20_{100}$.
- b) Odrediti decimalne vrednosti brojeva: 21_3 , 21_{13} i 21_{23}
- c) Odrediti rešenje jednačine u decimalnom brojnem sistemu ako je jednačina $12x+3=123$, data u brojnem sistemu sa osnovom 4.
- d) Sledeće oktalne brojeve, 2335, 2167, 20, 0, predstaviti sa četiri cifre u u komplementu osnove i komplementu do maksimalne vrednosti.
- e) Izvršiti sledeće operacije nad binarnim brojevima datim u komplementu osnove. Za predstavljanje rezultata operacija na raspolaganju je 4 bita. Odrediti da li dolazi do prekoračenja (*overflow*) prilikom izvršavanja operacije. U slučaju prekoračenja naznačiti $OF=1$.

$$0101+10, 100+100, 010-11, 11-1100.$$

- f) Izvršiti sledeće operacije nad binarnim brojevima datim u komplementu do maksimalne vrednosti. Za predstavljanje rezultata operacija na raspolaganju je 4 bita. Odrediti da li dolazi do prekoračenja (*overflow*) prilikom izvršavanja operacije. U slučaju prekoračenja naznačiti $OF=1$.

$$0101+10, 100+100, 010-11, 11-1100.$$

- g) Izvršiti sledeće operacije sabiranja dva neoznačena 8 bitna broja data u BCD kodu. Rezultate operacija predstaviti u Gray-ovom BCD kodu.

$$01011001+01111001, 01010111+01111001.$$

Zadatak 3 (10 poena)

- a) Izvršiti operaciju množenja dva binarana broja data u komplementu osnove. Prikazati svaki korak operacije množenja.

$$1111 \times 1011$$

- b) Izvršiti sledeće operacije deljenja dva neoznačena broja data u odgovarajućim brojnim sistemima. Odrediti samo celobrojnu vrednost rezultata deljenja i ostatak deljenja.

$$110011_3 / 11_3$$

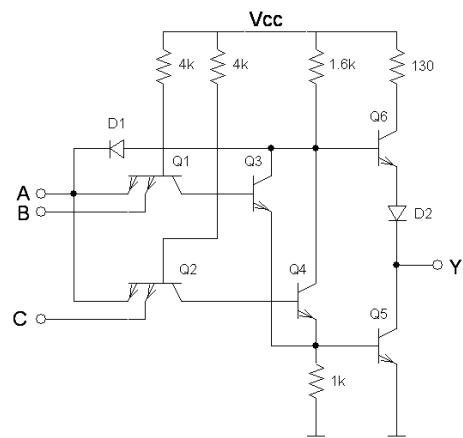
Zadatak 4 (15 poena)

Za logičko kolo, dato na slici 4, odrediti:

- a) Funkciju kola i režime rada svih tranzistora za sve kombinacije logičkih nivoa na ulazu kola. Rezultate prikazati tablično, tako da režimima rada tranzistora odgovaraju skraćenice DA-direktan aktivan režima rada tranzistora, IZAS - inverzno zasićenje, IAR - inverzan aktivni režim, ZAS-direktno zasićenje, ZAK - zakočen.

- b) Odrediti strujne kapacitete kola kao i faktor grananja na izlazu kola pri naponima na izlazu kola V_{IL} i V_{IH} .

Poznato je: $V_{BE}=V_D=0.7\text{V}$, $V_{\gamma}=V_{\gamma D}=0.6\text{V}$, $V_{CES}=0.2\text{V}$, $V_{BES} = 0.8\text{V}$, $50 \leq \beta_F \leq 70$, $V_{CC}=5\text{V}$, $0.1 \leq \beta_R \leq 0.3$.



Slika 4.

Zadatak 5 (5 poena)

Ako se nebaferisani CMOS inverter, čije se unutrašnje kapacitivnosti mogu zanemariti, kapacitivno optereti sa $C_L=20\text{pF}$, odrediti kašnjenje kroz inverter za a) $V_{DD}=1.8\text{V}$. b) $V_{DD}=2.4\text{V}$. Poznato je: $W_n=400\text{nm}$, $W_p=800\text{nm}$, $L=200\text{nm}$, $\mu_n C_{ox}=270\mu\text{A}/\text{V}^2$, $\mu_p C_{ox}=70\mu\text{A}/\text{V}^2$, $C_{ox}=1\mu\text{F}/\text{cm}^2$, $V_{Tn}=0.5\text{V}$, $V_{Tp}=-0.5\text{V}$, $E_{cn}L_n=1.2\text{V}$, $E_{cp}L_p=4.8\text{V}$, $\lambda=0.04\text{V}^{-1}$, $v_{SAT}=8 \times 10^6\text{cm/s}$. Ako inverter radi na maksimalnoj učestanosti odrediti dinamičku dispaciju koja se razvija na invertoru u slučaju a) i b).

Zadatak 6 (10 poena)

a) Na ulazu kombinacione mreže nalazi se 5-bitni binarni broj D. Projektovati kombinacionu mrežu koja na izlazu generiše signale $d_9, c_8, d_7, d_6, d_5, c_4, d_3, c_2$ i c_1 , gde signali na izlazima d_i predstavljaju informacione bite, tj. bite ulaznog 5-bitnog binarnog broja D, a c_i kontrolne bite sekvence date u *Hamming*-ovom kodu sa minimalnim rastojanjem 3. Na raspolaganju su logička kola proizvoljnog tipa. Težiti da realizacija bude minimalne kompleksnosti.

b) Projektovati kombinacionu mrežu koja na izlazu generiše signal *Error*, aktivan na visokom logičkom nivou, ukoliko je došlo do greške u prijemu bilo kog bita sekvence $d_9c_8d_7d_6d_5c_4d_3c_2c_1$ na ulazu kombinacione mreže, i četvorobitni izlaz D_{kor} , koji predstavlja korigovane informacione bite. Verovatnoća pojave višebitnih grešaka je zanemarljiva. Na raspolaganju su logička kola proizvoljnog tipa. Težiti da realizacija bude minimalne kompleksnosti.

Zadatak 7 (10 poena)

a) Data je logička funkcija $Y = (B + C)(A + \bar{C} + \bar{D})(\bar{C} + D)$. Da li i pri kojim prelazima postoji mogućnost generisanja lažnih jedinica ili nula na izlazu kola. Predpostaviti da je logička funkcija realizovana u formi u kojoj je i data, sa ILI i I kolima sa proizvoljnim brojem ulaza i invertorima.

b) Za kombinacionu mrežu koja realizuje logičku funkciju iz tačke a) nacrtati vremenske dijagrame signala u relevantnim tačkama kola, za slučaj pojave statičkog hazarda.

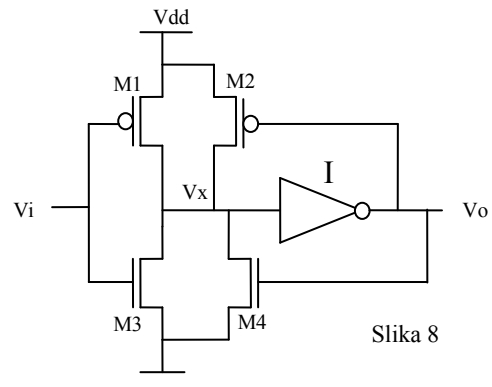
c) Modifikovati logičku funkciju Y datu u tački a) tako da nema mogućnosti pojave statičkih hazarda bilo kog tipa. Težiti da realizacija bude u minimalnoj formi.

Zadatak 8 (8 poena)

Ako je prag odlučivanja standardnog CMOS invertora dat izrazom:

$$V_M = \frac{rV_{DD}}{1+r}, \quad r = \frac{1}{2} \frac{W_p}{W_n}$$

nacrtati karakteristiku prenosa kola sa slike 8, i odrediti margine šuma. Poznato je $W_n=400\text{nm}$, $W_p=800\text{nm}$ a upotrebljeni inverter I ima karakteristiku prenosa idealnog logičkog kola i ima isto napajanje.



Slika 8

Zadatak 9 (9 poena)

a) Projektovati jednostepeno statičko CMOS logičko kolo koje realizuje zadatu logičku funkciju. Odrediti relativne odnose širine kanala svih tranzistora, ako je u datoj tehnologiji za CMOS inverter određen odnos $W_p: W_n=2:1$.

$$Y=ABD+BC+AD$$

b) Projektovati multiplexer 4 u 1 sa signalom dozvole korišćenjem transmisionih gejtova i CMOS invertora. Korišćenjem ovih multipleksera realizovati funkciju iz tačke a).

c) Na bazi domino logike projektovati što jednostavnije višestepeno kolo čiji je izlaz opisan funkcijom:

$$Y=A\bar{B}+B\bar{C}$$

Zadatak 10 (18 poena)

a) Nacrtati logičku šemu D MS flipfopa sa aktivnom uzlaznom ivicom signala takta ako su na raspolaganju dvoulazna NI logička kola. Odrediti vreme postavljanja D MS flipfopa ako je kašnjenje signala kroz logička kola t_{dlk} konačno i iznosi $2\text{ns} < t_{dlk} < 5\text{ns}$.

b) Projektovati sinhroni brojač sa sekvencom brojanja $1 \rightarrow 7 \rightarrow 2 \rightarrow 6 \rightarrow 3 \rightarrow 1 \dots$, sa ivičnim D flipflopovima koji nemaju asinhronu ulaze za direktan set i reset flipfopa. Obezbediti da brojač izlazi iz zabranjenih stanja posle maksimalno jedne periode taktnog impulsa. Na raspolaganju su logička NI sa proizvoljnim brojem ulaza i EXILI kola. Težiti da broj upotrebljenih logičkih kola bude minimalan.

c) Modifikovati kolo iz tačke b) tako da se u slučaju generisanja signala START aktivnog na logičkoj nuli, brojač postavlja u početno stanje 6.

d) Odrediti maksimalnu učestanost taktnih impulsa ako je vreme propagacije signala kroz logička kola proizvoljnog tipa 5ns, vreme propagacije signala kroz D flipflop 10ns i vreme postavljanja D flipfopa 2ns.

e) Modifikovati kolo iz tačke b) tako da sekvenca brojanja brojača bude $33 \rightarrow 39 \rightarrow 10 \rightarrow 14 \rightarrow 36 \rightarrow 33 \dots$