

Elektrotehnički fakultet u Beogradu, Katedra za elektroniku, Odsek za elektroniku
Ispit iz Osnova digitalne elektronike
Trajanje 240 minuta. Nije dozvoljena upotreba literature.

Zadatak 1 (15 poena)

a) Data je jednačina $x^2 - 12x + 21 = 0$ i njeno jedno rešenje $x=3$. U kom brojnom sistemu je data jednačina i njeno rešenje? Odrediti drugo rešenje jednačine.

b) Koristeći predstavu pozitivnih brojeva u osnovi 6 izvršiti sledeće operacije:

$$155_6 + 245_6 \text{ i } 155_6 * 245_6$$

c) Dati su sledeći brojevi u brojnom sistemu sa osnovom 7: 1345, 100, 0. Predstaviti date brojeve u komplementu osnove i komplementu do maksimalne vrednosti sa ukupno četiri cifre.

d) Izvršiti operaciju sabiranja dva neoznačena 8 bitna broja data u *BCD* kodu:

$$00110011 + 10011000$$

Rezultat operacije predstaviti u *Gray*-ovom *BCD* kodu.

e) Koristeći predstavu negativnih brojeva u drugom i prvom komplementu sa šest bita izvršiti sledeće operacije sabiranja u drugom i prvom komplementu i komentarisati dobijene rezultate:

$$-32 + 31, -31 + (-1), 31 + 1$$

Zadatak 2 (10 poena)

Projektovati kolo konvertora koda, koje konvertuje ulazni kod $a_2a_1a_0$ u sedmobitni kod za pobudu svetlosnog *LED* indikatora sa zajedničkom anodom, prema tabeli 2.

Tabela 2.

$a_2a_1a_0$	Prikaz na <i>LED</i> indikatoru
1	A
2	B
3	C
4	D
5	E
6	F

a) Konvertor koda treba da obezbedi da se u slučaju pojave neke od kombinacija na ulazu, koje nisu definisane tabelom 2, na *LED* indikatoru prikaže slovo G.

Potrebno je odrediti logičku funkciju pobude samo jednog segmenta *LED* indikatora (po izboru) i realizovati je isključivo pomoću dvoulaznih *NILI* kola.

b) Modifikovati realizaciju iz tačke a, tako da se u slučaju kada se konvertor koristi u višeznakovnom indikatoru, obezbedi, samo na poslednjem mestu, prikazivanje znaka G, u slučaju da se na bilo kojoj poziciji na ulazu nađe neka od kombinacija koja nije definisana tabelom 2.

Zadatak 3. (15 poena)

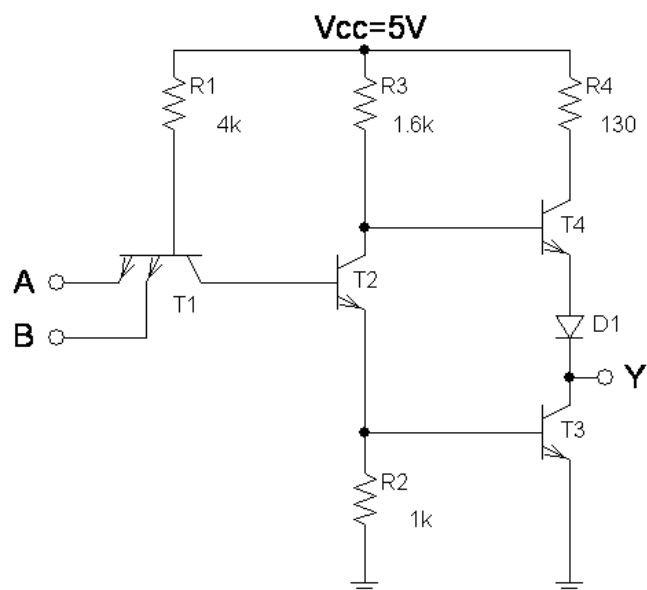
Za *TTL* logičko kolo sa slike 3 odrediti:

a) Logičku funkciju kola i režime rada svih tranzistora za sve kombinacije logičkih nivoa na ulazu kola.

b) Odrediti karakteristiku prenosa logičkog kola, kao i margine šuma u slučaju višestrukog izvora šuma.

c) Odrediti strujne kapacitete kola kao i faktor grananja na izlazu kola pri naponima na izlazu kola V_{IL} i V_{IH} .

Poznato je: $V_{BE}=V_D=0.7V$, $V_{\gamma}=V_{\gamma D}=0.6V$,
 $V_{CES}=0.2V$, $V_{BES}=0.8V$, $\beta_F=50$, $\beta_R=0.1$.



Slika 3. Dvoulazno *TTL* logičko kolo

Zadatak 4 (20poena)

Izračunati i nacrtati karakteristiku prenosa NMOS invertora sa pasivnim opterećenjem. Izračunati i definisati karakteristične tačke sa karakteristike prenosa. Odrediti margine šuma za jednostruke i višestruke izvore šuma. Odrediti odnos parametara R_L i W tako da širina prelazne zone karakteristike prenosa bude minimalna. Koliki je napon logičke nule u tom slučaju.

Poznato je: $R_L=30k$, $W=400nm$, $L=200nm$, $\mu_n C_{ox}=270\mu A/V^2$, $C_{ox}=1\mu F/cm^2$, $V_T=0.5V$, $E_c L=1.2V$, $V_{DD}=1.8V$, $V_{SAT}=8 \times 10^6$ cm/s.

Zadatak 5 (15poena)

a) Projektovati jednostepena statička CMOS logička kola koja realizuju zadatu logičku funkciju. Odrediti relativne odnose širine kanala svih tranzistora.

(a1) $Y=ABC+BD$

(a2) $Y=A+B+CD+A$

b) Projektovati kolo korišćenjem transmisionih gejtova čiji je izlaz definisan funkcijom:

$Y=A+BC$

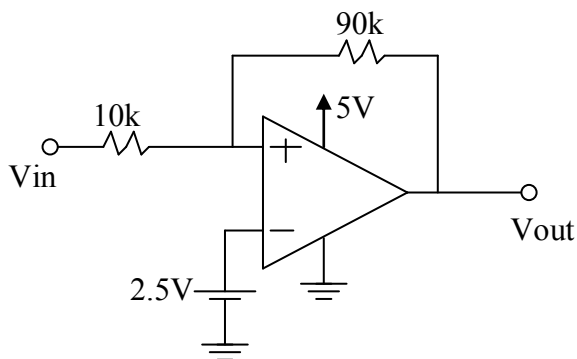
c) Na bazi domino logike projektovati višestepeno kolo čiji je izlaz opisan funkcijom:

$Y=\bar{A}+\bar{B}C$

Zadatak 6 (10poena)

a) Nacrtati karakteristiku prenosa kola sa slike 6. Poznato je: $R_i \rightarrow 0$, $R_u \rightarrow \infty$, $A \rightarrow \infty$.

b) Odrediti margine šuma kola.



Slika 6.

c) Korišćenjem dva otpornika i dva CMOS invertora koji se napajaju sa $V_{DD}=5V$, realizovati kolo sa istom funkcijom prenosa kao u tački (a).

Zadatak 7 (15 poena)

a) Projektovati brojač, sa asinhronim resetom i sekvencom brojanja $0 \rightarrow 2 \rightarrow 1 \rightarrow 3 \rightarrow 4 \rightarrow 0 \dots$. Na raspolaganju su ivični JK flipflopovi. Nakon generisanja ulaznog signala *RESET*, aktivnog na logičkoj nuli, na izlazima brojača se generiše broj 5. Nakon što signal *RESET* postane neaktivan, na prvu silaznu ivicu signala takta brojač prelazi u stanje 4. Voditi računa da realizacija mreže bude što jednostavnija odnosno da broj upotrebljenih logičkih kola bude minimalan.

b) Odrediti maksimalnu učestanost taktnih impulsa, za realizaciju iz tačke a, ako je odnos trajanja impulsa i periode taktnog signala 0,66 i ako vreme propagacije signala kroz logička kola, t_{dlk} , iznosi 2ns, vreme postavljanja D flipflopa, t_{su} , iznosi 1ns i vreme kašnjenja signala kroz ivični JK flipflop, t_{diff} , iznosi 5ns.