

Elektrotehnički fakultet u Beogradu, Katedra za elektroniku, Odsek za elektroniku
Ispit iz Osnova digitalne elektronike
Trajanje 240 minuta. Nije dozvoljena upotreba literature.

Zadatak 1 (15 poena)

a) Data je jednačina $5x^2 - 74x + 207 = 0$ i njeno jedno rešenje $x=11$. U kom brojnom sistemu je data jednačina i njeno rešenje?

b) Dati su sledeći brojevi u brojnom sistemu sa osnovom 6: 1345, 100, 0, 12. Predstaviti date brojeve u komplementu osnove i komplementu do maksimalne vrednosti sa ukupno četiri cifre.

c) Dati su trobitni označeni binarni brojevi D u drugom komplementu. Predstaviti brojeve $-2D$ u drugom komplementu sa osam bita.

011, 101, 111, 000.

d) Izvršiti operaciju sabiranja dva neoznačena 8 bitna broja data u BCD kodu:

10001000+01111001

Rezultat operacije predstaviti u $Gray$ -ovom BCD kodu.

e) Označeni binarni brojevi $A=1101$ i $B=0111$ dati su u komplementu dvojke. Predstaviti date brojeve u komplementu jedinice i izvršiti nad njima operacije $2A+11-B$, $2B-11+A$. Na raspolaganju je proizvoljan broj bita za predstavljanje rezultata operacije.

Zadatak 2 (10 poena)

Projektovati kolo dekodera koji ima 11 ulaza, tako da maksimalno kašnjenje izlaznih signala bude manje ili jednako $4t_{dlk}$. Na raspolaganju su dvoulazna I kola i invertori. Težiti da broj upotrebljenih kola bude minimalan. Vreme propagacije signala kroz logičko kolo iznosi t_{dlk} , dok se kašnjenje signala kroz inverter može zanemariti.

Napomena: Korišćeni dekoderi ne poseduju kontrolne ulaze za generisanje signala dozvole (*enable* ulazi).

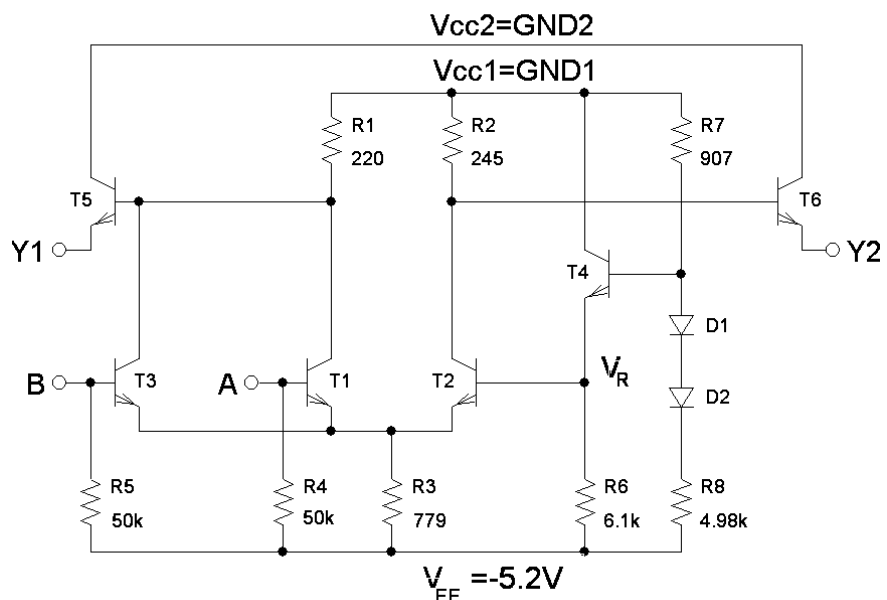
Zadatak 3. (15 poena)

Za dvoulazno logičko kolo iz ECL 10K familije, dato na slici 3, odrediti:

a) Logičku funkciju kola i režime rada svih tranzistora za sve kombinacije logičkih nivoa na ulazu kola.

b) Nacrtati karakteristike prenosa logičkog kola ($V_{Y1}(V_{ul})$ i $V_{Y2}(V_{ul})$) i odrediti margine šuma kola u slučaju višestrukog izvora šuma.

Poznato je: $V_{BE}=V_D=0.75V$,
 $V_\gamma=V_{\gamma D}=0.7V$, $V_{CES}=0.2V$,
 $V_{BES}=0.8V$, $\beta_F=100$.



Slika 3. Dvoulazno logičko kolo iz ECL 10K

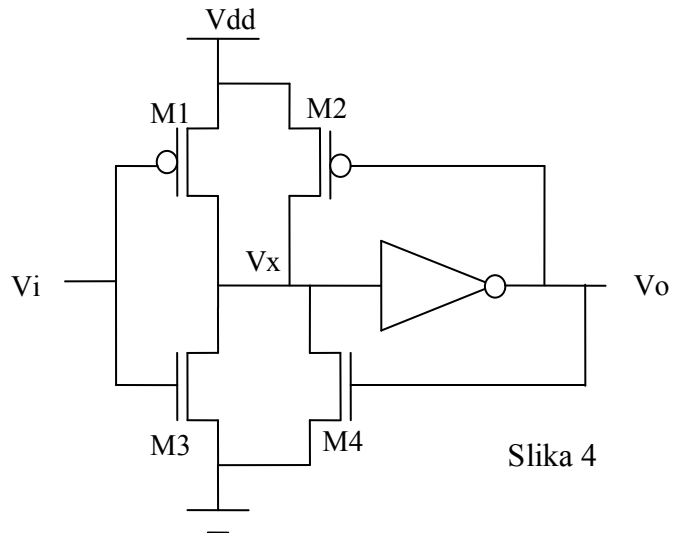
Zadatak 4 (15 poena)

- a) Projektovati kolo korišćenjem transmissionih gejtova čiji je izlaz definisan funkcijom: $Y=AC+BC$
- b) Na bazi domino logike projektovati kolo čiji je izlaz opisan funkcijom: $Y=AC+BC$
- c) Projektovati jednostepena statička CMOS logička kola koja realizuju zadataku funkciju: $Y=AB+AD+BCD$

Odrediti realtivne odnose širine kanala svih tranzistora, uzimajući da je za datu tehnologiju kod CMOS invertora optimalan odnos $W_n:W_p=1:2$.

Zadatak 5 (20 poena)

- a) Izračunati vrednost praga prebacivanja (V_M, V_S) CMOS invertora u zavisnosti od širina kanala MOS tranzistora. Poznato je: $L=200nm$, $\mu_n C_{ox}=270\mu A/V^2$, $\mu_p C_{ox}=70\mu A/V^2$, $C_{ox}=1\mu F/cm^2$, $V_{Tn}=0.5V$, $V_{Tp}=-0.5V$, $E_c L_n=1.2V$, $E_c L_p=4.8V$, $V_{DD}=1.8V$, $V_{SAT}=8 \times 10^6 cm/s$.
- b) Ako je $W_n=400nm$, $W_p=800nm$ a upotrebljeni inverter ima karakteristiku prenosa idealnog logičkog kola i ima isto napajanje, nacrtati karakteristiku prenosa kola sa slike 4, i odrediti margine šuma.

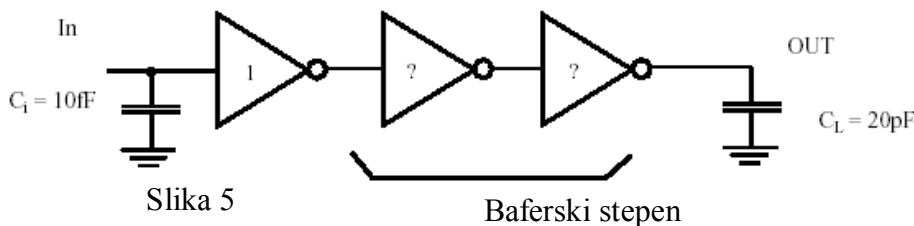


Slika 4

Zadatak 6 (10 poena)

U cilju poboljšanja dinamičkih karakteristika kola koje treba da radi sa velikom izlaznom kapacitivnošću $C_L=20pF$, na CMOS inverter 1 minimalne geometrije i ulazne kapacitivnosti $C_i=10fF$, izvršeno je dodavanje dvostrukog bafera prema slici 5. Vreme propagacije signala kroz inverter 1 je 70ps. Predpostaviti da je ulazna kapacitivnost invertora proporcionalna njegovoj veličini.

- a) Odrediti veličinu, odnose širine kanala ostalih invertora kako bi se minimiziralo ukupno vreme propagacije.
- b) Ukoliko je moguće dodati proizvoljan broj baferskih stepena u cilju postizanja minimalnog vremena propagacije, koliko broj invertora je potrebno dodati? Koliko je vreme propagacije u tom slučaju?



Slika 5

Zadatak 7 (15 poena)

- a) Projektovati brojač, sa sinhronim resetom, sa sekvencom brojanja $2 \rightarrow 3 \rightarrow 1 \rightarrow 4 \rightarrow 5 \rightarrow 2 \dots$. Na raspolaganju su ivični D flipflopovi. Nakon generisanja ulaznog signala $RESET$, aktivnog na logičkoj jedinici, na izlazu brojača se generiše 0. Nakon što signal $RESET$ postane neaktivan, na prvu uzlaznu ivicu signala takta brojač prelazi u stanje 4. Voditi računa da realizacija mreže bude što jednostavnija odnosno da broj upotrebljenih logičkih kola bude minimalan.
- b) Odrediti maksimalnu učestanost taktnih impulsa, prema realizaciji iz tačke b, ako vreme propagacije signala kroz logička kola, t_{alk} , iznosi 5ns, vreme postavljanja D flipflopa, t_{su} , iznosi 4ns i vreme kašnjenja signala kroz ivični D flipflop, t_{dff} , iznosi 15ns.