

Elektrotehnički fakultet u Beogradu, Katedra za elektroniku, Odsek za elektroniku
Ispit iz Osnova digitalne elektronike
Trajanje 240 minuta. Nije dozvoljena upotreba literature.

Zadatak 1 (10 poena)

- a) Brojeve 2245.9_{10} , 123.45_{16} , 11010101.1101_2 date u različitim brojnim sistemima prebaciti u odgovarajući broj u oktalnom brojnom sistemu.
- b) Dati su sledeći brojevi u brojnom sistemu sa osnovom 7: 1045, 3333, 50505, 0. Za date brojeve naći komplement osnove i komplement do maksimalne vrednosti sa ukupno pet cifara.
- c) Izvršiti, korak po korak, sledeće operacije sabiranje dva neoznačena 8 bitna broja data u *BCD* kodu:

$$10011001+01111001 \text{ i } 01110111+00110011.$$

Rezultat operacije predstaviti u *Gray*-ovom *BCD* kodu.

d) Označeni binarni brojevi $A=1101$ i $B=0111$ dati su u komplementu jedinice. Predstaviti date brojeve u komplementu dvojke i izvršiti nad njima operacije $A+B$, $B-A$, $A*B$ i A/B (sa ukupno 2 bita iza binarne tačke). Rezultate prikazati sa minimalnim brojem bita.

e) Označeni binarni brojevi $A=1101$ i $B=0111$ dati su u komplementu dvojke. Predstaviti date brojeve u komplementu jedinice i izvršiti nad njima operacije $4A+13-B$, $B-10+2A$. Na raspolaganju je proizvoljan broj bita za predstavljjanje rezultata operacije.

Zadatak 2 (10 poena)

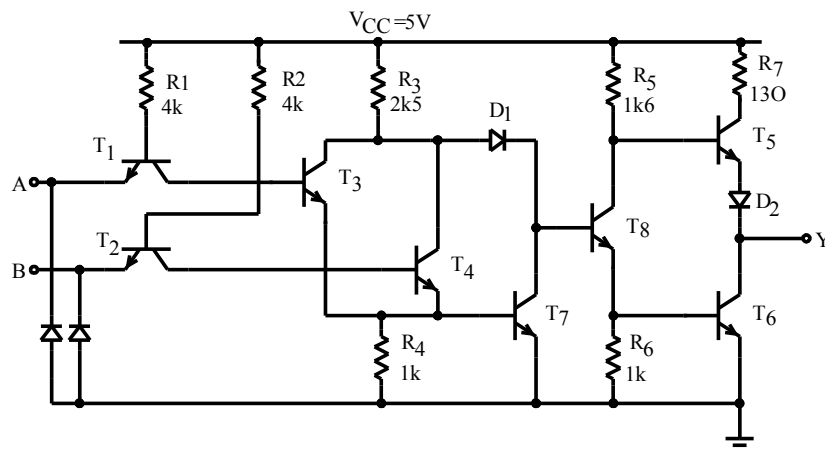
Ulazi kombinacione mreže su signali $d_7, d_6, d_5, d_3, c_4, c_2$ i c_1 . Signali na ulazima d_i predstavljaju informacione bite a c_i kontrolne bite 7bitne kodne reči date u *Hamming*-ovom kodu sa rastojanjem 3. Projektovati kombinacionu mrežu koja na izlazu generiše signal *Error*, aktivan na visokom logičkom nivou, ukoliko je došlo do greške u prijemu bilo kog bita kodne reči, i četvorobitni izlaz $D_7D_6D_5D_3$, koji predstavlja korigovane informacione bite. Verovatnoća pojave višebitnih grešaka je zanemarljiva. Na raspolaganju su logička kola proizvoljnog tipa. Težiti da realizacija bude minimalne kompleksnosti.

Zadatak 3. (20 poena)

Za dvoulazno *TTL* logičko kolo sa slike 3:

- a) Odrediti izlazne strujne kapacitete kola (I_{cap0} i I_{cap1}) pri naponima V_{IH} i V_{IL} na izlazu kola.
- b) Kolike su vrednosti vremena kašnjenja opadajuće i rastuće ivice signala na izlazu kola, t_{pHL} i t_{pLH} , ako je ekvivalentna parazitna kapacitivnost na izlazu kola $C_p=10pF$?
- c) Ukoliko se između tačkaka Y i V_{CC} veže otpornik $R=22\Omega$, odrediti vrednosti napona V_Y za sve kombinacije logičkih nivoa ulaznih priključaka A i B .

Poznato je: $V_{BE}=0.65V$, $V_{BES}=0.7V$, $V_{CES}=0.2V$, $V_D=0.55V$, $V_\gamma=0.6V$, $\beta_F=40$, $\beta_R=0.4$.



Slika 3. TTL logičko kolo

Zadatak 4 (10 poena)

Projektovati jednostepena statička CMOS logička kola koja realizuju zadatu logičku funkciju. Odrediti relativne odnose širine kanala svih tranzistora, ako je u datoj tehnologiji za CMOS invertor određen odnos $W_p: W_n=2:1$.

a) $Y=AB+BC+AD$

b) $Y=\overline{AB+BC+AD} + A$

Zadatak 5 (10 poena)

a) Projektovati multiplexer 4 u 1 sa signalom dozvole korišćenjem transmisionih gejtova i CMOS invertora.

b) Korišćenjem multipleksera iz tačke a) realizovati multiplexer 16 u 1.

Zadatak 6 (15 poena)

Izračunati i nacrtati karakteristiku prenosa NMOS invertora sa pasivnim opterećenjem. Izračunati i definisati karakteristične tačke sa karakteristike prenosa. Odrediti margine šuma za jednostruke i višestruke izvore šuma. Odrediti odnos parametara R_L i W tako da širina prelazne zone karakteristike prenosa bude minimalna. Koliki je napon logičke nule u tom slučaju.

Poznato je: $R_L=30k$, $W=400nm$, $L=200nm$, $\mu_n C_{ox}=270\mu A/V^2$, $C_{ox}=1\mu F/cm^2$, $V_T=0.5V$, $E_c L=1.2V$, $V_{DD}=1.8V$, $V_{SAT}=8 \times 10^6 cm/s$.

Zadatak 7 (10 poena)

Korišćenjem otpornika i operacionog pojačavača čije je napajanje $\pm 5V$ realizovati neinvertujuće „logičko“ kolo čije su margine šuma $NM_H=NM_L=6V$. Odrediti odnose upotrebljenih otpornika.

Zadatak 8 (15 poena)

Projektovati sekvencijalno kombinacionu mrežu, sa sinhronim resetom, koja na svojim izlazima generiše sekvencu $0 \rightarrow 9 \rightarrow 1 \rightarrow 8 \rightarrow 2 \rightarrow 7 \rightarrow 3 \rightarrow 6 \rightarrow 0 \dots$ u kodu više tri. Promena izlaza mreže se dešava na svaku ivicu taktog signala. Na raspolaganju su dva ivična D flipflopa (aktivna uzlazna ivica taktog signala) i proizvoljna logička kola. Nakon generisanja ulaznog signala $RESET$, aktivnog na logičkoj jedinici, na izlazu mreže se generiše stanje 0 na prvu uzlaznu ivicu signala takta. Signal takta je simetričan.