

Elektrotehnički fakultet u Beogradu, Katedra za elektroniku, Odsek za elektroniku
Ispit iz Osnova digitalne elektronike
Trajanje 240 minuta. Nije dozvoljena upotreba literature.

Zadatak 1 (10 poena)

a) Data je jednačina $5x^2 - 50x + 125 = 0$ i oba rešenja jednačine $x_1=5$ i $x_2=8$. U kom brojnom sistemu je data jednačina i oba njena rešenja?

b) Dati su sledeći brojevi u brojnom sistemu sa osnovom 9: 1845, 100, 77, 0. Za date brojeve izračunati i napisati komplement osnove i komplement do maksimalne vrednosti sa ukupno četiri cifre.

c) Dati su trobitni označeni binarni brojevi D u drugom komplementu. Predstaviti brojeve $-D$ u drugom komplementu sa osam bita.

011, 101, 100, 111, 000.

d) Izvršiti sledeće operacije nad četvorobitnim binarnim brojevima datim u komplementu do jedan. Odrediti da li dolazi do prekoračenja (*overflow*) prilikom izvršavanja operacije. U slučaju prekoračenja naznačiti $OF=1$:

1101+1010, 1000+1000, 0011-0100, 1101-1100.

Zadatak 2 (10 poena)

a) Dat je 8-bitni neoznačeni binarni broj u *BCD* kodu, kodu više tri i *Gray*-ovom *BCD* kodu. Odrediti težinske koeficijente bita (pozicije bita od 0 do 7).

b) Izvršiti sledeće operacije sabiranja dva neoznačena 8 bitna broja data u *BCD* kodu:

01010111+00111001.

c) Sledeće neoznačene binarne brojeve predstaviti u *Gray*-ovom binarnom kodu:

10101111, 00011101.

d) Ako je primljena sekvenca bita $d_7d_6d_5d_3c_4c_2c_1=0101011$, gde su d_i informacioni biti a c_i kontrolni biti sekvence date u *Hamming*-ovom kodu sa rastojanjem 3, izvršiti korekciju greške u prijemu ako je poznato da je samo jedan bit pogrešan. Obrazložiti odgovor.

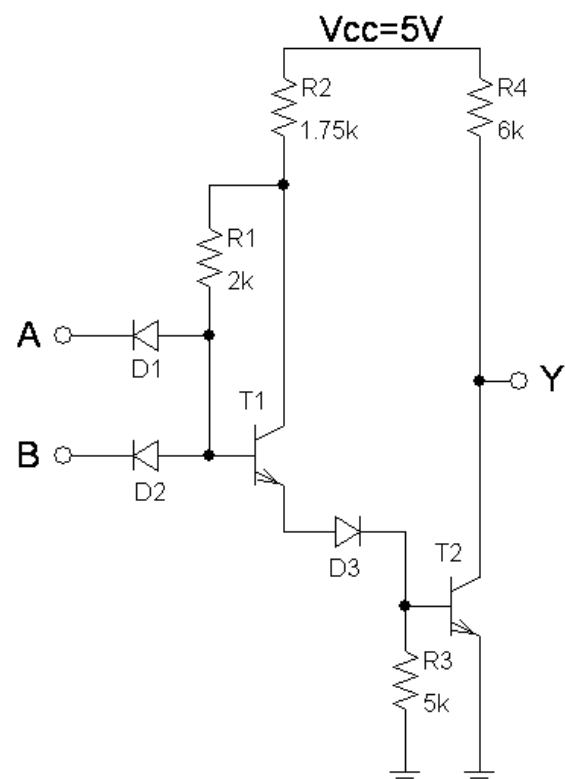
Zadatak 3 (10 poena)

Za DTL logičko kolo, dato na slici 3, odrediti:

a) Logičku funkciju kola i režime rada svih tranzistora za sve kombinacije logičkih nivoa na ulazu kola. Rezultate prikazati tablično, tako da režimima rada tranzistora odgovaraju skraćenice DA-direktan aktivan režim rada tranzistora, IZAS - inverzno zasićenje, IAR - inverzan aktivni režim, ZAS-direktno zasićenje, ZAK - zakočen.

b) Odrediti karakteristiku prenosa logičkog kola, kao i margine šuma u slučaju višestrukog izvora šuma.

Poznato je: $V_{BE}=V_D=0.7V$, $V_{\gamma}=V_{\gamma D}=0.6V$,
 $V_{CES}=0.2V$, $V_{BES}=0.8V$, $30 \leq \beta_F \leq 70$.



Slika 3. DTL logičko kolo

Zadatak 4 (25 poena)

a) Izračunati i nacrtati karakteristiku prenosa CMOS invertora. Izračunati i definisati karakteristične tačke sa karakteristike prenosa. Odrediti margine šuma za jednostruke i višestruke izvore šuma. Poznato je: $W_n=400nm$, $W_p=800nm$, $L=200nm$, $\mu_n C_{ox}=270\mu A/V^2$, $\mu_p C_{ox}=70\mu A/V^2$, $C_{ox}=1\mu F/cm^2$, $V_{Tn}=0.5V$, $V_{Tp}=-0.5V$, $E_c L_n=1.2V$, $E_c L_p=4.8V$, $V_{DD}=1.8V$, $V_{SAT}=8 \times 10^6 cm/s$.

b) U cilju poboljšanja dinamičkih karakteristika CMOS invertora iz tačke (a) koji treba da radi sa velikom izlaznom kapacitivnošću $C_L=20pF$, na CMOS invertor minimalne geometrije i ulazne kapacitivnosti $C_i=10fF$, izvršeno je dodavanje dvostrukog bafera. Vreme propagacije signala kroz invertor je 70ps. Predpostaviti da je ulazna kapacitivnost invertora proporcionalna njegovoj veličini. Odrediti veličinu baferskih invertora kako bi se minimiziralo ukupno vreme propagacije

Zadatak 5 (10 poena)

Projektovati jednostepena statička CMOS logička kola koja realizuju zadatu funkciju. Odrediti realtivne odnose širine kanala svih tranzistora, uzimajući da je za datu tehnologiju kod CMOS invertora optimalan odnos $W_n:W_p=1:2$.

a) $Y=AB+AD+BCD$

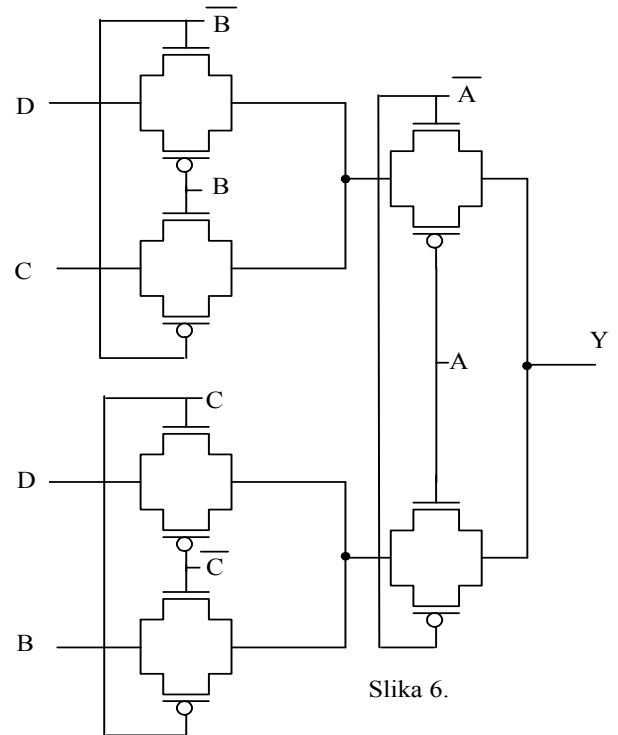
b) $Y=A+B+\overline{CD}$

Zadatak 6 (10 poena)

- a) Napisati funkcionalnu tabelu za kolo sa slike 6.
b) Realizovati istu funkciju u *pass transistor* logici.
c) Ako su naponski nivoi promenljivih za „0” = 0 i za „1” = V_{DD} koliki su naponski nivoi izlazne promenljive u slučaju (a) odnosno (b). Pretpostaviti da se na izlazu Y nalazi velika otpornost, znatno veća od otpornosti provodnih tranzistora a da su pragovi provođenja tranzistora V_{Tn} i V_{Tp} .

Zadatak 7 (10 poena)

- a) Korišćenjem otpornika i CMOS invertora realizovati neinvertujuće kolo čije su margine šuma $NM_H=NM_L=3V$. CMOS invertori imaju napajanje +5V i karakteristiku idealnog logičkog kola
b) Da li je moguće realizovati neinvertujuće kolo sa istim CMOS invertorima a sa maginama šuma $NM_H=NM_L=6V$, pod uslovom da ulazni napon može da bude van opsega napona napajanja?



Slika 6.

Zadatak 8 (15 poena)

- a) Projektovati brojač, sa sinhronim resetom, sa sekvencom brojanja $3 \rightarrow 6 \rightarrow 5 \rightarrow 1 \rightarrow 4 \rightarrow 3 \dots$. Na raspolaganju su ivični D flipflopovi. Nakon generisanja ulaznog signala *RESET*, aktivnog na logičkoj jedinici, na izlazu brojača se generiše 2. Nakon što signal *RESET* postane neaktivan, na prvu uzlaznu ivicu signala takta brojač prelazi u stanje 3. Voditi računa da realizacija mreže bude što jednostavnija odnosno da broj upotrebljenih logičkih kola bude minimalan.
b) Odrediti maksimalnu učestanost taktnih impulsa, prema realizaciji iz tačke b, ako vreme propagacije signala kroz logička kola, t_{alk} , iznosi 5ns, vreme postavljanja D flipflopa, t_{su} , iznosi 4ns i vreme kašnjenja signala kroz D flipflop, t_{dff} , iznosi 10ns.