ЕЛЕКТРОТЕХНИЧКИ ФАКУЛТЕТ УНИВЕРЗИТЕТ У БЕОГРАДУ

Друга лабораторијска вежба

Креирање и симулација модела на нивоу понашања



проф. др Милан Поњавић доц. др Радивоје Ђурић

ас. мс Никола Петровић

Увод

Циљ ове вежбе је генерисање модела компоненти на нивоу понашања. Моделовање и тестирање компоненти вршиће се у софтверу Cadence Virtuoso.

Целине које је потребно моделовати су:

- 1. Синусоидални напонски контролисани осцилатор (енг. Voltage Controlled oscillator VCO).
- 2. Памти прати коло (енг. Sample and Hold).
- 3. Осмобитни DA конвертор.
- 4. Осмобитни АD конвертор.

Потребно предзнање студената:

- Познавање рада напонско контролисаног осцилатора, памти прати кола, DA и AD конвертора.
- Основна предзнања моделовања компоненти у Verilogu A, декларација модула, дефинисање портова, инстанцирање компонената, покретање симулација у Virtuoso-у (предавања и вежбе из предмета Анализа и моделовање електронских кола употребом HDL-AMS језика).

1. Напонски контролисани осцилатор (VCO)

Напонско контролисани осцилатор на свом излазу има учестаност која је сразмерна улазном сигналу (који је углавном напон али може бити и струја):

$$f_{out} = K v_{IN},$$

Где је К појачање напонски контролисаног осцилатора чије је јединица $\frac{Hz}{V}$ (или $\frac{Hz}{A}$) и често се означава као K_{VCO} . Најбољи начин да се моделује VCO је да се улазни сигнал интеграли у циљу добијања фазе излазног сигнала,

$$\Phi(t) = 2\pi \int K v_{IN}(t) \mathrm{d}t,$$

и онда је могуће добити излазни сигнал из фазе. Како је потребно генерисати синусоидални напонски контролисани осцилатор, напон на излазу је дат једначином

$$v_{out} = \sin \phi(t).$$

Учестаност је потребно ограничити на неку минималну Fmin и максималну Fmax вредност као што је потребно ограничити и амплитуду сигнала на излазу. Учестаност је онда једнака

$$f_{out} = \frac{(v_{IN} - V_{min})(F_{max} - F_{min})}{(V_{max} - V_{min}) + F_{min}}.$$

За израчунавање фазе могуће је користити специјалну функцију која се користи за моделовање VCO **idtmod**(*integrand*, *initial condition*, *modulus*, *of f set*, *tolerance*), где је само први аргумент обавезан док су сви остали опциони. Једначина ове функције је дата са

$$y(t) = \operatorname{mod}(\mathbf{m}) \left(\int_{o}^{t} x(\tau) d\tau + y_{0} - b \right) + b$$

Где је x вредност која се интеграли, y_0 је почетна вредност, m је модул и b је толеранција.

Помоћу функције **\$bound_step**() могуће је ограничити максимални временски корак симулације.

У циљу провере функционалности моделованог напонско-контролисаног осцилатора потребно је направити шему као што је то приказано на слици 1.1. Подешавање напонског генератора дато је на слици 1.2. Након тога је потребно покренути ADE L и подесити *transient* анализу као што је то приказано на слици 1.3. Након

покретања симулације потребно је посматрати напоне на улазу и излазу кола. Изглед ADE L прозора је дат на слици 1.4 док су дијаграми напона на улазу и излазу дати на слици 1.5.



Слика 1.1. Шема за проверу функционалност моделованог напонско-контролисаног осцилатора.

- Topony	Edit Object Properties	Diopicy
Library Name	analogLib	off 🔽
Cell Name	vsin	off 🔽
View Name	symbol	off 🔽
Instance Name	¥0	off 🔽
User Property Ivsignore	Add Delete Modify Master Value Local Value TRUE	Display
CDF Parameter	Value	Display
First frequency name		off 🔽
Second frequency name		off 🔽
Noise file name		off 🔽
Number of noise/freq pairs	0	off 🔽
DC voltage		off 🔽
AC magnitude		off 🔽
AC phase		off 🔽
XF magnitude		off 🔽
PAC magnitude		off 🔽
PAC phase		off 🔽
Delay time		off 🔽
Offset voltage		off 🔽
Amplitude	1 V	off 🔽
nitial phase for Sinusoid		off 🔽
Frequency	10 Hz	off 🔽
Amplitude 2		off 🔽
initial phase for Sinusoid 2		off 🔽
Frequency 2		off 🔽

Слика 1.2. Подешавање vsin генератора.

	Choosing	g Analy:	ses ADE	L (3) ×	
Analysis	🖲 tran	🔾 dc	🔾 ac	🔾 noise	
	🔾 xf	🔾 sens	🔾 dcmatch	🔾 stb	
	🔾 pz	🔾 sp	🔾 envlp	🔾 pss	
	🔾 pac	🔾 pstb	🔾 pnoise	🔾 pxf	
	🔾 psp	🔾 qpss	🔾 qpac	🔾 qpnoise	
	🔾 qpxf	🔾 qpsp	🔾 hb	🔾 hbac	
	🔾 hbnoise	🔾 hbsp			
	٦	Fransient /	Analysis		
Stop Time	100m				
Accuracy	Defaults (errp	oreset)			
✓ conse	rvative 🔲 m	noderate (liberal		
🔲 Transier	nt Noise				
🗌 Dynamie	c Parameter				
Enabled ⊻				Options	
OK Cancel Defaults Apply Help					

Слика 1.3. Подешавање transient анализе.

🦉 ADE L (1) - Lab	2_AMS VCO_testbench schematic	_ 🗆 X
<u>L</u> aunch S <u>e</u> ssion Set <u>u</u> p <u>A</u> nalyses <u>V</u> ari	iables <u>O</u> utputs <u>S</u> imulation <u>R</u> esults <u>T</u> ools Calibre <u>H</u> elp ₍	cādence
🛯 🛃 🔊 🧊 27 🛛 💩 🎾 🖞	ð 🗹 🖻	
Design Variables Name Value 1 Fmin 100 2 Vmin -1	Analyses Type Enable Arguments 1 tran ✓ 0 100m conservative Outputs Outputs Name/Signal/Expr Value Plot Save Save 1 out ✓ □ allv	? 🗗 X Constraints Pill Pill X Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constraints Constrai
> Results in /home/host/simulation/VCO_t Image: Content of the second	2 in Plot after simulation: Auto Status: Ready T=27 C Simulator: spectre	State: osc

Слика 1.4. Изглед ADE L прозора.



Слика 1.5. Временски дијаграм улазног и излазног сигнала осцилатора.

2. Памти прати коло

Излаз памти прати кола има вредност последњег одбирка улазног сигнала,

$$v_{OUT}(t) = v_{IN}(nT)$$

где је T период одабирања а n је највећи цео број мањи од t/T. Одабирање је пример догађаја и моделоваћемо га као тренутни догађај.

Одабирање се дешава или на период одабирања или на иницијални корак, ово је могуће реализовати помоћу @(timer(toff, period) or initial_step) где је toff офсет. Функција timer генерише прекиде на сваки умножак другог аргумента у односу на први аргумент функције. Параметри toff и period треба да узимају вредности од нуле до бесконачно. Такође, због прекида у излазном сигналу, потребно је додати \$discontinuity(0) иако ово није обавезно урадити.

Коло за проверу функционалности памти прати кола дато је на слици 2.1. На слици 2.2. је дато подешавање генератора напона док је подешавање памти и прати кола је дато на слици 2.3. Потребно је покренути ADE L и подесити transient анализу као што је то приказано на слици 2.4. Након покретања симулације потребно је селектовати напон на улазу и излазу кола. Изглед ADE L прозора приказан је на слици 2.5. Дијаграми напона су приказани на слици 2.6.

	 IØ	
in' in'		out
VØ		ŔØ
\sim $(+)$ $va=2.5$		
freq=100		<mark>.</mark> <mark>.</mark>
🗸		

Слика 2.1. Шема за проверу функционалности памти прати кола.

, reporty		Display
Library Name	analogLib	off 🔽
Cell Name	vsin	off 🔽
View Name	symbol	off 🔽
Instance Name	¥0	off 🔽
User Property Ivsignore	Add Delete Modify Master Value Local Value	Display
CDF Parameter	Value	Display
First frequency name		off 🔽
Second frequency name		off 🔽
Noise file name		off 🔽
Number of noise/freq pairs	0	off 🔽
DC voltage	2.5 ¥	off 🔽
AC magnitude		off 🔽
AC phase		off 🔽
XF magnitude		off 🔽
PAC magnitude		off 🔽
PAC phase		off 🔽
Delay time		off 🔽
Offset voltage		off 🔽
Amplitude	2.5 ¥	off 🔽
Initial phase for Sinusoid		off 🔽
Frequency	100 Hz	off 🔽
Amplitude 2		off 🔽
Initial phase for Sinusoid 2		off 🔽
Frequency 2		off 🔽

Слика 2.2. Подешавање vsin генератора.

	Edit Object Properties	×
Apply To Only cu	rrent 🔽 instance 🔽	
Show 🔲 syste	em 🗹 user 🗹 CDF	
Browse	Reset Instance Labels Display	
Property	Value	Display
Library Name	Lab2_AMS	off 🔽
Cell Name	SampleAndHold	off
View Name	symbol	off 🔽
Instance Name	10	value 🔽
	Add Delete Modify	
User Property	Master Value Local Value	Display
partName	SampleAndHold	off 🔽
vendorName		off 🔽
CDF Parameter of view	veriloga 🔽	Display
period	1m	off 🔽
toff	0	off 🔽
OK Can	cel Apply Defaults Previous	Next Heln

Слика 2.3. Подешавање памти прати кола.

	Choosing	J Analy:	ses ADE	L (2)	×
Analysis	🖲 tran	🔾 dc	🔾 ac	🔾 noise	
	🔾 xf	🔾 sens	🔾 dcmatch	🔾 stb	
	🔾 pz	🔾 sp	🔾 envlp	🔾 pss	
	🔾 pac	🔾 pstb	🔾 pnoise	🔾 pxf	
	🔾 psp	🔾 qpss	🔾 qpac	🔾 qpnoise	
	🔾 qpxf	🔾 qpsp	🔾 hb	🔾 hbac	
	🔾 hbnoise	🔾 hbsp			
	٦	ransient /	Analysis		
Stop Time	10m/				
Accuracy	Defaults (errp	oreset)			
✓ consei	rvative 📃 m	oderate (liberal		
					5
Transier	nt Noise				
🔲 Dynamic	: Parameter				
Enabled ⊻				Options	
	ОК	Canc	el Default	s Apply He	alp

Слика 2.4. Подешавање transient анализе.

S ADE L (2) - La	2_AMS SH_t	estbench	schen	natic			_ 0	x
<u>L</u> aunch S <u>e</u> ssion Set <u>u</u> p <u>A</u> nalyses <u>V</u> ari	ables <u>O</u> utputs	<u>S</u> imulation	<u>R</u> esults	<u>T</u> ools	Calibre	<u>H</u> elp	cāden	ce
🛚 📥 🔊 🦵 27 🔄 👌 🎾 🖆	8							
Design Variables Name Value	Analyses Type En 1 tran 🖌	able 0 10m d	conserva	Argum	ents		?	AC DC Trans
	Outputs Name/Si 1 out 2 in	gnal/Expr	Value	Plot	Save a	Save (IIv IIv	? 2 × Options	M
Results in momernososimulation/SH_tes	i lot atter sinial		_	Tiouin	g moue. (_	
6(10) Save State		Status: Read	iy T=27	7 C	Simulato	r: specti	re State:	SH 📘

Слика 2.6. Изглед ADE L прозора након подешавања transient анализе.



Слика 2.6. Дијаграми напона на улазу и излазу прати памти кола.

3. Осмобитни DA и AD конвертори

У циљу реализације AD конвертора потребно је декларисати излаз као вектор помоћу

output [0:7] out; voltage [0:7] out;

где прва линија декларише порт а друга линија додељује дисциплину порту.

У циљу добијања напона на излазу потребно је одабирати напон на улазу које се врши у иницијалном тренутку или када сигнал такта пређе неку задату вредност. Ово је могуће одрадити помоћу

```
@(cross(V(clk)-thresh, +1) or initial_step)
```

Претварање аналогног сигнала у дигитални је могуће одрадити помоћу for петље дате са

```
for (i = bits - 1; i >= 0; i = i - 1) begin
...
```

end

где је променљива i дефинисана помоћу **genvar** i. У циљу додељивања вредности потребном сигналу потребно је користити функцију **transition** на следећи начин:

где result[i] садржи и-ти бит.

Пре реализацији DA конвертора потребно је улазни осмобитни дигитални сигнал претворити у аналогни сигнал. Стога је потребно дефинисати улазни сигнал као вектор

```
input [0:7] in;
```

Као и у случају AD конвертора, сигнал на улазу се одабира помоћу

```
@(cross(V(clk)-thresh, dir) or initial_step) begin
...
```

end

где dir означава ивицу на коју се врши одабирање. За генерисање излазног сигнала, као и у претходном случају, потребно је користити

V(out) <+ **transition**(aout, delay_from_clk_edge_to_out, transition_time);

где је aout аналогни сигнал који је потребно преписати у V(out).

Шема за проверу функционалности кола AD и DA конвертора дата је на слици 3.1. Подешавање AD и DA конвертора дато на слици 3.2. Подешавање генератора четвртки и синусоидалног генератора је дато на слици 3.3. На слици 3.4. дато је подешавање transient анализе. На слици 3.5. је дат приказ ADE L прозора. На слици 3.6. дат је приказ напона на излазу AD конвертора док је на слици 3.7. дат приказ сигналта такта, улазног сигнала AD конвертора и излазног сигнала DA конвертора.



Слика 3.1. Шема за проверу функционалности AD и DA конвертора.

Apply To Only current instance Apply To Only current instance Apply To Show system user CDF Show system user CDF Browse Reset instance Labels Display Display Property Value Display Library Name Lab2_AMS Off Cell Name ADC Off Cell Name dac Off Cell Name Stabol Off Cell Name acc Off Cell Name acc <th>- E</th> <th>Edit Object Properties</th> <th>×</th> <th></th> <th>Edit Object Properties</th> <th>×</th>	- E	Edit Object Properties	×		Edit Object Properties	×
Browse Reset Instance Labels Display Property Value Display Library Name Lab2_AMS Off Cell Name ADC Off View Name symbol Off Instance Name IO Value Add Delete Modify User Property Master Value Display vendorName Off Off Vullscale 5 Off td O Off vdd 5 Off thresh (vdd)/(2) Off	Apply To only curre Show system	ent 🔽 instance 🔽 I 🗹 user 🗹 CDF		Apply To only cur Show syste	rrent 🔽 instance 🔽 em ⊻ user 🕑 CDF	
Add Delete Modify User Property Master Value Local Value Display partName ADC off D vendorName off Parameter of view veriloga Off CDF Parameter of view veriloga Display off Display fullscale S off Coff Display td 0 off T Display vdd S off T Display vdd S off V off T vdd S off V off V vdd S off V off V vdd S off V vdd S off V thresh (vdd) /(2) off V off V off V	Browse Property Library Name Cell Name View Name Instance Name	Reset Instance Labels Display Value Lab2_AMS ADC symbol IO	Display off V off V off V value V	Browse Property Library Name Cell Name View Name Instance Name	Reset Instance Labels Display Value Lab2_AMS dac symbol. II	Display off • off • off • value •
CDF Parameter of view veriloga Display fullscale 5 off CDF Parameter of view veriloga Display fullscale 5 off fullscale 5 off Display fullscale 0 off fullscale 5 off Display fullscale 0 off fullscale 5 off Display fullscale 0 off fullscale 5 off Display vdd 5 off off vdd 5 off Display thresh (vdd) /(2) off fullscale 5 off Display	User Property partName vendorName	Add Delete Modify Master Value Local Value ADC	Display off 🔽 off 🔽	User Property interfaceLastCh. partName vendorName	Add Delete Modify Master Value Local Value	Display off V off V
dir 1 off 🔽 dir 1	CDF Parameter of view fullscale td tt vdd thresh dir	Veriloga	Display off V off V off V off V off V off V	CDF Parameter of view fullscale td tt vdd thresh dir	Veriloga	Display off V off V off V off V off V off V

Слика 3.2. Подешавање AD и DA конвертора.

	Edit Object Properties	×		Edit Object Properties	
Library Name	analogijh	off			
Library Name	anarogrin		Browse	Reset Instance Labels Display	
Cell Name	vpulse		Property	Value	Display
View Name	symbol	off	Library Name	analogLib	off
Instance Name	V1	off 🔽	Cell Name	vsin	off
	Add Delete Modify		View Name	symbol	off
User Property	Master Value Local Value	Display	Instance Name	A0	off 🔽
lvsignore	TRUE	off 🔽		Add Delete Modify	
CDE Parameter	Value	Dieplau	User Property	Master Value Local Value	Display
CDF Faralleter	value	off	lvsignore	TRUE	off 🔽
equency mane for typeno		off			
under of poince/from poince	0	off	CDF Parameter	Value	Display
ueltere		off	First frequency name		σπ
, vuitage			Second frequency name		off
2 magnitude			Noise file name		off
_ pnase			Number of noise/freq pairs	0	off
- magnitude			DC voltage	2.5 V	off
AC magnitude			AC magnitude		off
IC phase			AC phase		off
oltage 1	0 4	off	XF magnitude		off
oltage 2	5 V	off 🔽	PAC magnitude		off
riod	200.0u s	off 🔽	PAC phase		off
elay time		off 🔽	Delay time		off 🔽
se time		off 🔽	Offset voltage		off
II time		off 🔽	Amplitude	2.5 ₽	off
lse width		off 🔽	Initial phase for Sinusoid		off
mperature coefficient 1		off 🔽	Frequency	100 Hz	off
mperature coefficient 2		off 🔽	Amplitude 2		off

Слика 3.3. Подешавање генератора четвртки и генератора vsin.

	Choosing	g Analy:	ses ADE	L (2)	x	
Analysis	🖲 tran	🔾 dc	🔾 ac	🔾 noise		
	🔾 xf	🔾 sens	\bigcirc dcmatch	🔾 stb		
	🔾 pz	🔾 sp	🔾 envlp	🔾 pss		
	🔾 pac	🔾 pstb	🔾 pnoise	🔾 pxf		
	🔾 psp	🔾 qpss	🔾 qpac	🔾 qpnoise		
	🔾 qpxf	🔾 qpsp	🔾 hb	🔾 hbac		
	🔾 hbnoise	🔾 hbsp				
	г	ransient /	Analysis			
Stop Time	10m/					
Accuracy Defaults (errpreset)						
🗹 conservative 🔲 moderate 🛄 liberal						
Transient Noise						
🗌 Dynami	Dynamic Parameter					
Enabled 👱				Options		
OK Cancel Defaults Apply Help						

Слика 3.4.Подешавање transient анализе.

8 ADE L (1) - Lab2_	AMS ADC_DAC_testbench schem	atic	_ ¤ ×
Launch S <u>e</u> ssion Set <u>up A</u> nalyses <u>V</u> ari	ables <u>O</u> utputs <u>S</u> imulation <u>R</u> esults <u>T</u> ools	s Calibre <u>H</u> elp	cādence
I 🚰 🧽 I 📭 27 🛛 💩 🎾 🖆	} 🗹 🗁		
Design Variables Name Value	Analyses Type Enable Arg 1 tran V 010m conservative	uments	? 🗗 X AC DC Trans
1 vdd 5			
			×
	Outputs		? # × 👩
	Name/Signal/Expr Value Pl	ot Save Save	Options
1	2 in	allv	80
	3 clk 🗹	allv allv	
> Results in /home/host/simulation/ADC [Plot after simulation: Auto	ing mode: Replace	9
2(3) Netlist and Run	Status: Ready T=27 C	Simulator: spectr	e State: test

Слика 3.5. Изглед ADE L прозора након подешавања transient анализе.



Слика 3.6. Сигнал на излазу AD конвертора.



Слика 3.7. Сигнал на улазу у AD конвертор, сигнал на излазу DA и сигнал такта.