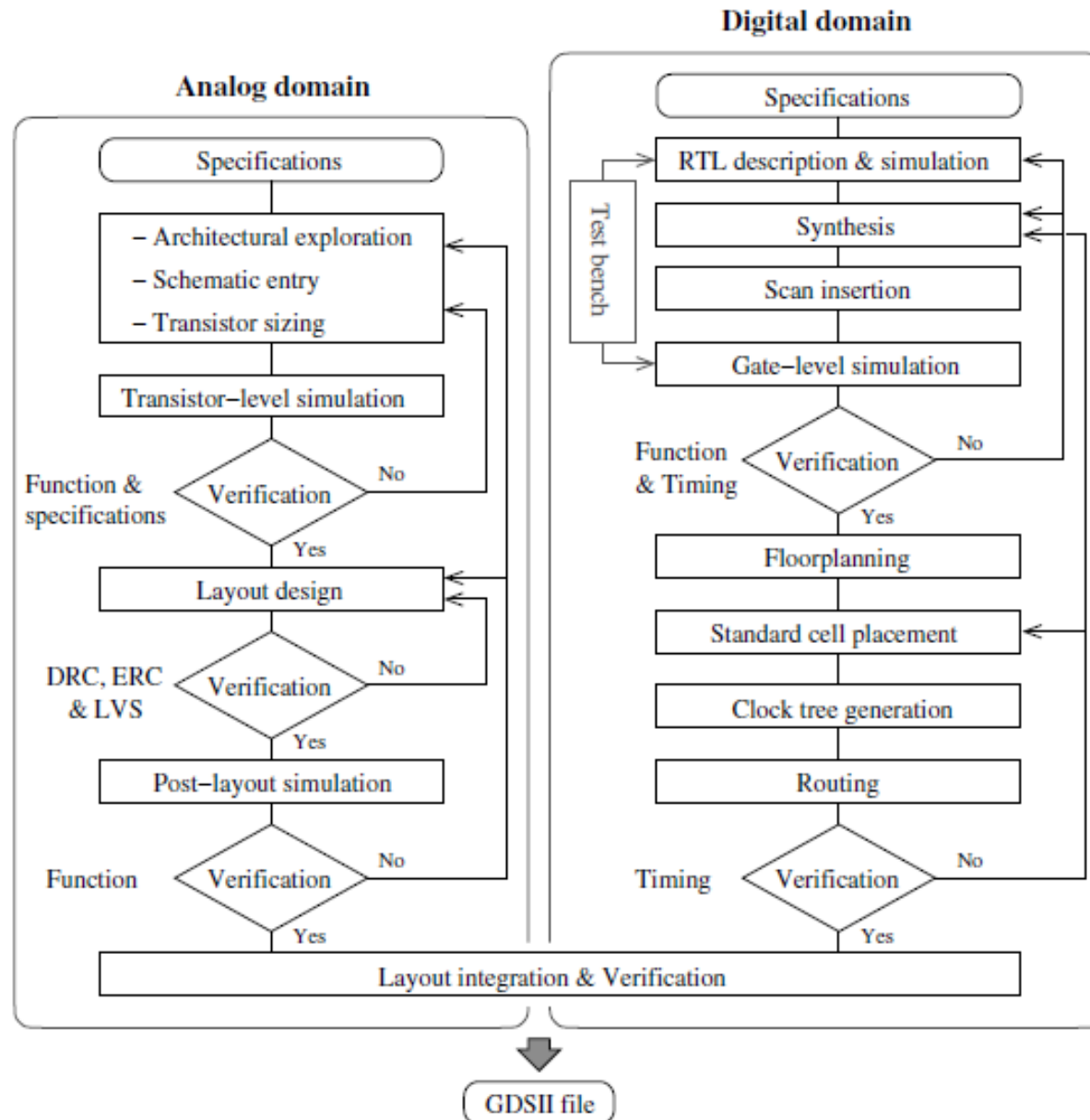
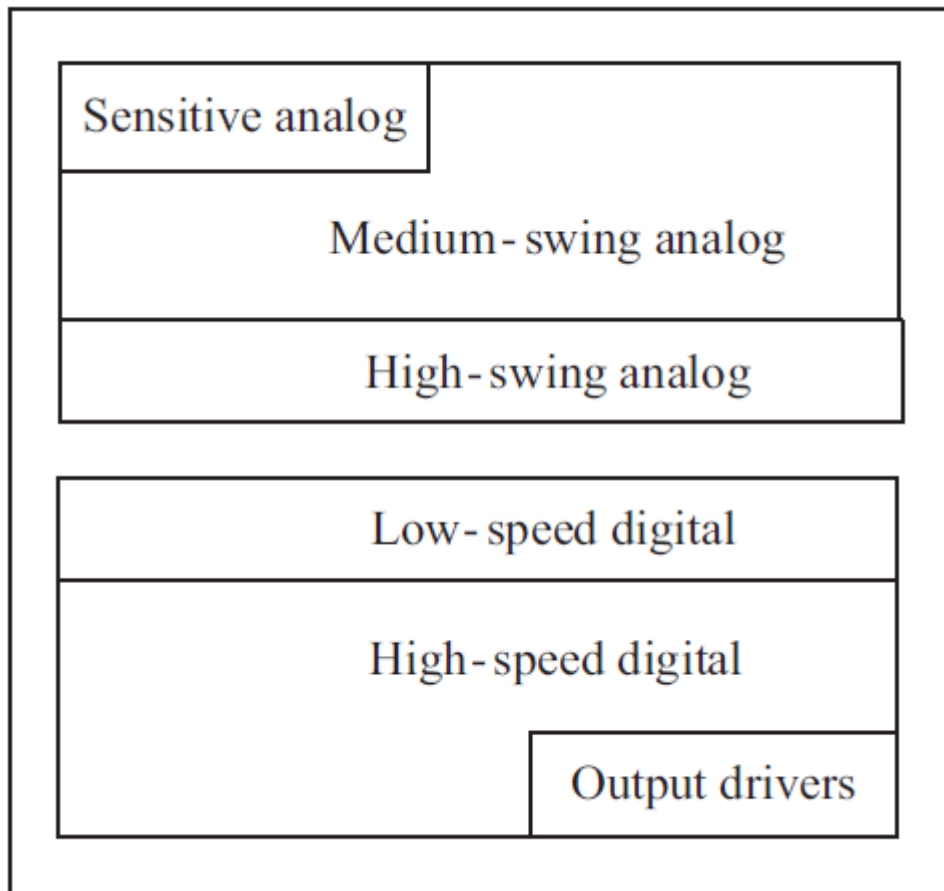


Dijagram toka dizajna mixed-signal integrisanog kola



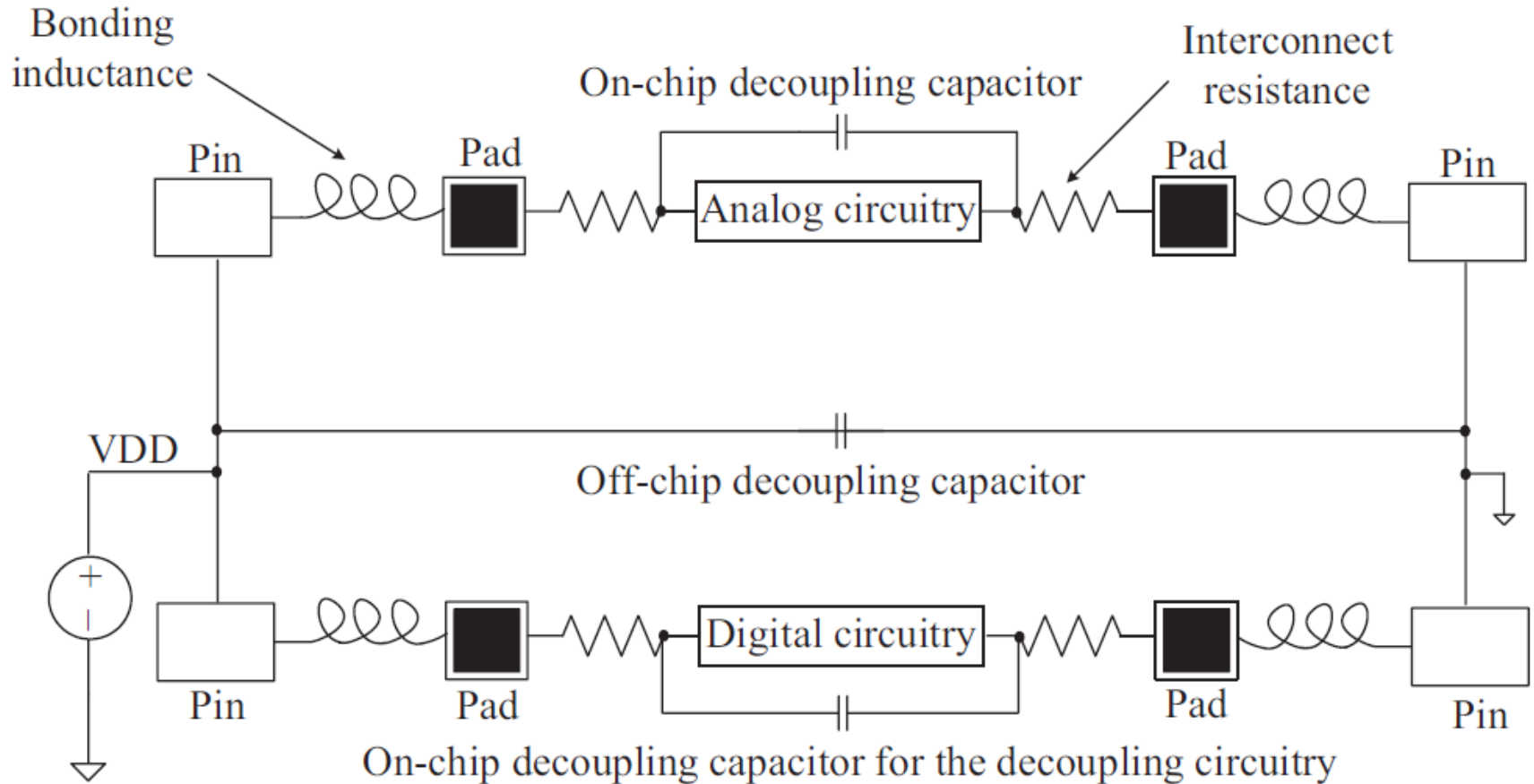
Raspodela komponenata na čipu (Floor planning)

Primer: mixed-signal floorplan

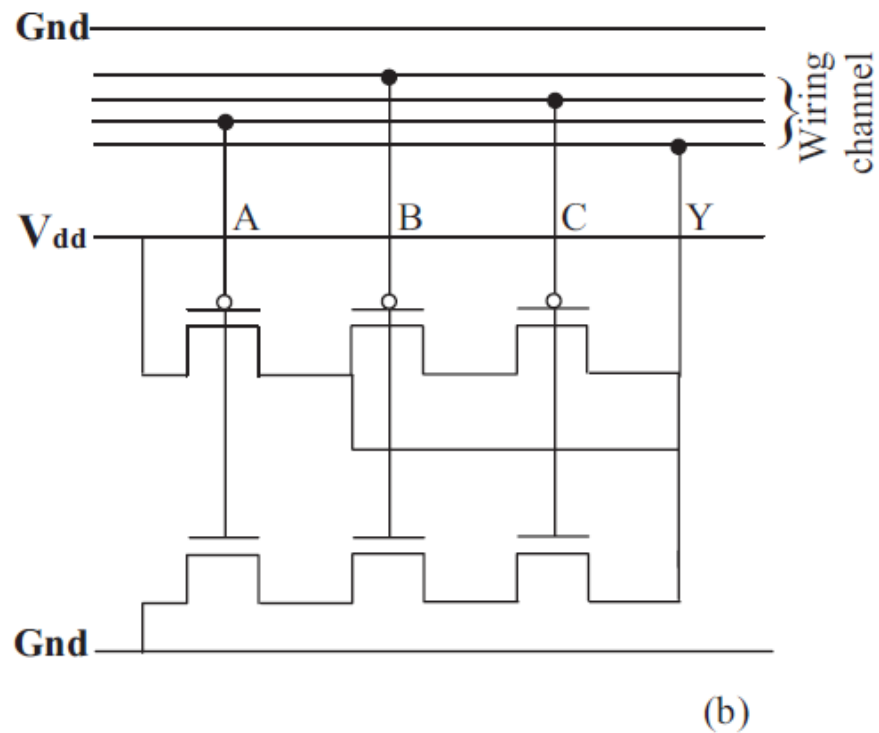
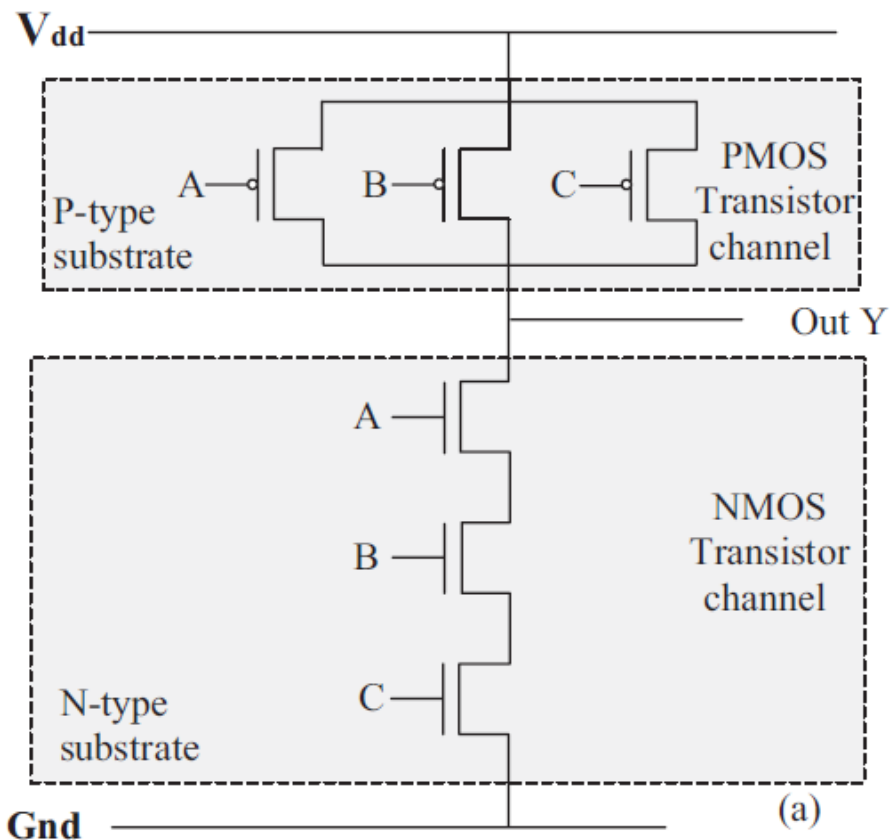


- Svaki čvor unosi parazitnu kapacitivnost i otpornost
- Raspored mešovityh analognih i digitalnih kola treba pažljivo planirati kako bi se smanjili parazitni efekti i nepoželjna sprega
- Digitalni sklopovi treba da imaju posebne vodove za napajanje
- Digitalna masa ne bi trebalo da bude povezana sa supstratom (generiše se $V = Ldi/dt$ šum u lokalnom supstratu koji utiče na rad analognih kola)!
- Osetljive analogne čvorove i analogne prekidače treba staviti u deep nwell

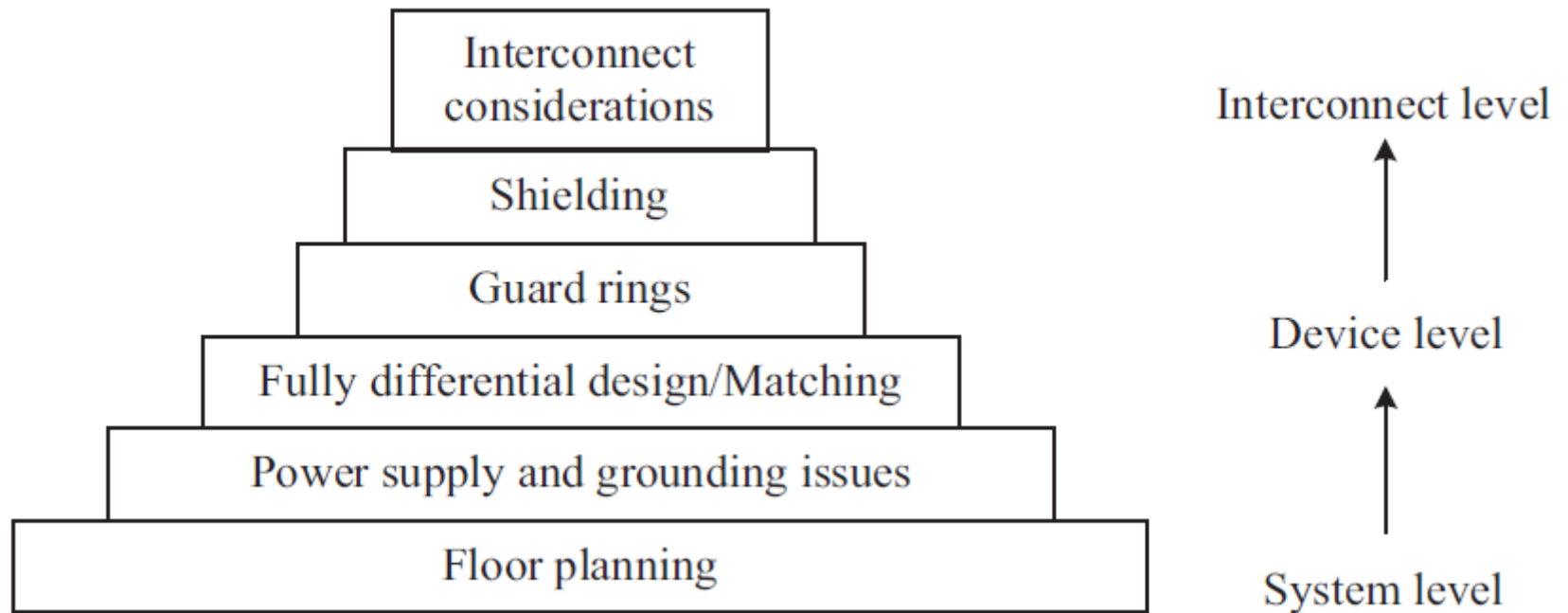
Decoupling kondenzatori u mixed-signal čipu



Planiranje leajauta logičkih kola



Strategija lejauta mixed-signal čipa



Layout analognih integrisanih kola

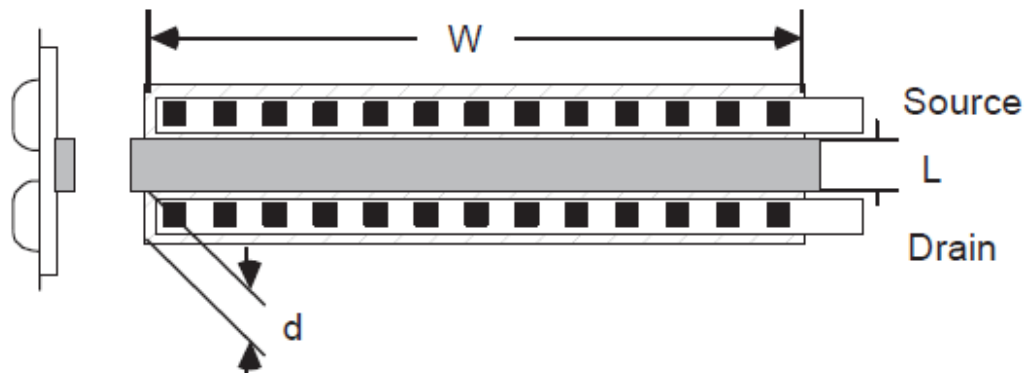
- Lejaout predstavlja raspodelu komponenata električnog kola u fizičkom domenu i pored komponenata električnog kola sadrži i veze između njih (interkonekcije)
- Efekti koji utiču na promenu radnih uslova kola u odnosu na električnu šemu kola su:
 - ✓ serijske otpornosti i induktivnosti veza
 - ✓ paralelne kapacitivnosti veza i komponenata prema supstratu i jednih u odnosu na druge
 - ✓ Razdešenost parametara komponenti koje nastaju zbog fizičke realizacije
 - ✓ magnetska sprega sa supstratom je zanemarljiva na niskim učestanostima, za koje se uglavnom i realizuju analogna integrisana kola

A. Generalna pravila pri izradi lejauta analognih integrisanih kola

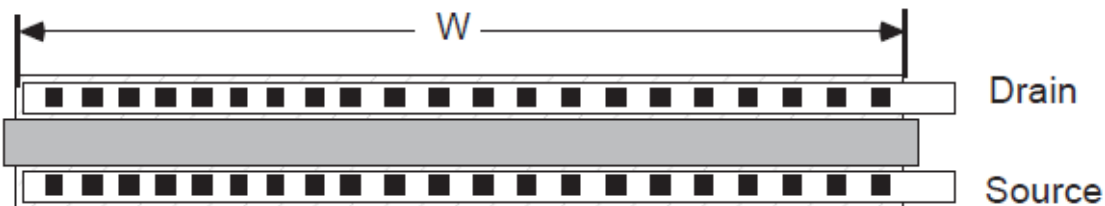
- Povezivanje čvorova sa signalima (malih struja) se može obavljati pomoću polisilicijumskih linija, dok se ove linije ne smeju koristiti za povezivanje sa naponima napajanja, ili za druge strujne signale sa velikim strujama. Razlog je u velikom padu napona, odnosno velikom naponskom ofsetu, npr. $R=150\ \Omega$, $I=100\text{mA}$, $V_{OS}=15\text{mV}$!
- Minimizirati dužine linija, naročito kod visoko impedansnih čvorova
- Razdvojiti ulazna i izlazna kola zbog mogućih parazitnih povratnih sprega i nestabilnosti. Ukoliko je nemoguće potpuno razdvojiti ulazne i izlazne linije, koristiti oklapanje (Shield)
- Kod osetljivih ulaza sa visokim impedansama koristiti oklapanje da bi se smanjio uticaj šumova i signala koji potiču od napajanja
- Koristiti uparene, simetrične i strukture pravilnog oblika sa simetričnim rasporedom
- Koristiti Layout Oriented Design

Layout MOS tranzistora

Potrebno je smanjiti uticaj parazitnih otpornosti u gejtju, drejnu i sorsu i parazitnih kapacitivnosti sors-supstrat i drejn-supstrat



$$C_{sb} = C_{db} = C_{jb}W(d + 2x_j)$$

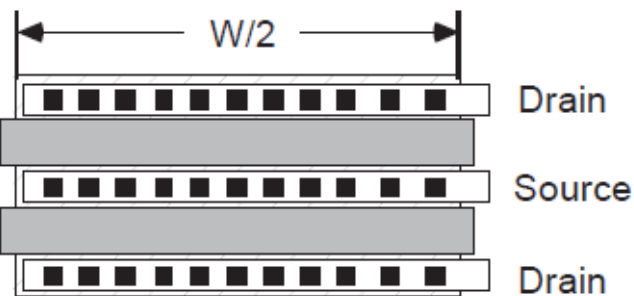


A:

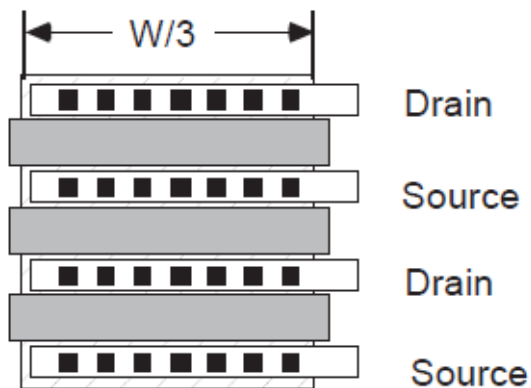
$$C_{sb} = \frac{1}{2}C_{db} = C_{jb}\frac{W}{2}(d + 2x_j)$$

B:

$$C_{sb} = C_{db} = C_{jb}\frac{2}{3}W(d + 2x_j)$$

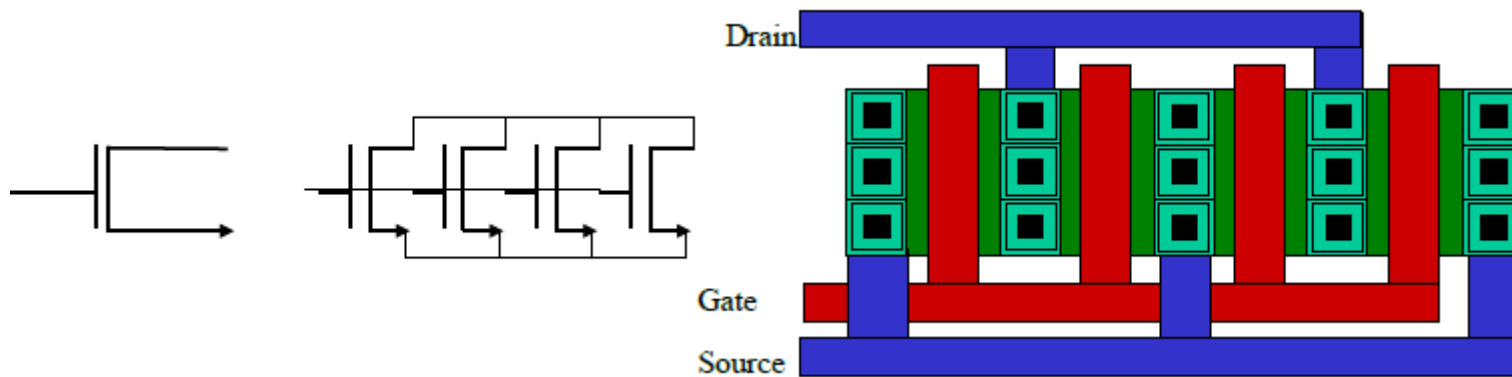


A

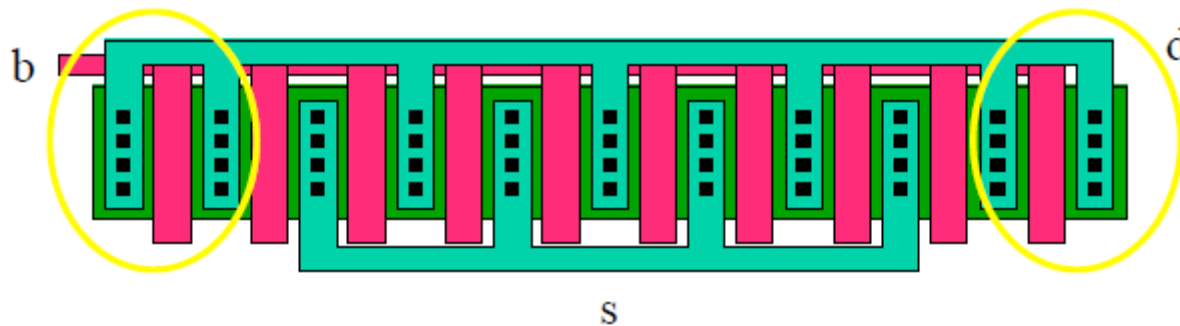


B

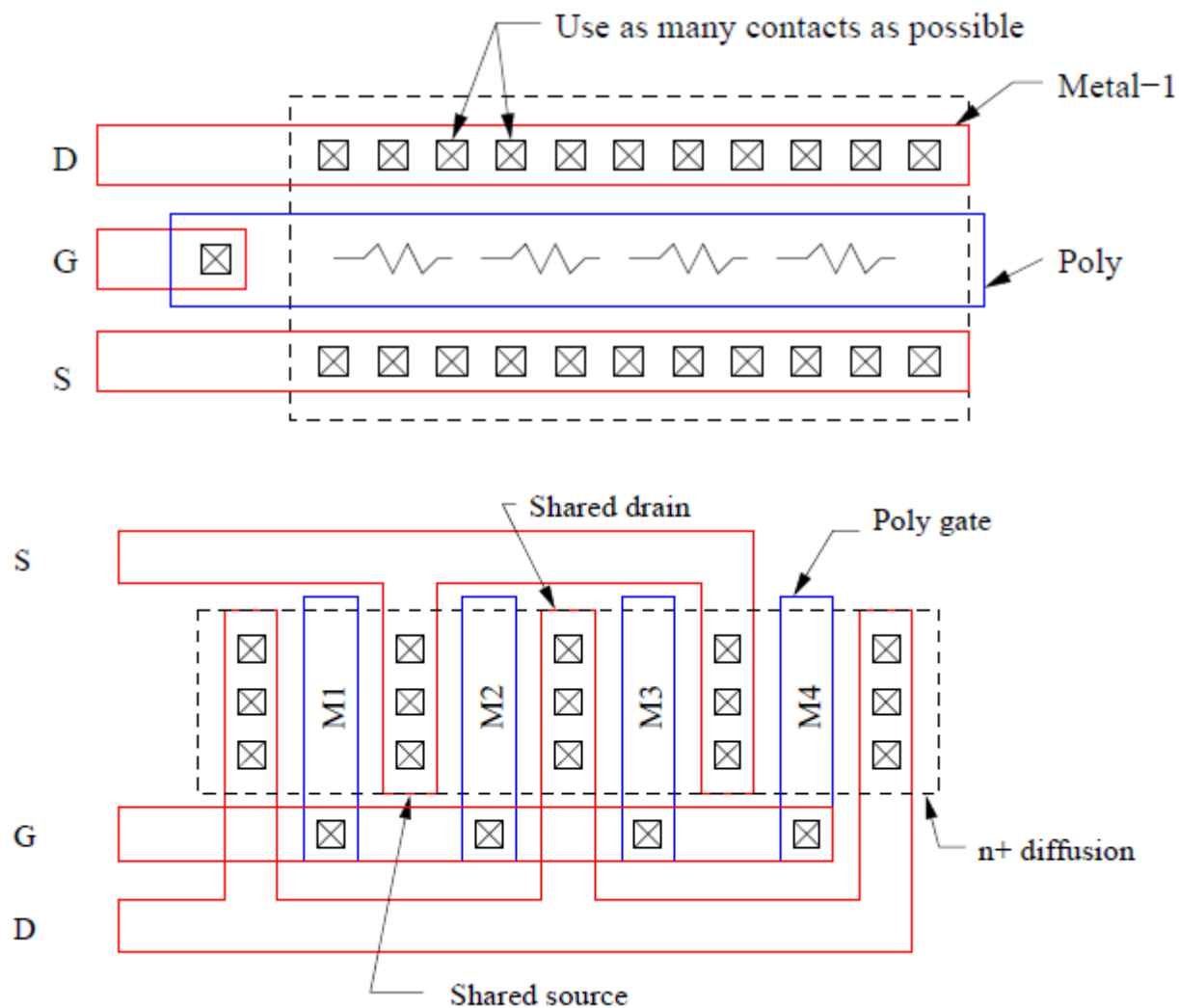
- Podela tranzistora na više paralelno povezanih tranzistora (Stacked Transistors)



- Dodavanje nepolarisanih Dummy tranzistora radi simetrije

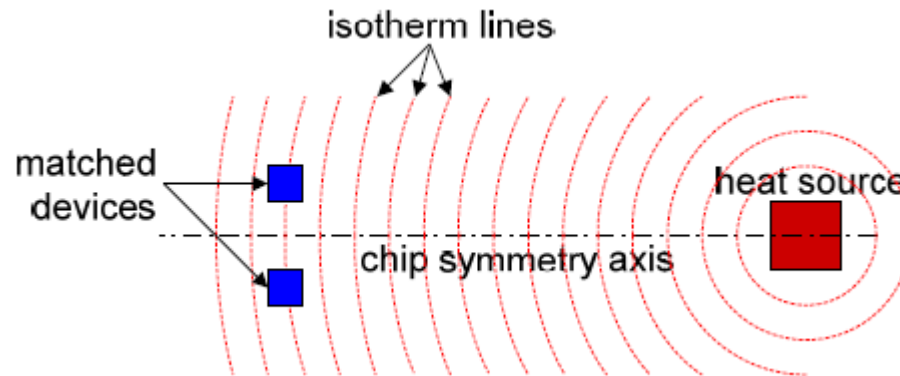


▪ Smanjivanje serijskih otpornosti

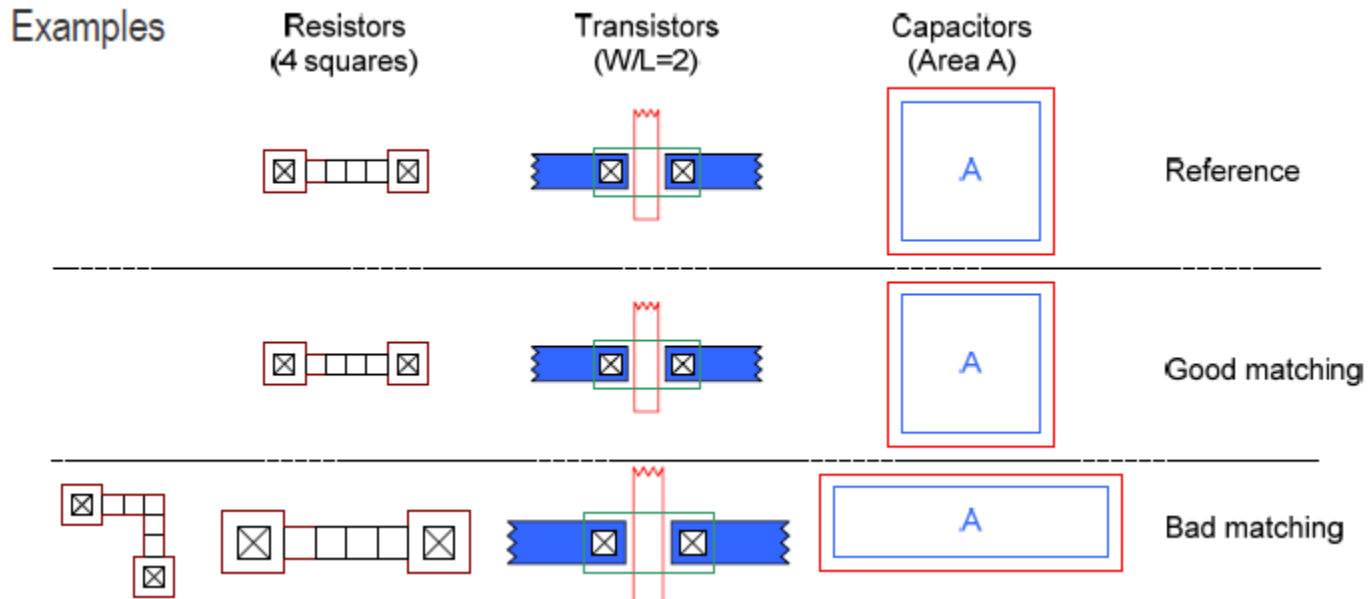


➤ Pravila uparivanja lejauta integrisanih komponenata

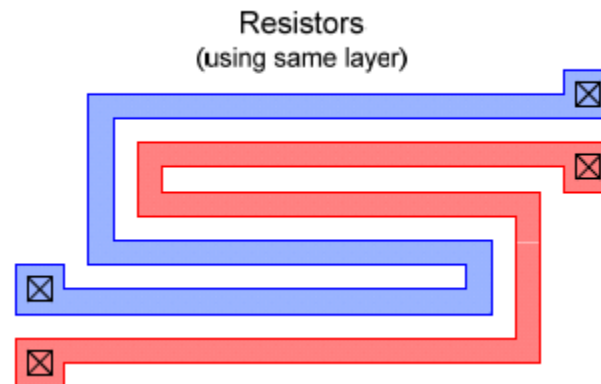
- Zbog odstupanja tehnoloških parametara u integrisanom kolu, lakše je projektovati kola koja su zasnovana na odnosu vrednosti dve integrisane komponente, nego samo na osnovu vrednosti jedne komponente.
- Dve komponente iste vrste imaju slične osobine na istoj integrisanoj podlozi, a razlika njihovih karakteristika je manja od apsolutne greške pri realizaciji jedne komponente. Dodatno izjednačavanje karakteristika dve komponente se postiže dodatnim projektovanjem i korišćenjem pravila za uparivanje njihovih karakteristika.
- Pravila za uparivanje karakteristika dve komponente iste vrste i istih nominalnih vrednosti:
 1. **Identična struktura i u istom sloju**
 2. **Identična temperatura kada na čipu postoji značajna disipacija, što znači podjednaku udaljenost od generatora toplote (izotermne linije)**

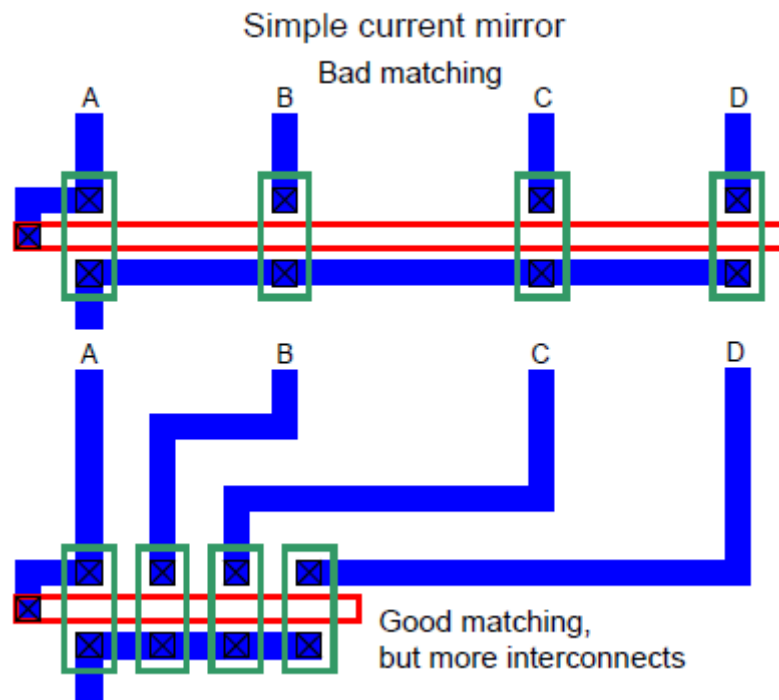


3. Isti oblik i veličina



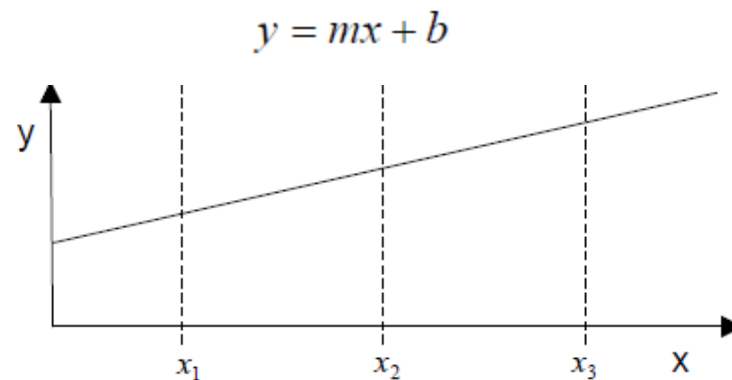
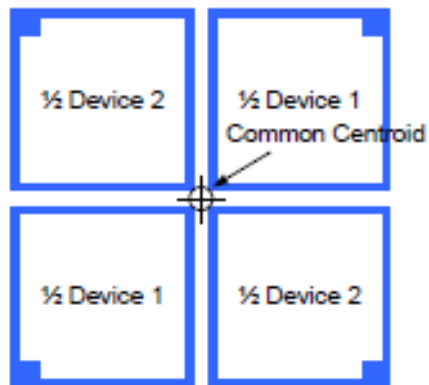
4. Minimalna udaljenost jedne komponente od druge, kako bi parametri podloge na kojoj se realizuje čip bili što sličniji kod obe komponente



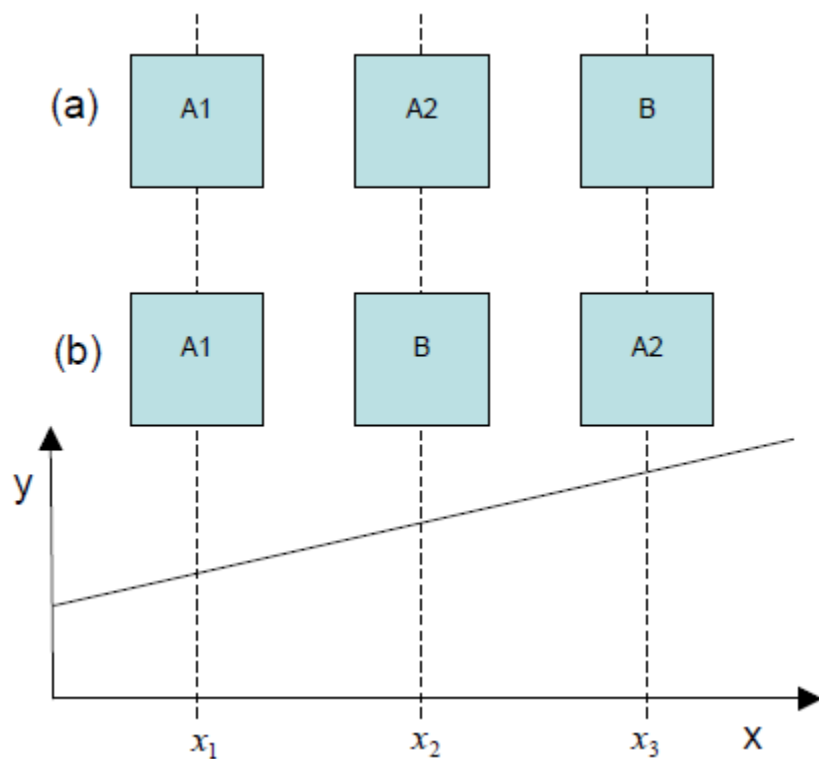


5. Common Centroid geometrija

Da bi se kompenzovala promena parametara procesa sa konstantnim gradijentom promene



Interdigitalizacija:



Layout (a):

$$A1 = mx_1 + b$$

$$A2 = mx_2 + b$$

$$B = mx_3 + b$$

$$\frac{A1 + A2}{B} = \frac{m(x_1 + x_2) + 2b}{mx_3 + b} \neq 2$$

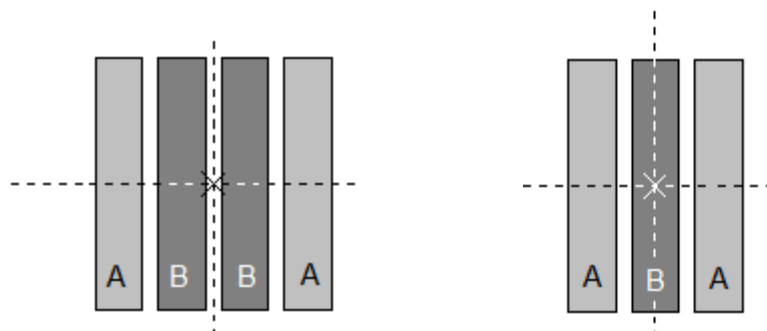
Layout (b):

$$A1 = mx_1 + b$$

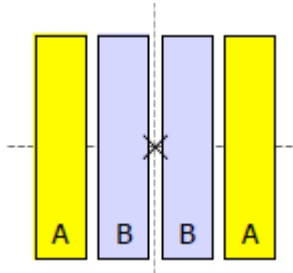
$$A2 = mx_3 + b$$

$$B = mx_2 + b$$

$$\frac{A1 + A2}{B} = \frac{m(x_1 + x_3) + 2b}{mx_2 + b} = 2$$



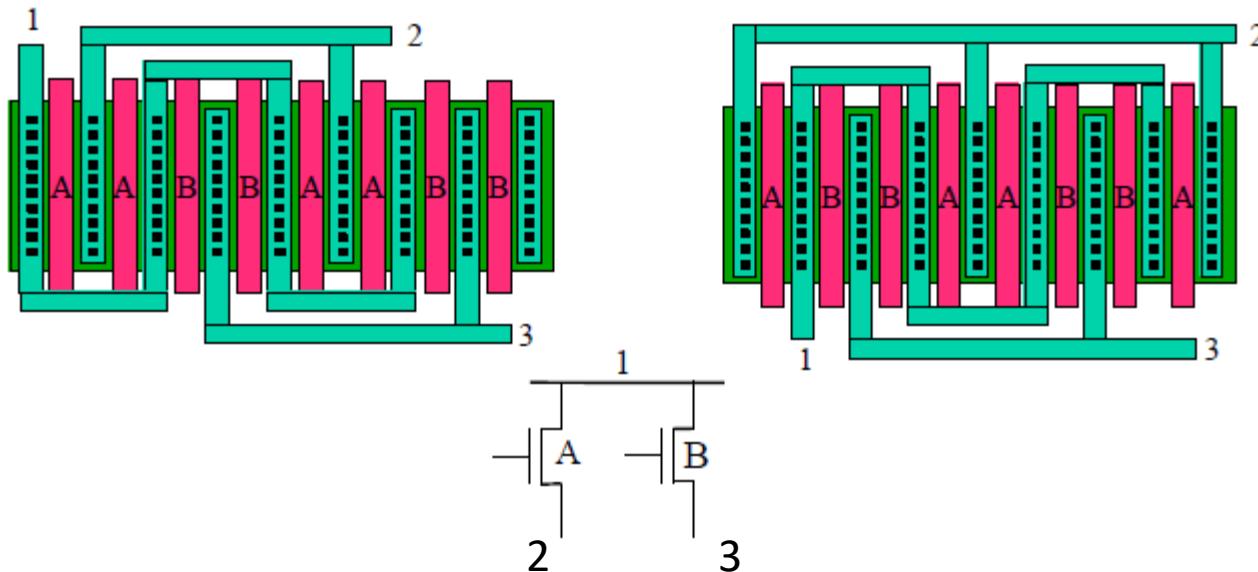
✓ Primena tehnike učešljavanja (Interdigitated)



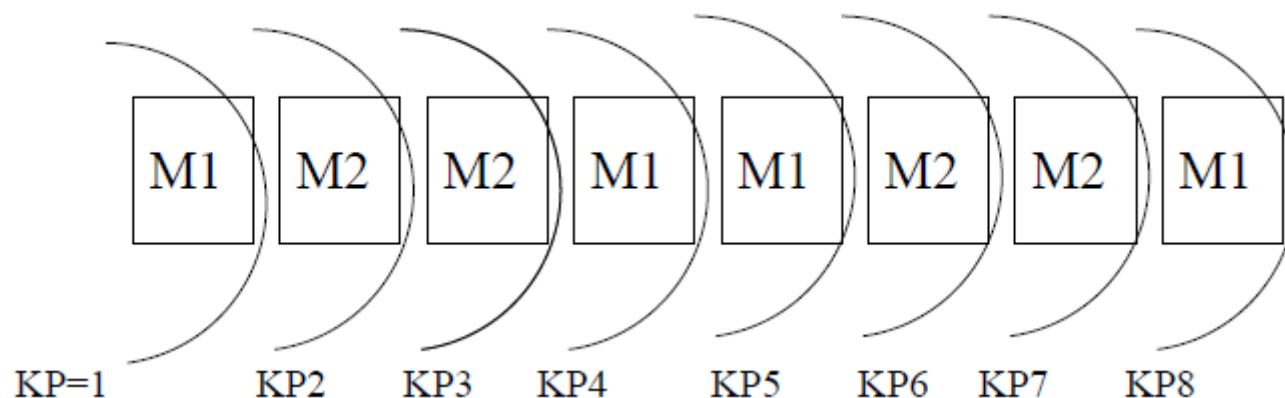
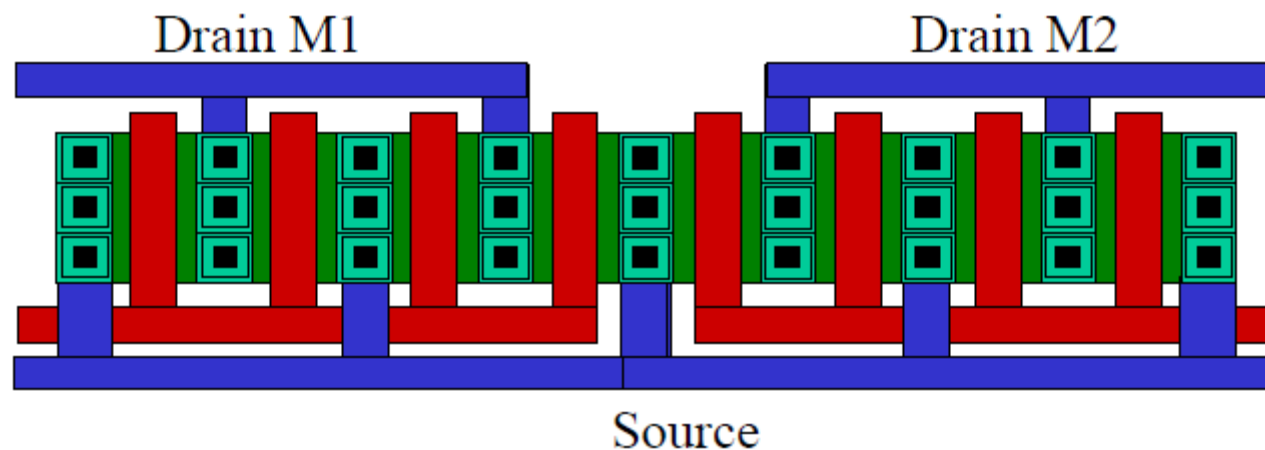
A	AA	AAA	AAAA
AB*	ABBA	ABBAAB*	ABABBABA
ABC*	ABCCBA	ABCBACBCA*	ABCABCCBACBA
ABCD*	ABCDDCBA	ABCBCADBCDA*	ABCDDCBAABCDDCBA
ABA	ABAABA	ABAABAABA	ABAABAABAABA
ABABA	ABABAABABA	ABABAABABAABABA	ABABAABABAABABAABABA
AABA*	AABAABAA	AABAABAAABA*	AABAABAAAABAABAA
AABAA	AABAAAABAA	AABAAAABAAAABAA	AABAAAABAAAABAAAABAA

Primer: Uparivanje layouta tranzistora A i B interdigitalizacijom (sa po 4 jednaka segmenta)

Dve sekvence: 1. AABBAABB i 2. ABBAABBA



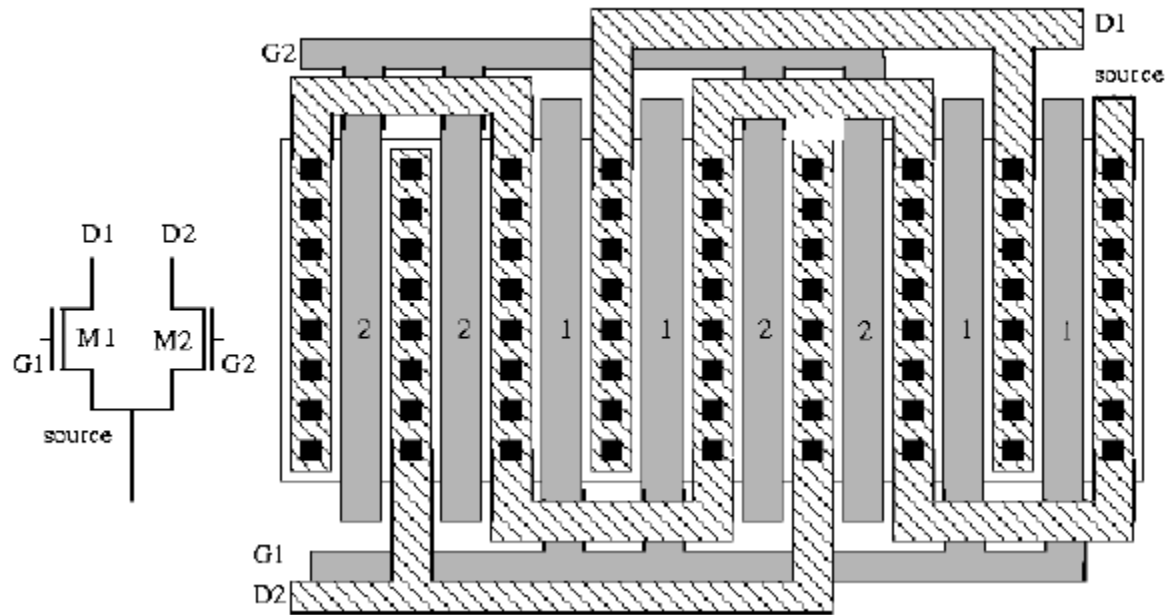
- Primer layout-a diferencijalnog para tranzistora



M1: KP1+KP4+KP5+KP8 M2: KP2+KP3+KP6+KP7

- Tehnika treba da bude dobra i za DC i za AC režim rada kola. Kada delovi kola nisu potpuno simetrični različita je površina koju zauzimaju tranzistori M1 i M2, samim tim su i različite parazitne kapacitivnosti

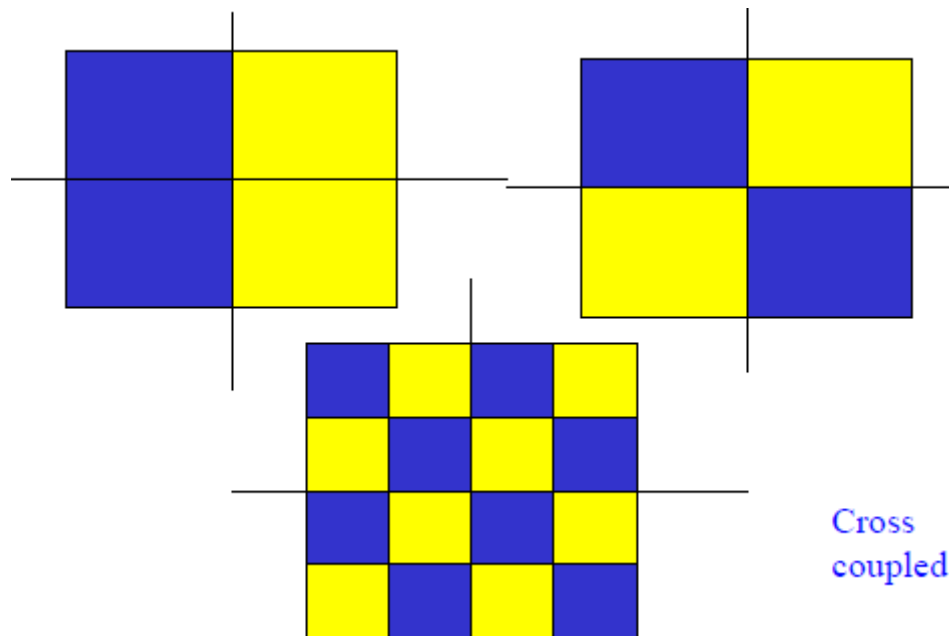
Poboljšana verzija interdigitalnog diferencijalnog pojačavača

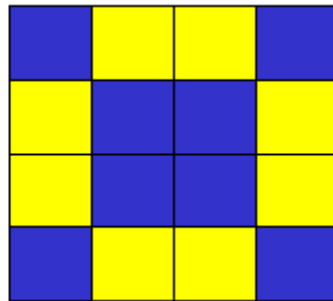
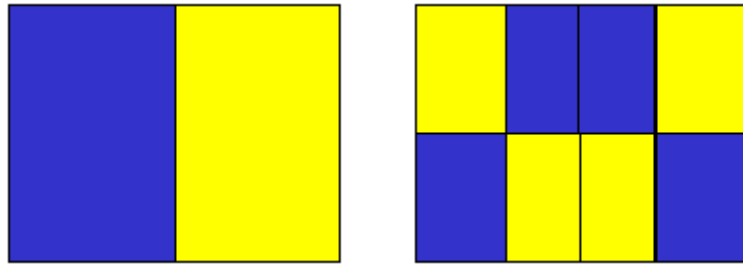


- Struktura je simetrična u jednom smeru, duž x ose

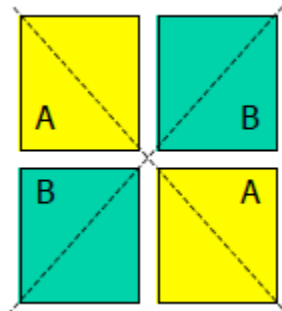
Common-centroid

- Fluktuacija karakteristika komponenti može biti značajno umanjena korišćenjem common centroid tehnike.
- Težište uparenih komponenti treba da se podudara.
- Niz segmenata komponenti bi trebao biti simetričan oko x i y ose.
- Svaka od uparenih komponenti treba da se sastoji od jednakog broja segmenata orijentisanih u bilo kom smeru.
- Treba izbegavati provlačenje bliskih metalnih linija iznad uparenih komponenti jer će one poremetiti simetriju. U slučaju da je povlačenje ovih linija neminovno, rutiranje treba obaviti tako da se ne naruši njihova simetrija.

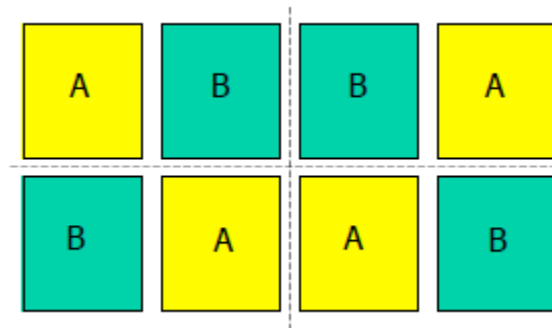




Tiled



Cross-coupled



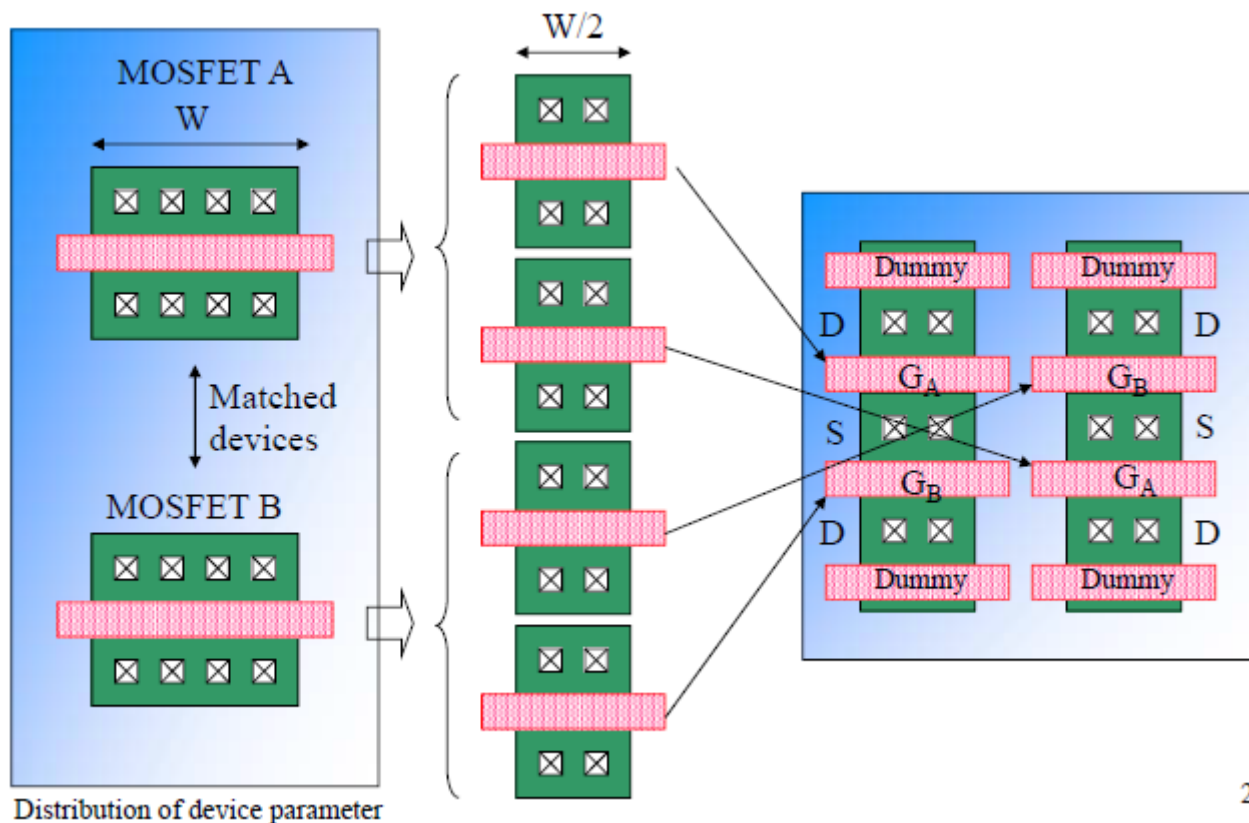
Tiled

✓ Primena tehnike Common Centroid

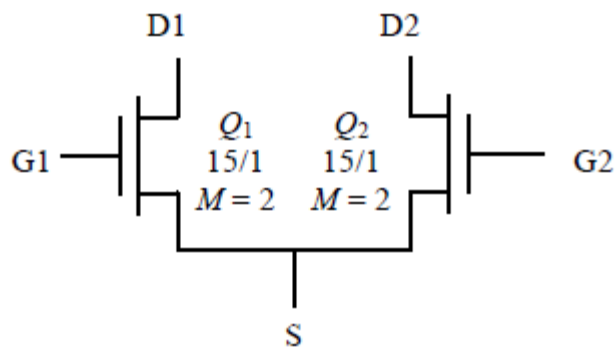
- Ručno postavljanje tranzistora za formiranje common centroid struktura je često zamoran posao.
- Programiranjem na skriptnom jeziku (SKILL, PERL, TCL, C-shell), parametrizovane ćelije mogu se generisati i koristiti za automatsko smeštanje podeljenih tranzistora u željenu (common-centroid) strukturu.
- Međutim, manualno rutiranje veza između postavljenih delova tranzistora zahteva puno vremena, a performanse alata za automatsko rutiranje uglavnom nisu optimalne.

ABBA BAAB	ABBAABBA BAABBAAB	ABBAABBA BAABBAAB ABBAABBA	ABBAABBA BAABBAAB BAABBAAB ABBAABBA
ABA BAB	ABAABA BABBAB	ABAABA BABBAB ABAABA	ABAABAABA BABBABBAB BABBABBAB ABAABAABA
ABCCBA CBAABC	ABCCBAABC CBAABCCBA	ABCCBAABC CBAABCCBA ABCCBAABC	ABCCBAABC CBAABCCBA CBAABCCBA ABCCBAABC
AAB BAA	AABBAA BAAAAB	AABBAA BAAAAB AABBAA	AABBAA BAAAAB BAAAAB AABBAA

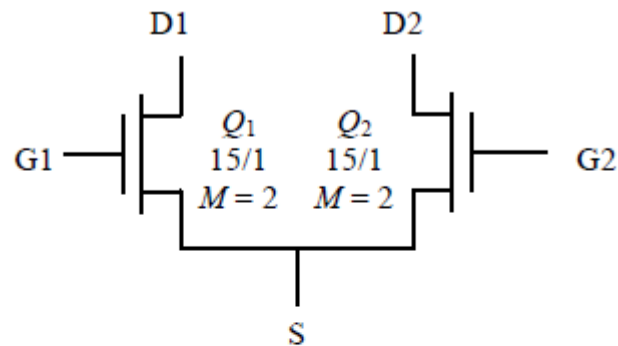
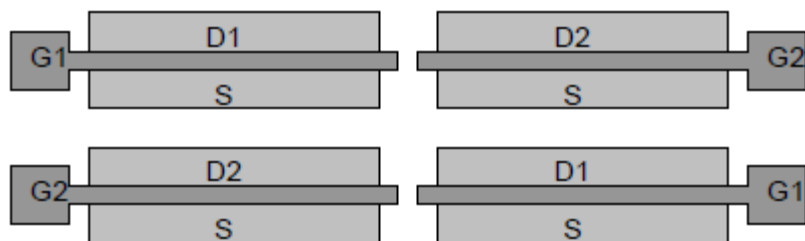
- Segmentacija i raspoređivanje segmenata MOS tranzistora u common-centroid strukturu



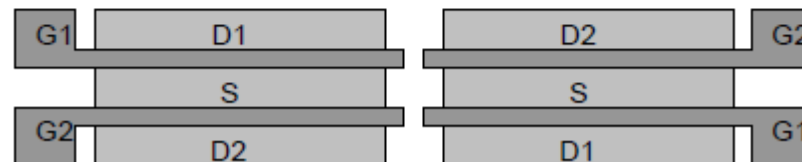
- Diferencijalni pojačavač-common centroid



active
 poly

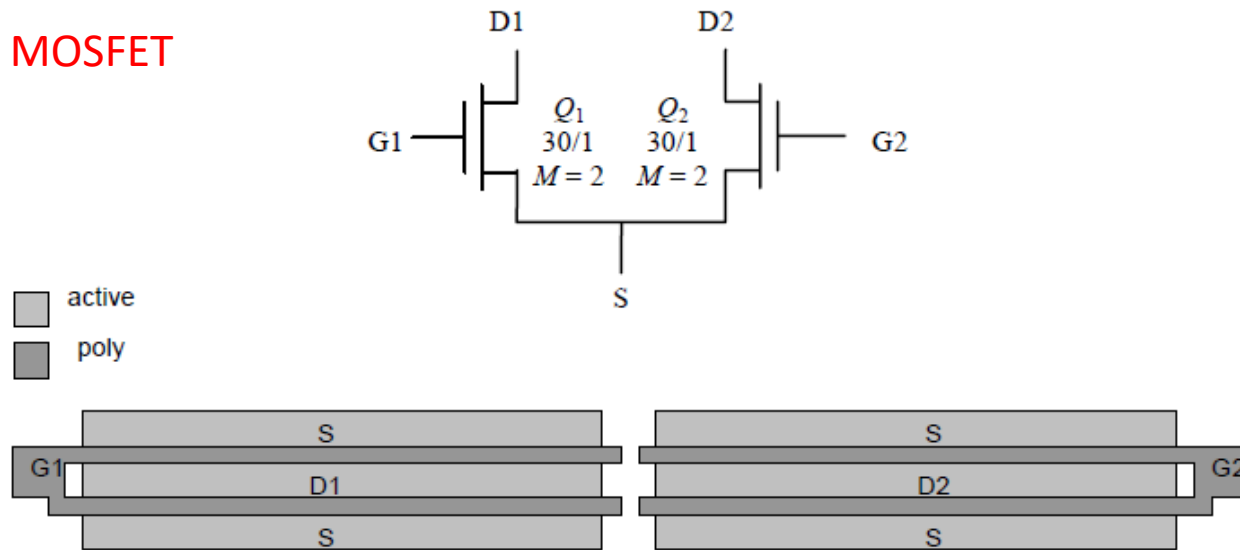


active
 poly

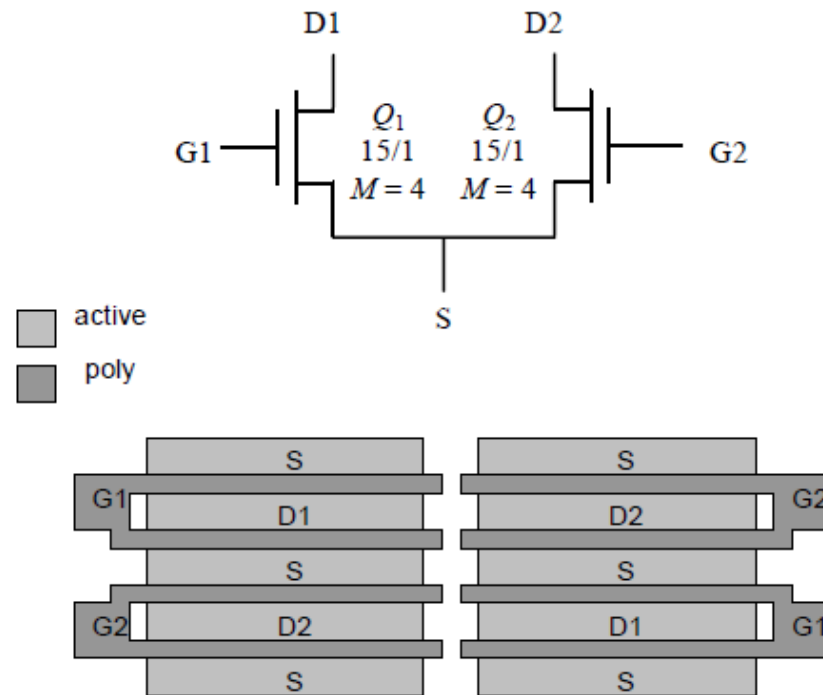


I jedan i drugi layout su common-centroid, ali je površina drugog layouta manja, što se dobilo korišćenjem zajedničke oblasti sorsa sa leve i desne strane od ose simetrije

Multifinger MOSFET

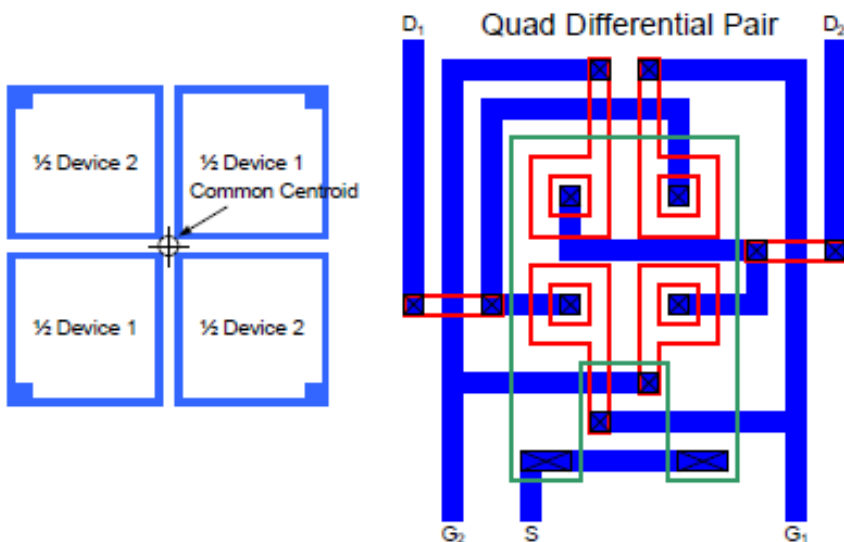
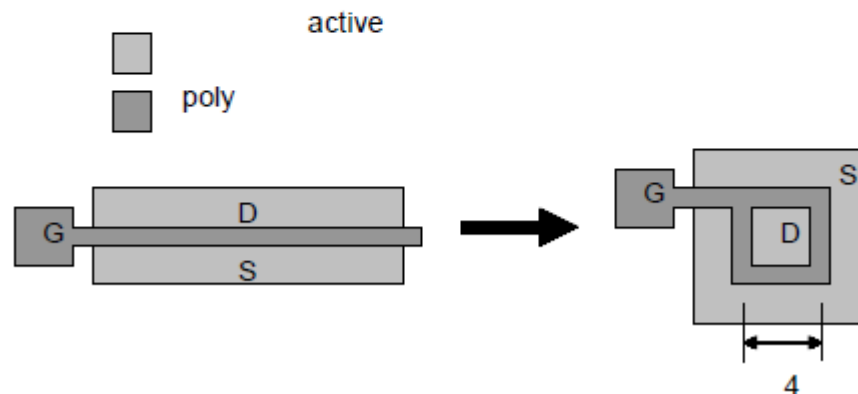
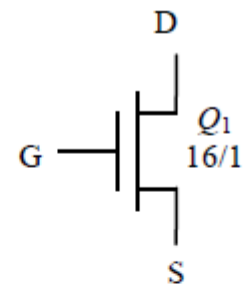


Common centroid Multifinger MOSFET



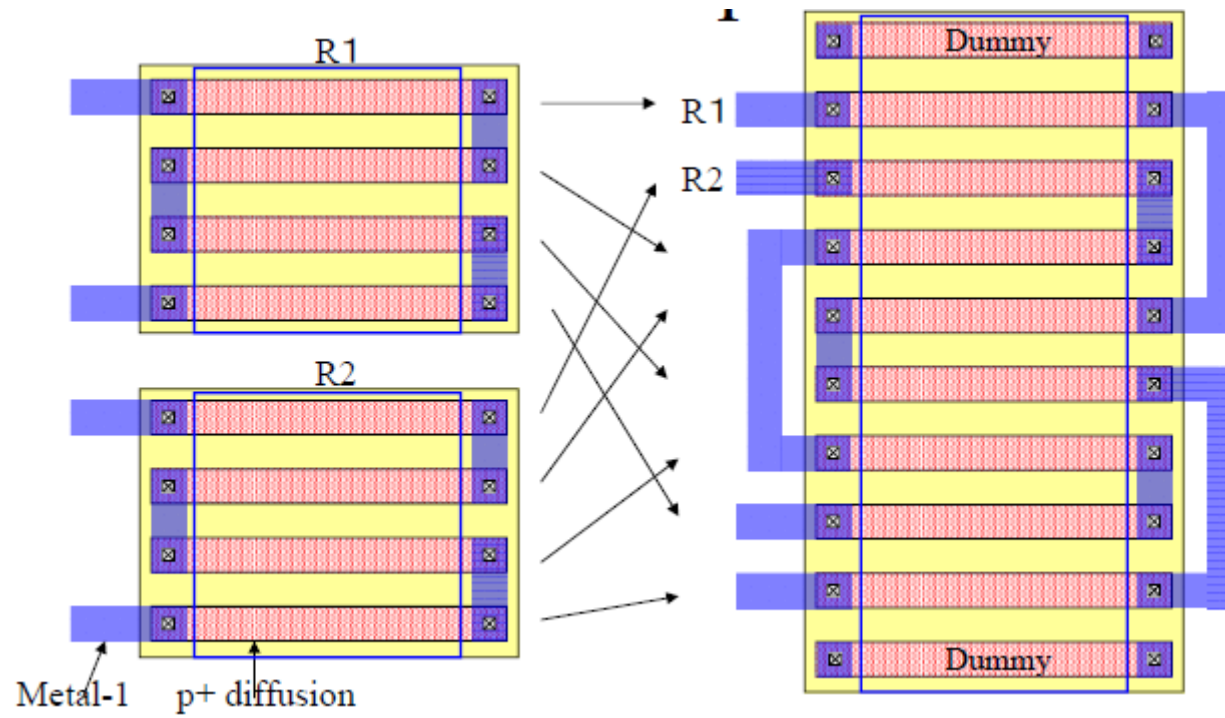
“Doughnut” MOSFET

- Za isti odnos W/L imaju najmanje parazitne kapacitvosti C_{gd} i C_{db}
- Koriste se kada je uticaj Milerovog efekta potrebno minimizirati



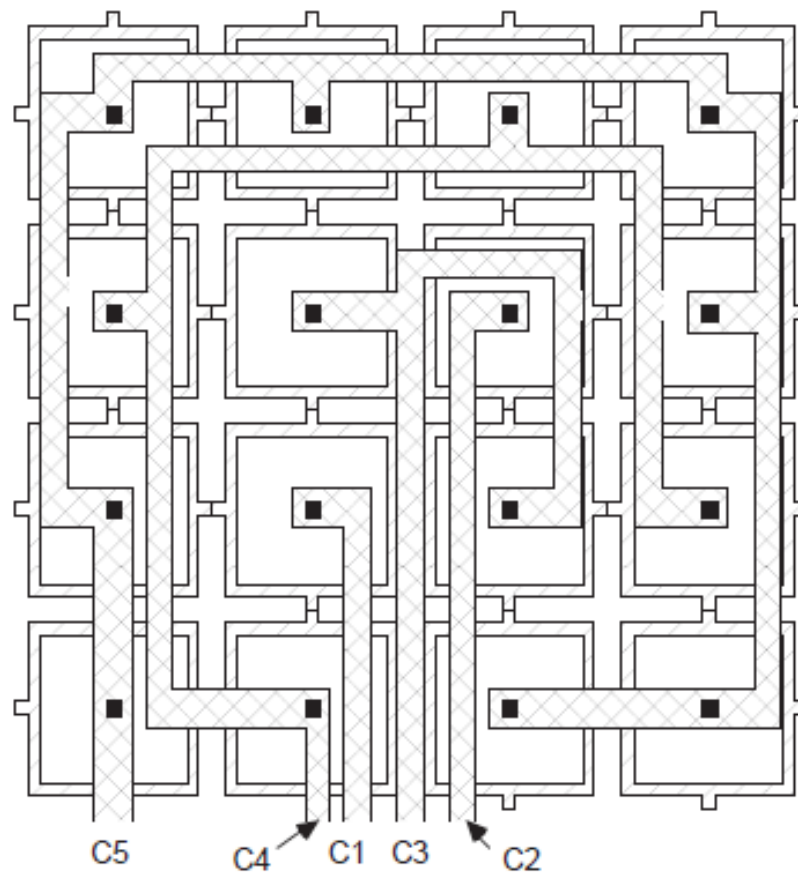
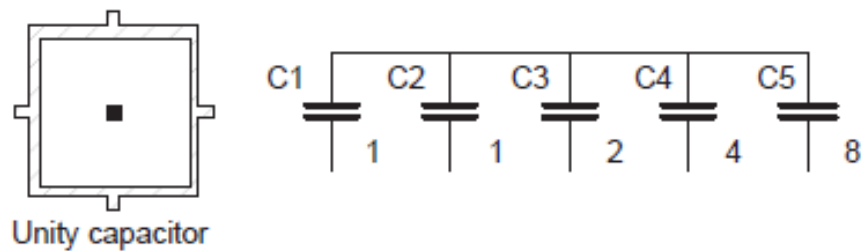
Primer: Common centroid diferencijalni pojačavač sa “Doughnut” tranzistorima

- Common centroid layout para otpornika

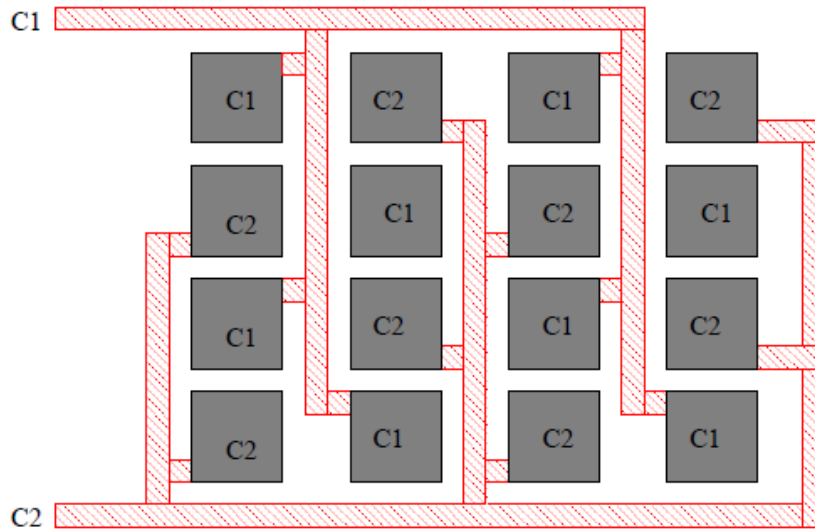


•Common centroid struktura sa kondenzatorima

#1



#2



$$C = \frac{\varepsilon_0 \varepsilon_r WL}{t_{ox}}$$

$$\left(\frac{\delta C}{C}\right)^2 = \left(\frac{\delta \varepsilon_r}{\varepsilon_r}\right)^2 + \left(\frac{\delta t_{ox}}{t_{ox}}\right)^2 + \left(\frac{\delta L}{L}\right)^2 + \left(\frac{\delta W}{W}\right)^2$$

- Uparivanje kondenzatora je preciznije od uparivanja otpornika

$$R = R_{\square} \frac{L}{W} = \frac{\bar{\rho}}{x_j} \frac{L}{W}$$

$$\left(\frac{\delta R}{R}\right)^2 = \left(\frac{\delta \bar{\rho}}{\bar{\rho}}\right)^2 + \left(\frac{\delta x_j}{x_j}\right)^2 + \left(\frac{\delta L}{L}\right)^2 + \left(\frac{\delta W}{W}\right)^2 \quad \frac{\delta L}{L} \ll \frac{\delta W}{W}$$

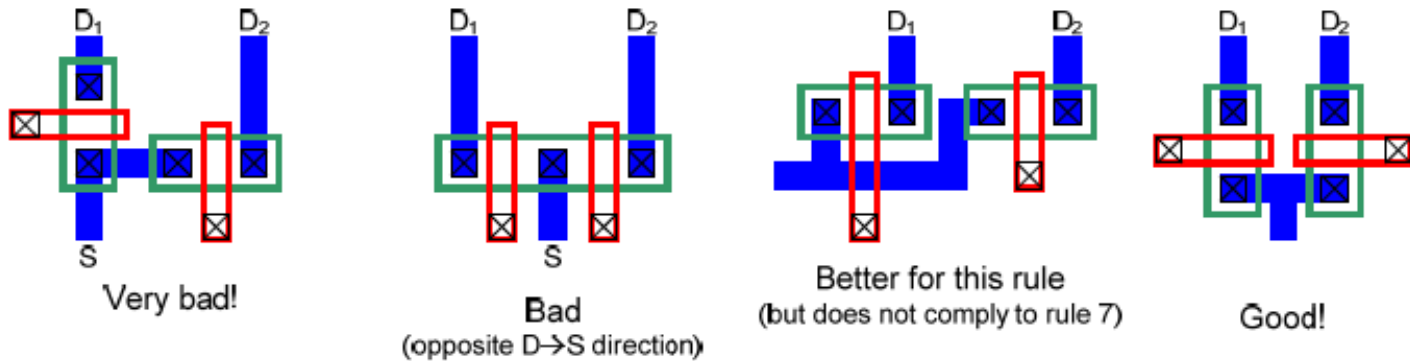
$\frac{\delta \bar{\rho}}{\bar{\rho}}$ je mnogo veće kod polisilicijumskih nego kod difuzionih otpornika

$$\frac{\delta \varepsilon_r}{\varepsilon_r} \ll \frac{\delta \bar{\rho}}{\bar{\rho}} \quad \left(\frac{\delta W}{W}\right)_C < \left(\frac{\delta W}{W}\right)_R \quad \frac{\delta t_{ox}}{t_{ox}} < \frac{\delta x_j}{x_j}$$

$$\frac{\delta R}{R} > \frac{\delta C}{C}$$

6. Ista orijentacija na čipu je poželjna da bi se umanjio uticaj anizotropnosti supstrata ili procesa pri izradi čipa

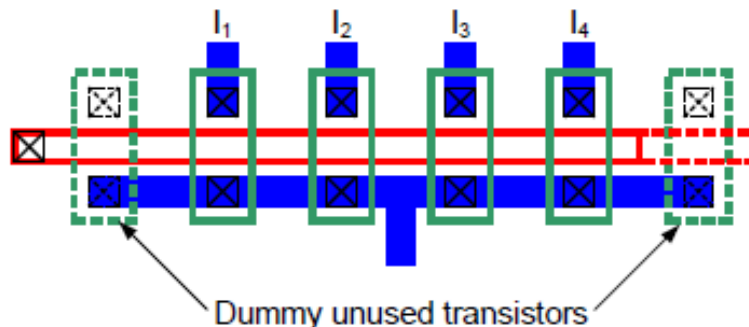
Primer: Diferencijalni pojačavač



7. Ovo pravilo ima najmanje uticaja u slojevima u kojima je uticaj parazitnih efekata najmanji, a to je gornji metalni sloj u čipu.

Primer: strujni izvor sa više izlaza

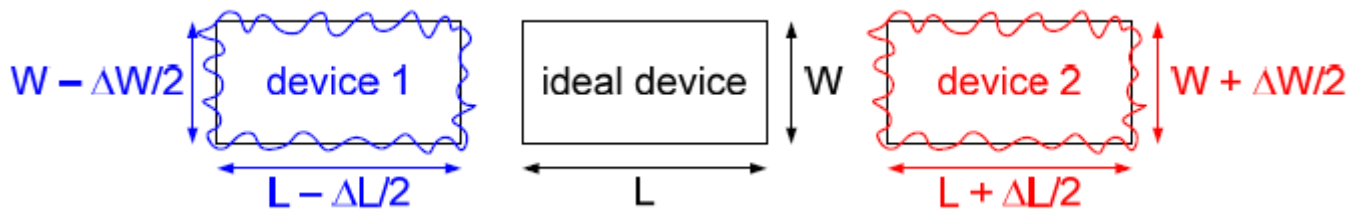
Isto okruženje za obe komponente je poželjno zbog uticaja parazitnih efekata.



Dodata su dva dummy tranzistora kako bi svi tranzistori u strujnom izvoru bili u istom okruženju! Neaktivni tranzistori su kratkospojeni, ali na kolo utiču svojim kapacitivnostima.

8. Neminimalne dimenzije pri uparivanju su poželjne jer se uparenost pogoršava sa smanjivanjem dimenzija. Naročito je izražena prostorna fluktuacija parametara (debljina oksida) i geometrijska fluktuacija parametara (dimenzije komponenata).

Primer: Nekorelisana promena površine i odnosa širine i dužine linije u nekom sloju.

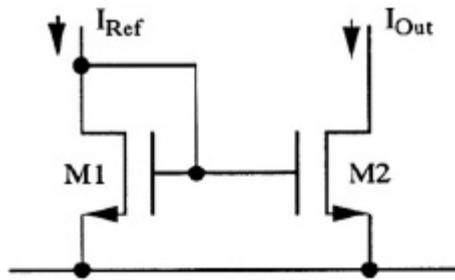


- Statistička srednja vrednost: $A=W \cdot L$ $\alpha=W/L$
- Relativna razdešenost: $\sigma_{\Delta L} = \frac{A_{\Delta L}}{\sqrt{W}}$ $\sigma_{\Delta W} = \frac{A_{\Delta W}}{\sqrt{L}}$
- Standardna devijacija: $\frac{\Delta A}{A} = \frac{\Delta W}{W} + \frac{\Delta L}{L}$ $\frac{\Delta \alpha}{\alpha} = \frac{\Delta W}{W} - \frac{\Delta L}{L}$
- Razdešenost je minimalna kada su obe dimenzije iste, a povećava se sa smanjivanjem bilo koje od dimenzija.

$$\sigma_{\Delta A/A} = \sigma_{\Delta \alpha/\alpha} = \sqrt{\frac{\sigma_{\Delta W}^2}{W^2} + \frac{\sigma_{\Delta L}^2}{L^2}} = \frac{1}{\sqrt{W \cdot L}} \sqrt{\frac{A_{\Delta W}^2}{W} + \frac{A_{\Delta L}^2}{L}} = \frac{A_{\Delta W, \Delta L}}{\sqrt{W \cdot L}} \sqrt{\frac{1}{W} + \frac{1}{L}} \quad A_{\Delta W} = A_{\Delta L} = A_{\Delta W, \Delta L}$$

Primeri analognog lejauta

#1. Prosto strujno ogledalo

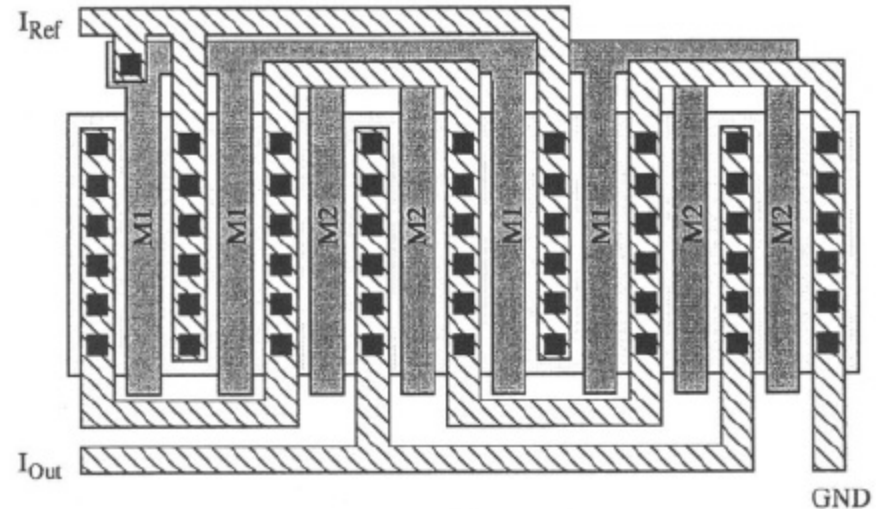
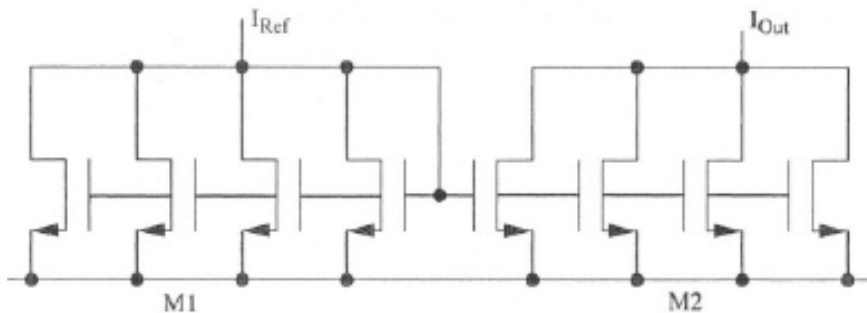


$$I_{ref} = \frac{\mu_n C_{ox}}{2} \left(\frac{W}{L} \right)_1 (V_{GS1} - V_{TH})^2 (1 + \lambda V_{DS1})$$

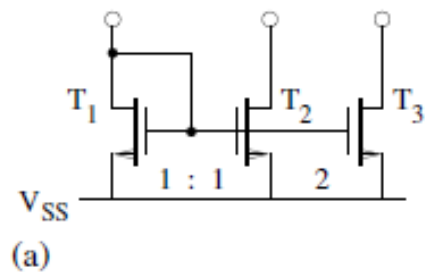
$$I_{out} = \frac{\mu_n C_{ox}}{2} \left(\frac{W}{L} \right)_2 (V_{GS2} - V_{TH})^2 (1 + \lambda V_{DS2})$$

$$\left(\frac{\delta I_{out}}{I_{out}} \right) = \left(\frac{\delta W}{W} \right)^2 + \left(\frac{\delta L}{L} \right)^2 + \left(\frac{\delta C_{ox}}{C_{ox}} \right)^2 + \left(\frac{\delta \mu}{\mu} \right)^2 + 2 \left(\frac{\delta V_{TH}}{V_{GS} - V_{TH}} \right)^2 + 2 \left(\frac{\delta V_{GS}}{V_{GS} - V_{TH}} \right)^2$$

✓ Lejaout: svaki tranzistor je realizovan pomoću 4 jednaka manja tranzistora, a zatim je urađeno učešljavanje 11221122



#2. Prosto strujno ogledalo sa više izlaza



(b)

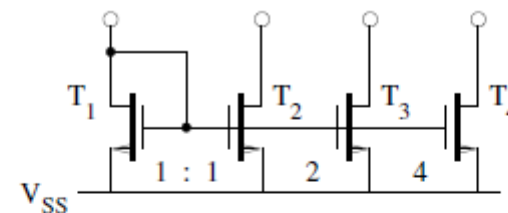
1	2	3	3
3	3	1	2

(c)

1	3	3	1
2	3	3	2

(d)

1	3	3	2
2	3	3	1



(b)

3	4	2	4
4	3	4	1
1	4	3	4
4	2	4	3

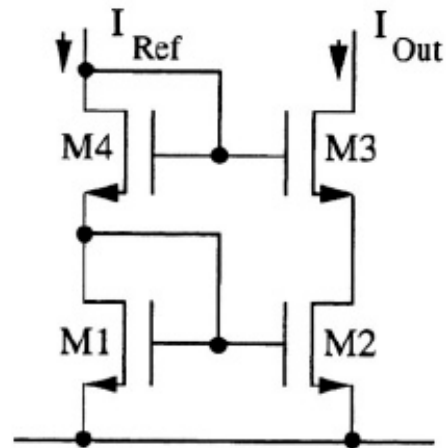
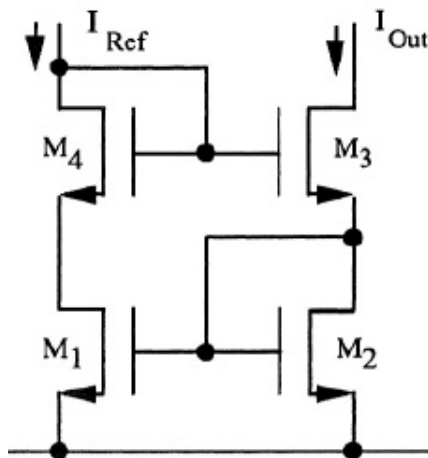
(c)

2	3	4	4
3	4	4	1
1	4	4	3
4	4	3	2

(d)

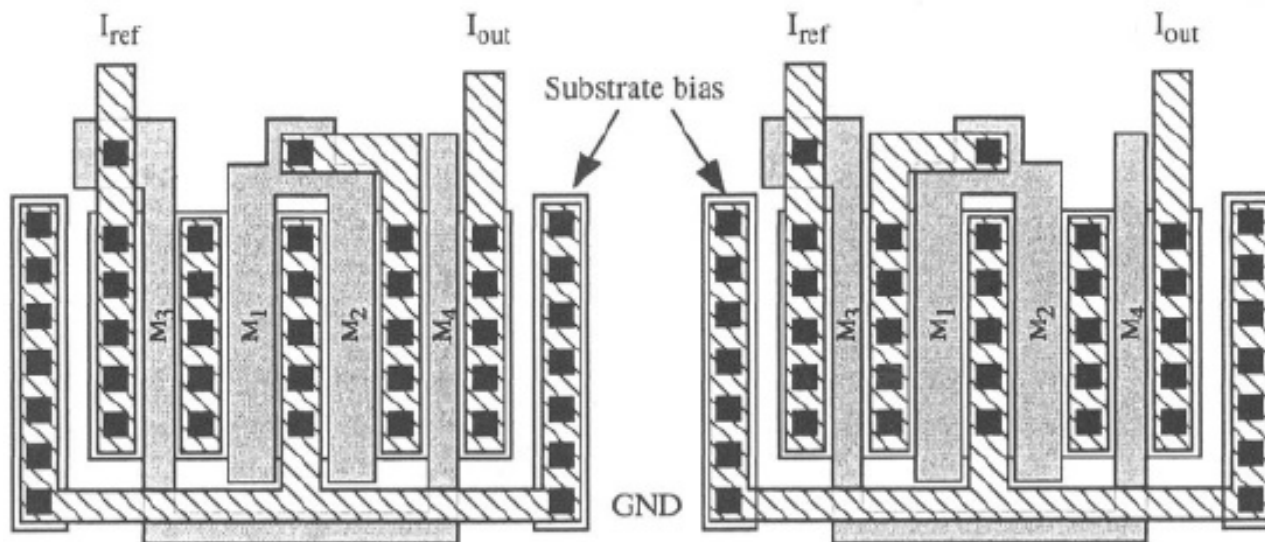
4	3	2	4
1	4	4	3
3	4	4	1
4	2	3	4

#3. Modifikovano Vilsonovo i kaskodno strujno ogledalo



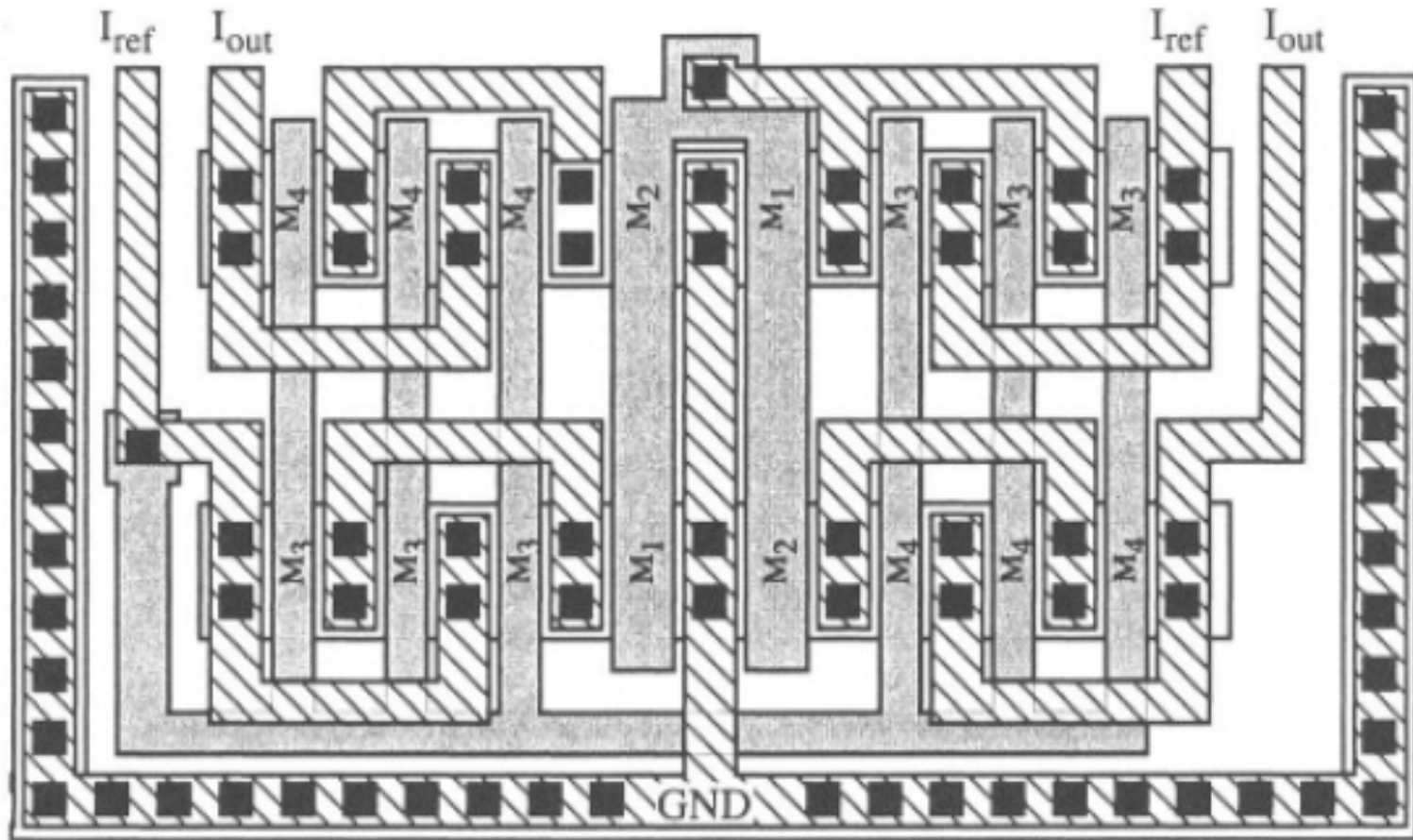
•Električne šeme su jako slične, oba strujna izvora imaju po dva tranzistora u tzv. diodnom spoju, pa je i realizacija lejaouta slična.

Učešljavanje



#4. Common Centroid kaskodno strujno ogledalo

- Tranzistori M1 i M2 su podeljeni na dva podjednaka manja tranzistora, dok su tranzistori M3 i M4 podeljeni na 6 manjih međusobno jednakih tranzistora
- Ukupna izlazna struja se dobija kada se spoje dva izlaza označena sa I_{out} , npr. preko vija i metala 2. Isto treba uraditi i sa ulaznim strujama I_{ref} .



Dizajn pomoću stacked layouta

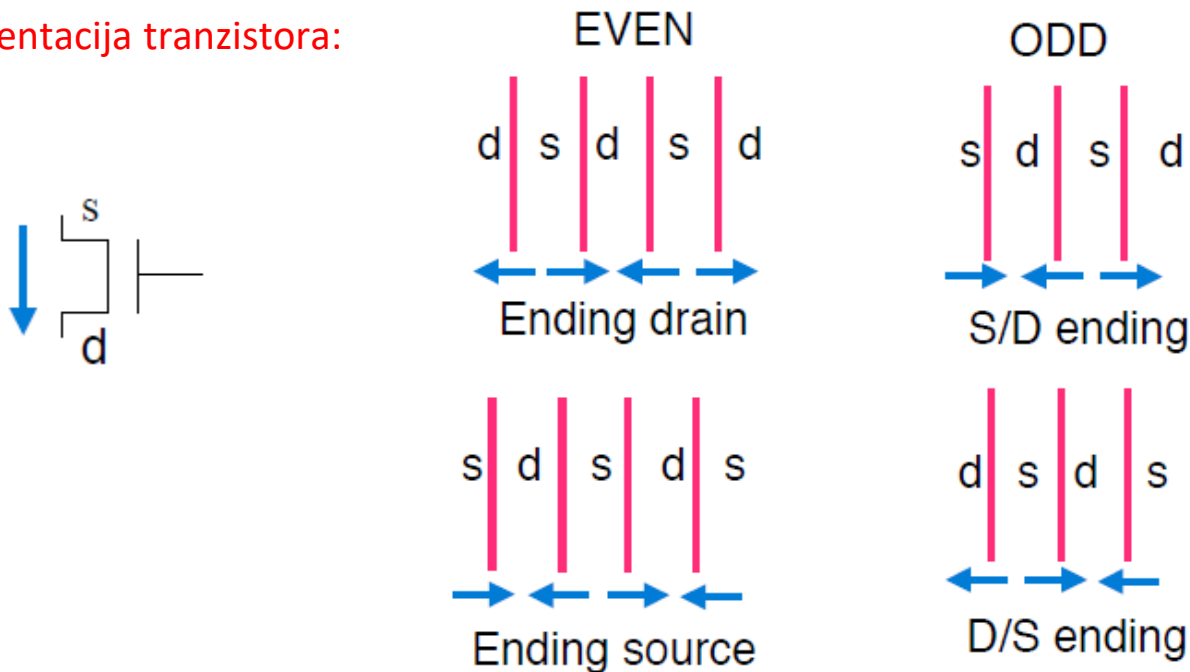
Ista širina fingera tranzistora u okviru istog steka

Procedura dizajna:

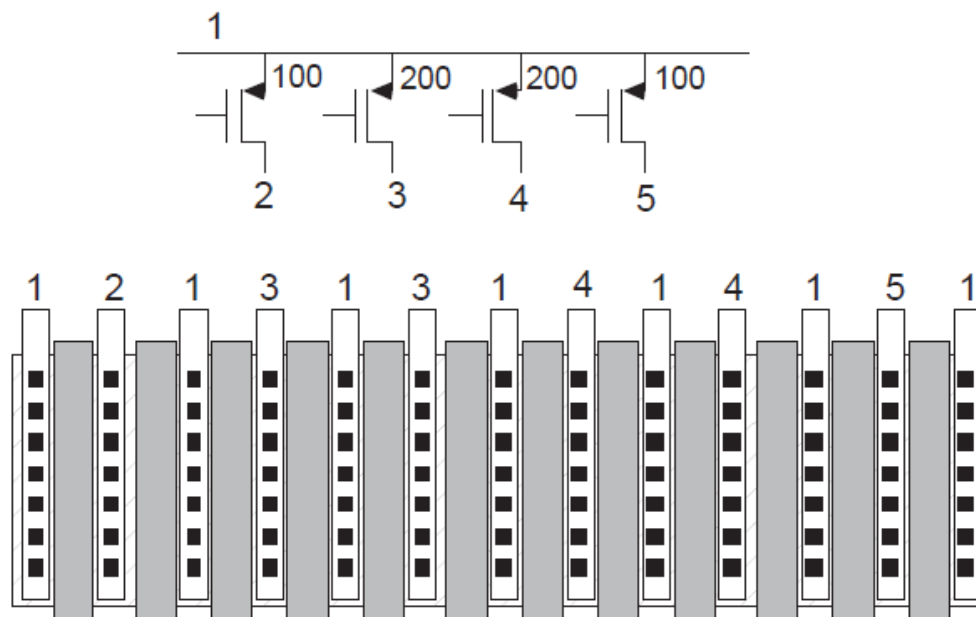
1. Odrediti veličinu tranzistora (širinu kanala)
2. Podeliti tranzistore na više manjih tranzistora sa istim širinama fingera
3. Izabrati tranzistore koji se mogu postaviti na isti stek
4. Moguće je promeniti dimenzije nekritičnih tranzistora
5. Koristiti (skoro) isti broj fingera na steku
6. Postaviti tranzistore u stekove i međusobno ih povezati

Procedura je iterativna, ali ne zahteva veliki broj iteracija

Stick reprezentacija tranzistora:

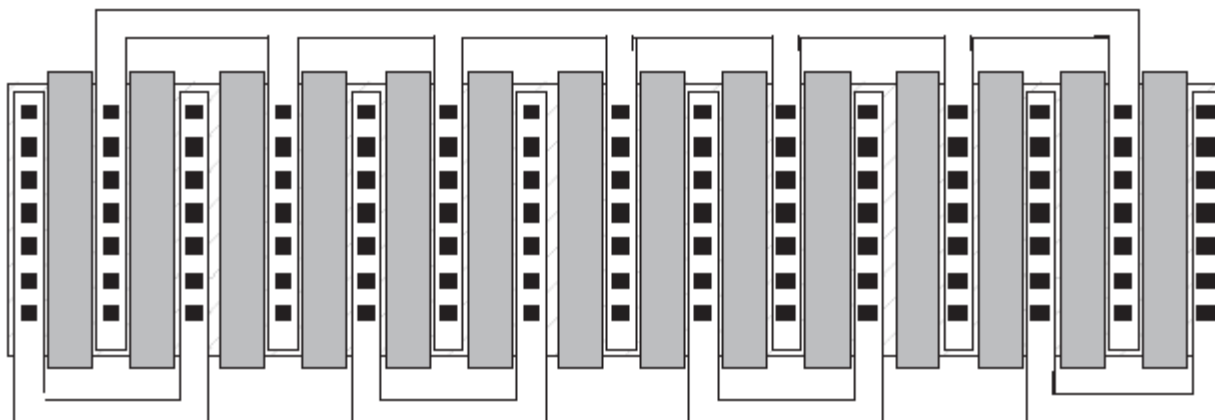


Primer rasporedjivanja tranzistora u steku:

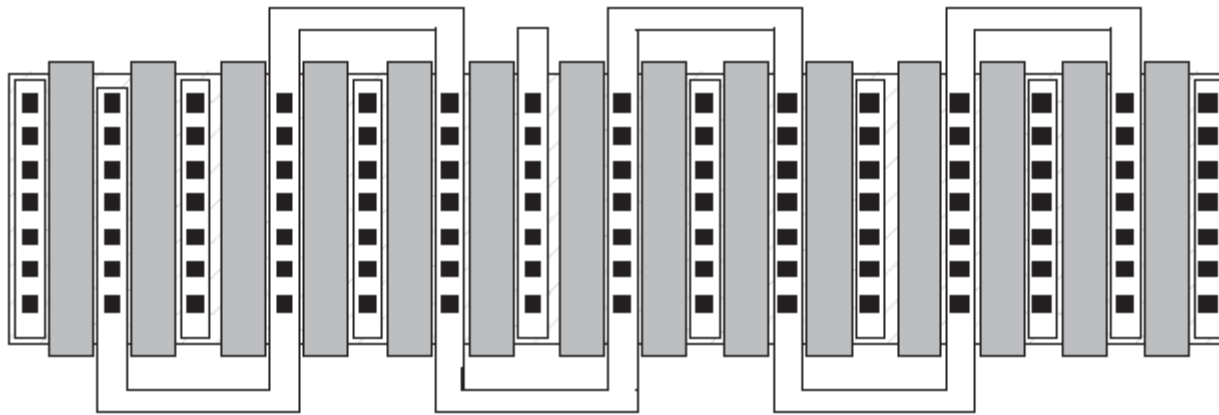


Povezivanje delova u steku pomoću učešljavanja (comb) ili u obliku serpentina

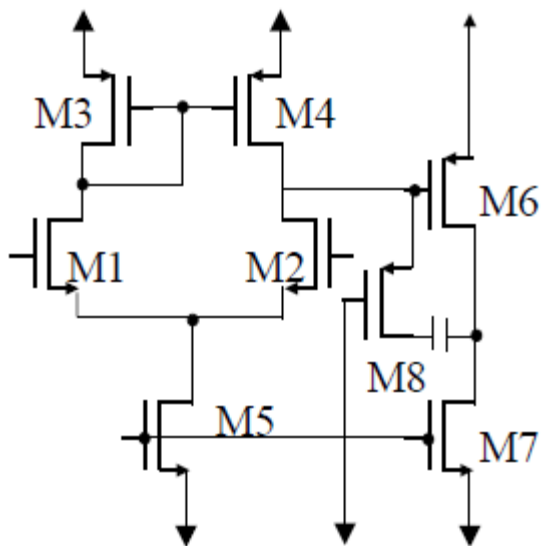
“Comb”



“Serpentine”



Primer 1: Operacioni pojačavač

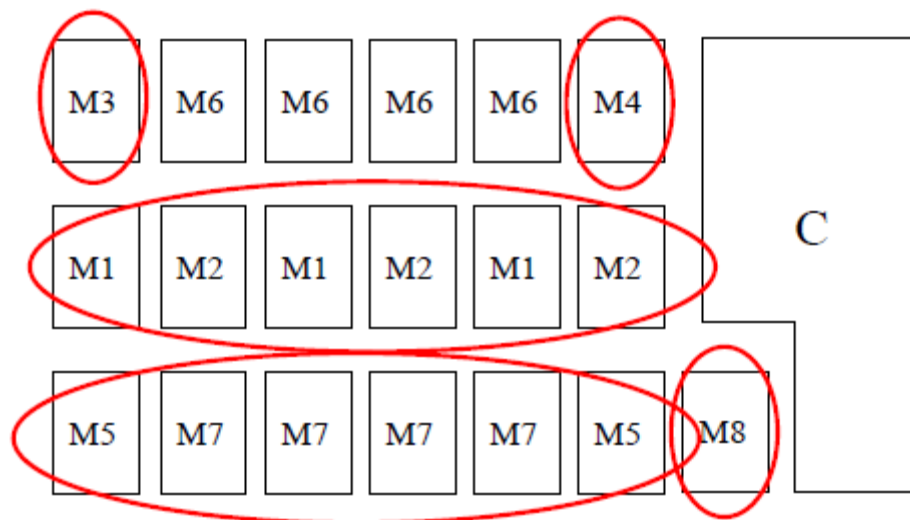


- M1, M2 uparени
- M3, M4 uparени
- $M6 = 4 * M4$
- $M7 = 2 * M5$

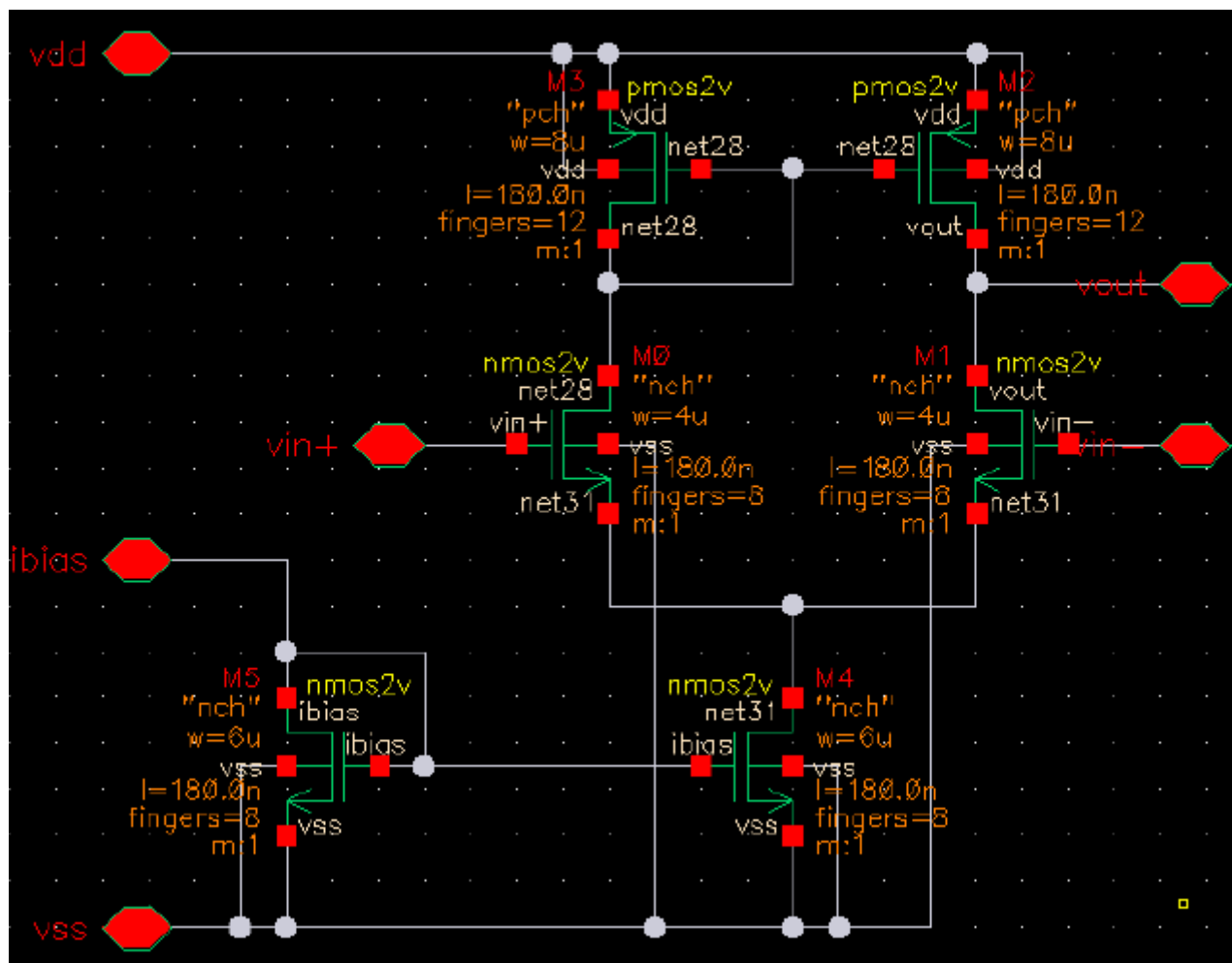
Реализација лејаута:

- ✓ три stack-а, два за NMOS, један за PMOS
- ✓ stack-ови треба да су приближно подједнаке дужине
- ✓ кондензатор poly-poly

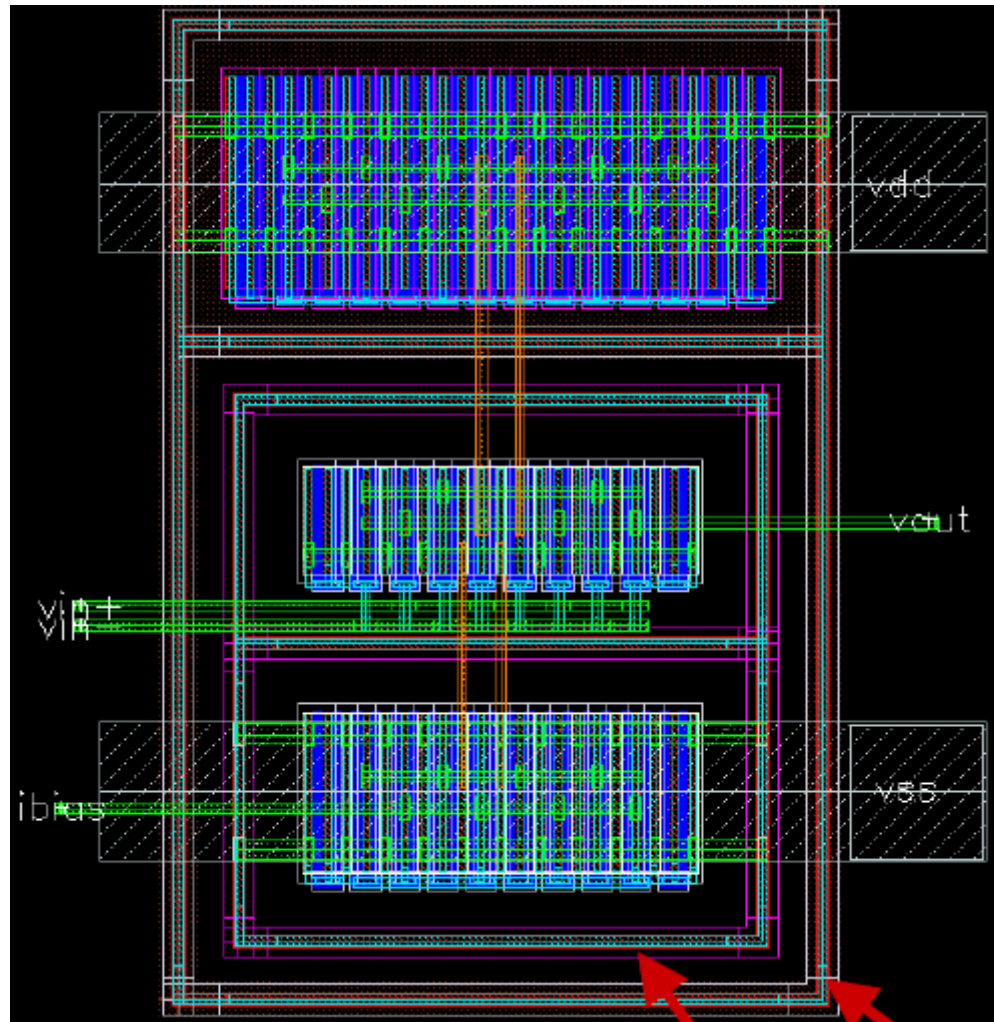
Not the best floorplan



Primer 2: Diferencijalni pojačavač, šema veza



Primer 2: Diferencijalni pojačavač, layout

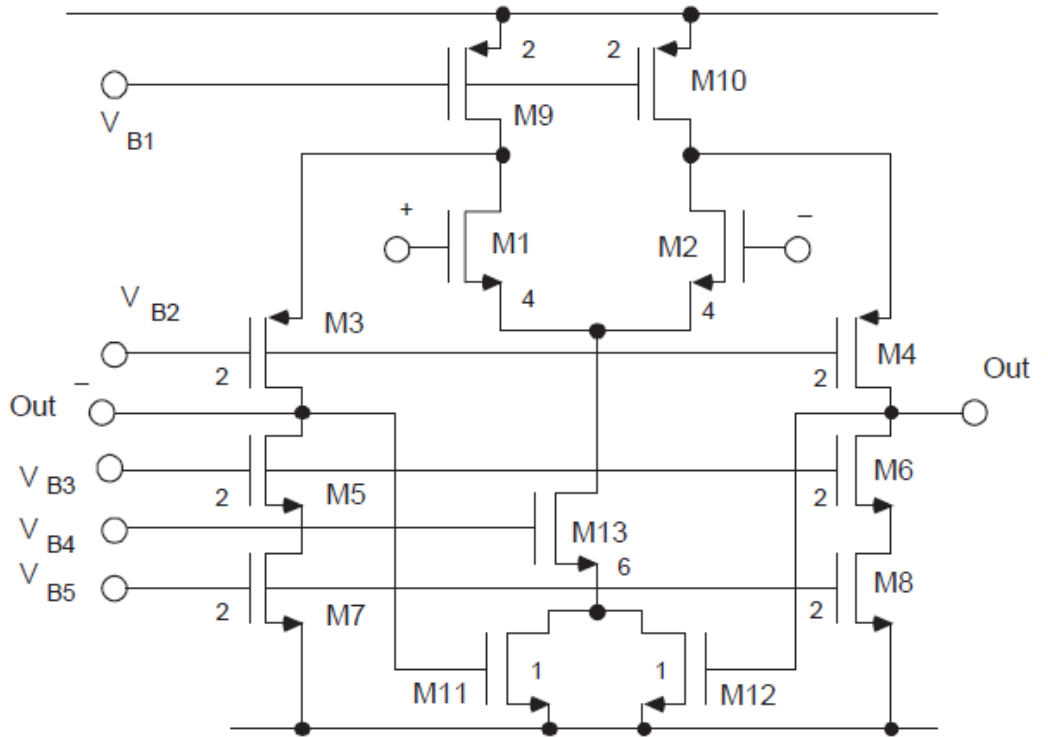


Guard rings

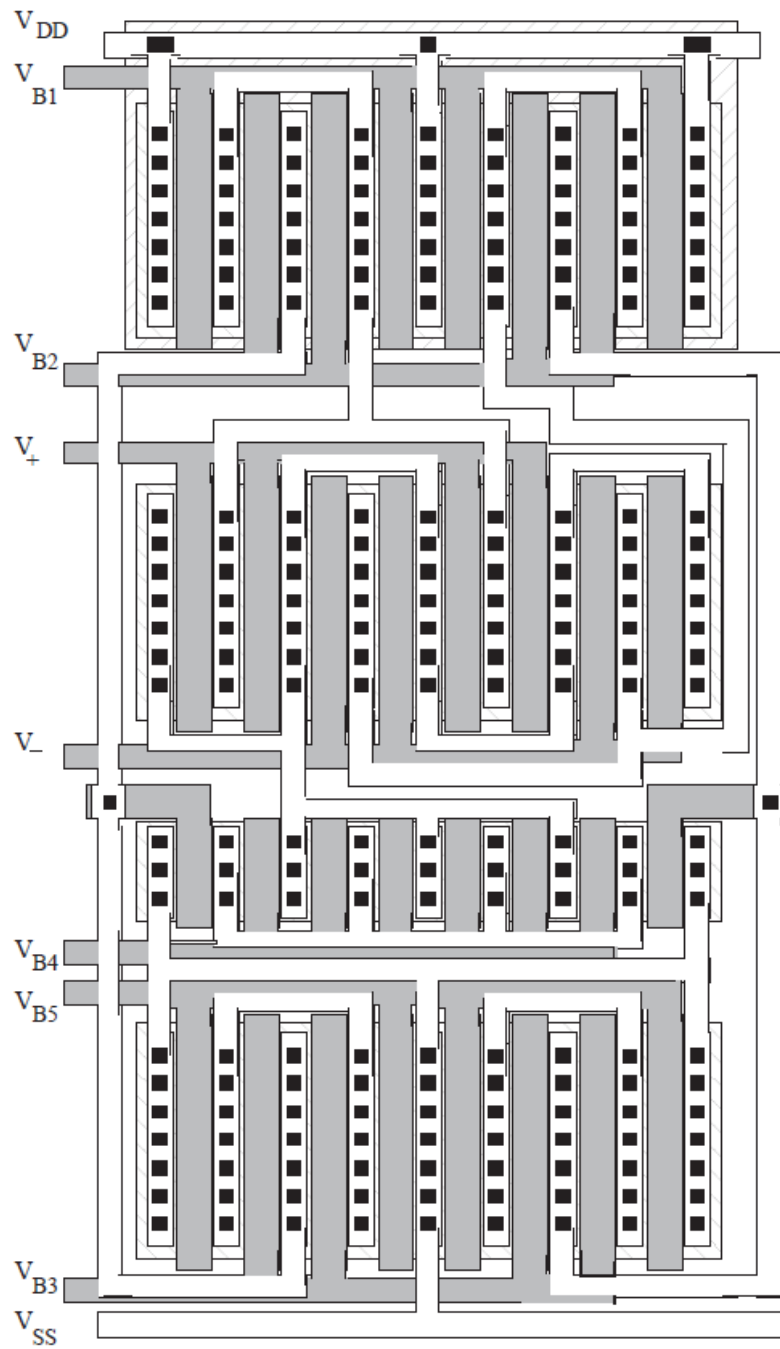
Primer 3:

Fully Differential Folded-Cascode

- Simetrija
- Common Centroid ulazni diferencijalni par
- Minimalna dužina linija međukonekcija
- Male parazitne kapacitvnosti

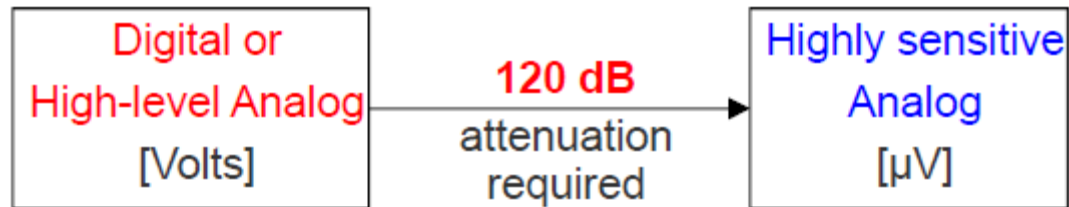


9	3	3	9	10	4	4	10
1	1	2	2	1	1	2	2
11	13	13	13	13	13	13	12
7	5	5	7	8	6	6	8



Parazitni efekti u integrisanim kolima: "All models are wrong, some are useful"

- Kapacitivnosti prema supstratu
- Kapacitivnosti prema drugim čvorovima
- Serijske otpornosti i paralelne provodnosti
- Struje curenja
- Magnetska sprega sa susednim linijama i sa supstratom
- Na 20% površine tipičnog integrisanog kola se nalaze analogna kola, dok se na 80% nalaze digitalna kola.
- Za dizajn analognih delova čipa obično odlazi 80% potrebnog vremena za projektovanje čipa
- Korekcije u analognom dizajnu se obično sprovode 2-3 puta, dok u digitalnim delovima kola obično nije potrebna nikakva korekcija
- Sprega između osetljivih ulaza analognih kola i digitalnih kola u istom čipu treba da bude što slabija

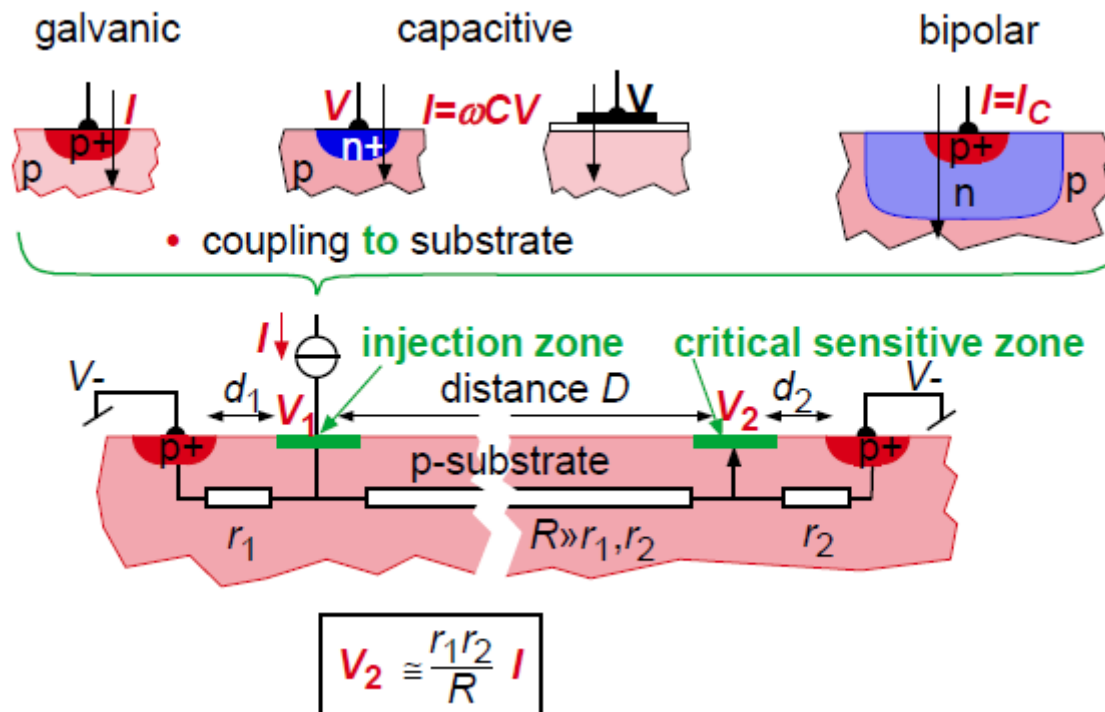


Sprega se ostvaruje putem:

1. Zajedničkih linija za napajanje

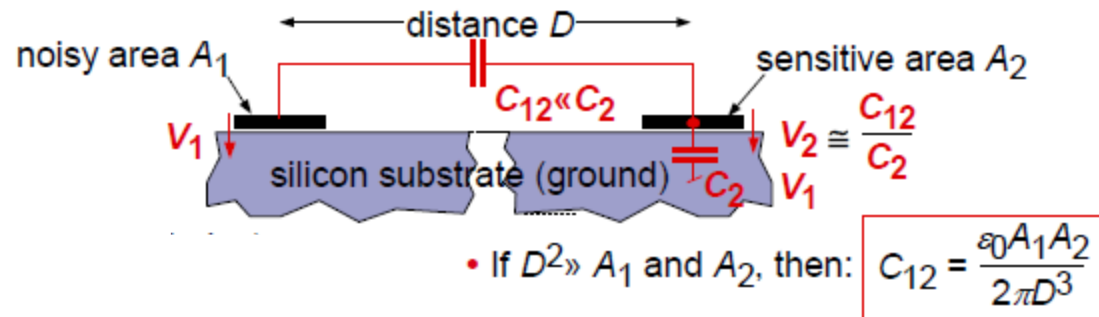
- napajanje treba da bude sa što širim linijama
- posebne linije za napajanje analognih i digitalnih delova čipa

2. Preko struja supstrata



- Sprega sa supstratom se ostvaruje preko kontakata, modulacije struje supstrata i preko kapacitivnih struja pedova, drejna, elektroda kondenzatora itd.
- Smanjenje ovog uticaja se ostvaruje smanjivanjem rastojanja r_1 i r_2 i povećanjem rastojanja R .
- Stavljanjem kritičnih zona, npr. kapacitivnosti, u izolaciona ostrva
- Korišćenjem diferencijanih ulaza koji su osetljivi (tada se struja supstrata na isti način dovodi na oba ulaza diferencijalnog pojačavača i potiskuje kao signal srednje vrednosti)

3. Vazdušnim putem preko kapacitivnih sprega

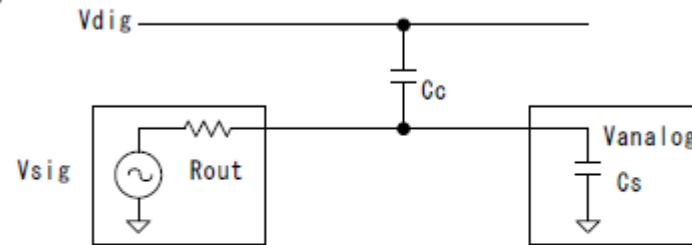
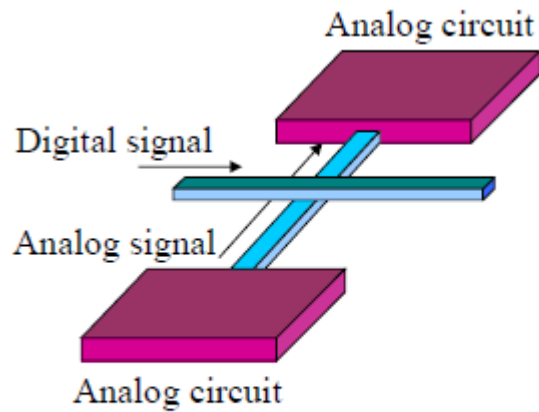


Primer:

A_1 [μm^2]	A_2 [μm^2]	C_2 [fF]	$C_{12\text{max}}$ [F]	D_{min} [μm]
10	10	5	$5 \cdot 10^{-21}$	30
10000	10	5	$5 \cdot 10^{-21}$	300
10000	10000	100	$100 \cdot 10^{-21}$	1120

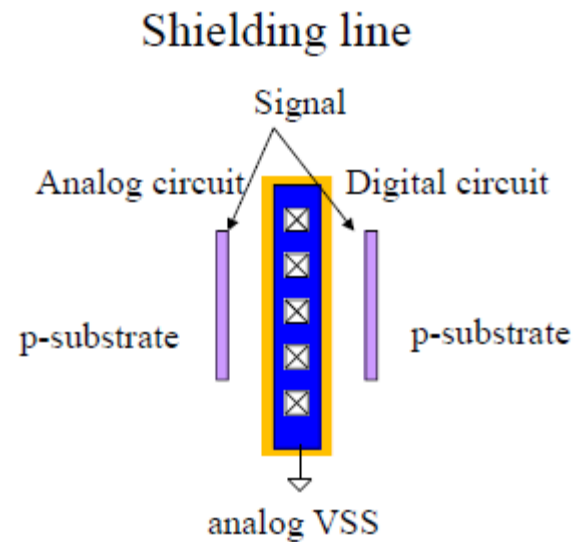
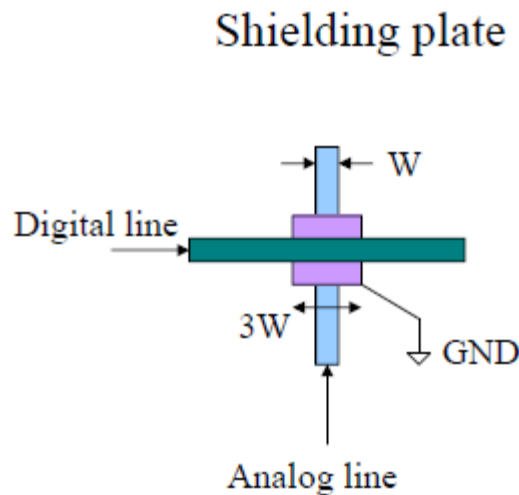
Smanjivanje ovog preslušavanja se obavlja smanjivanjem površina A_1 i/ili A_2 , povećanjem rastojanja D i, ako je potrebno, oklapanjem površina A_1 i/ili A_2

- Kapacitivna sprega linija

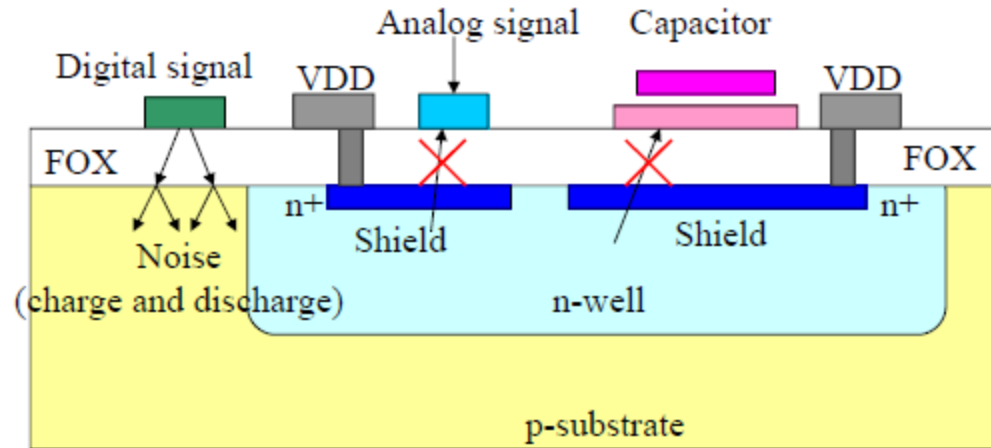


$$SNR = \left| \frac{1}{j\omega \cdot C_c \cdot R_{out}} \frac{V_{sig}}{V_{dig}} \right|$$

- Ubacivanje šilda (površine, ili linije)

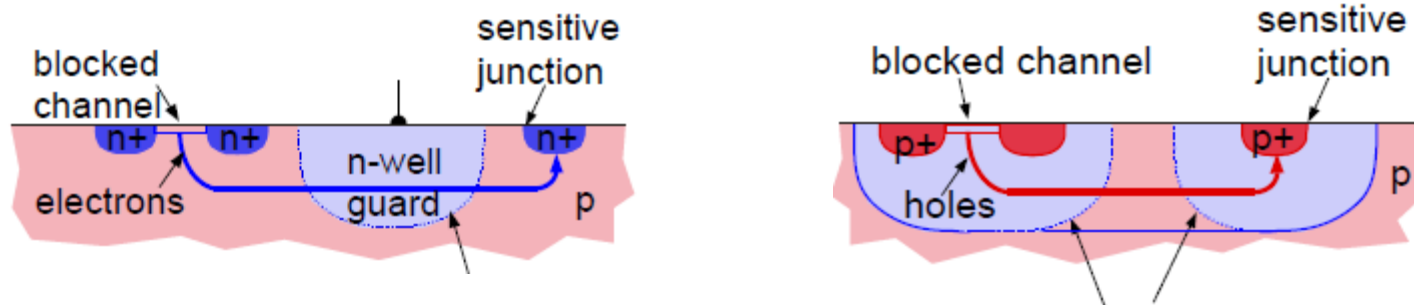


- Oklapanje supstrata

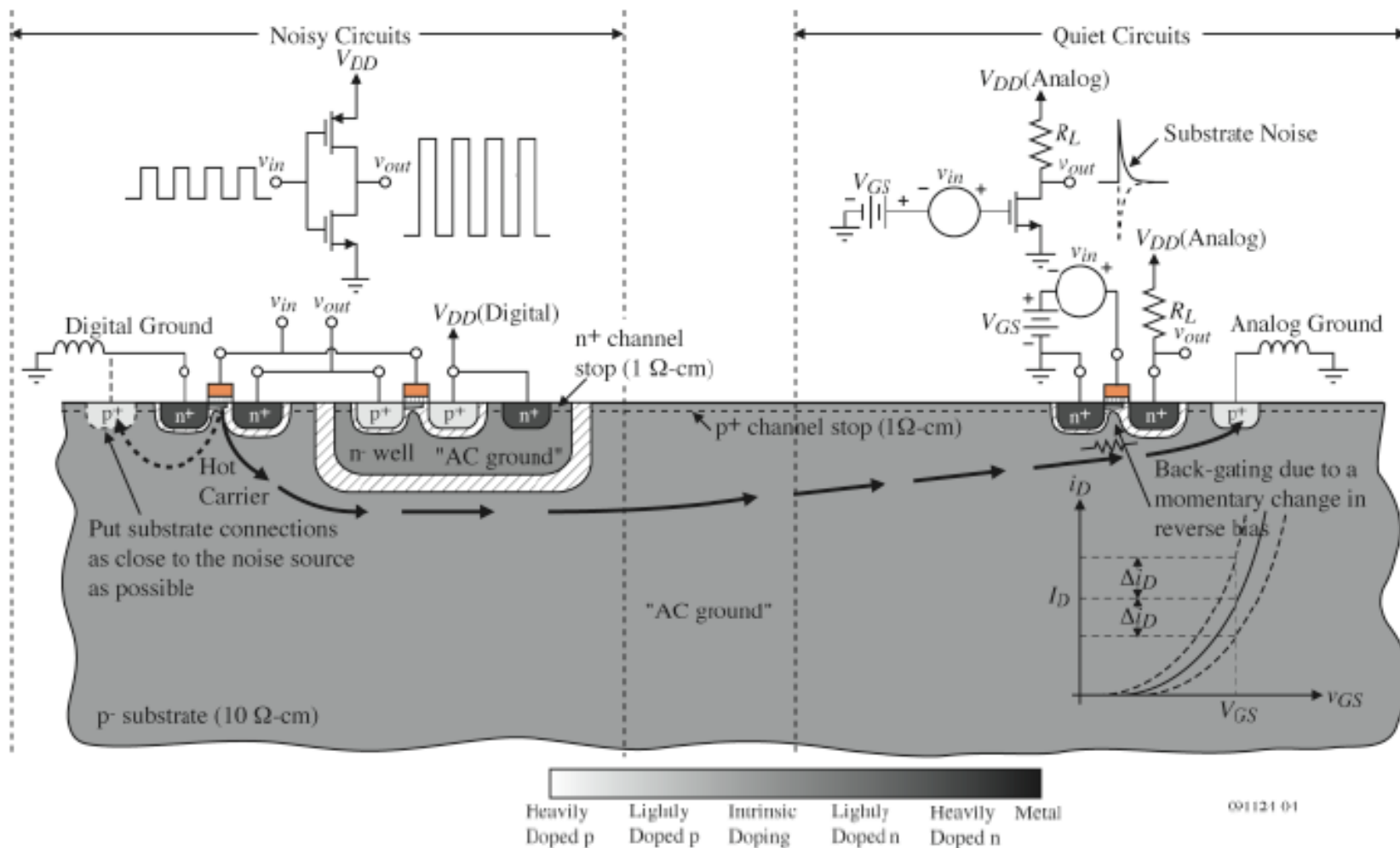


4. Sprega putem manjinskih nosilaca naelektrisanja kod isključenih tranzistora u digitalnom delu čipa

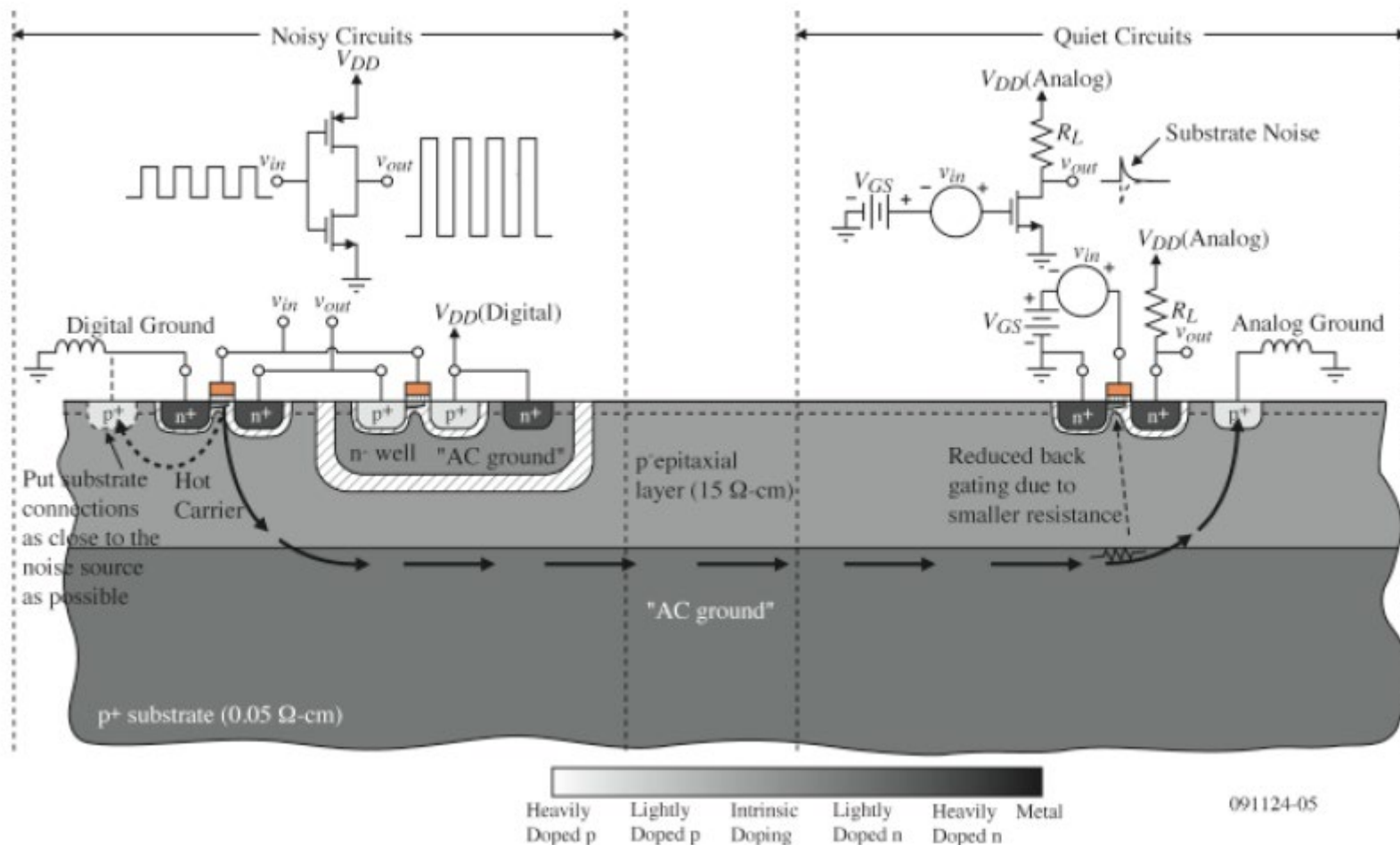
Smanjenje uticaja manjinskih nosilaca naelektrisanja iz digitalnih kola se ostvaruje dodavanjem izolacionih ostrva



- Interferencija digitalnih i analognih signala

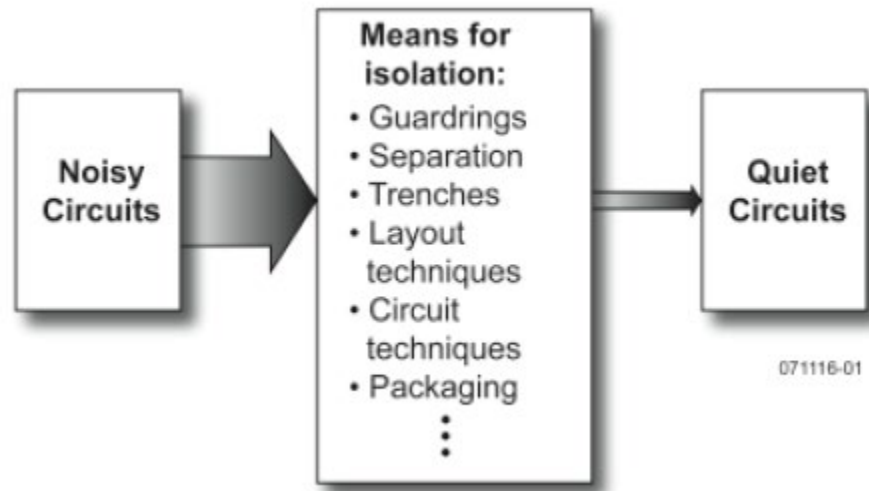


- Interferencija digitalnih i analognih signala (sa EPI slojem)



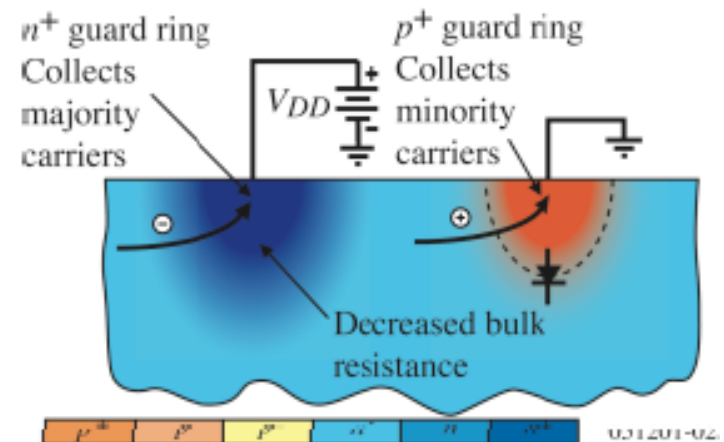
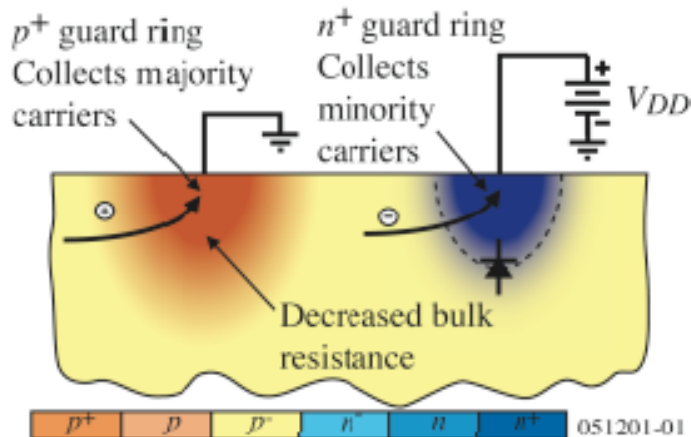
Tehnike za izolaciju analognih i digitalnih kola

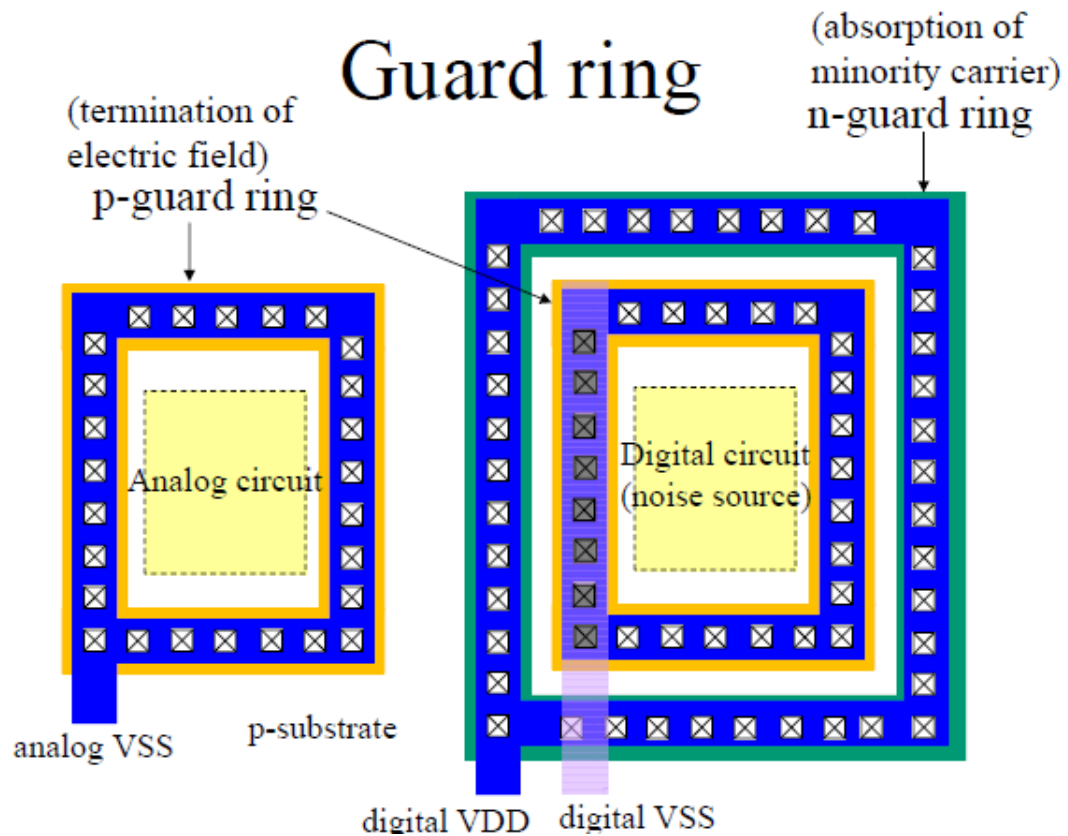
Uključuju i layout tehnike i tehnike na nivou dizajna kola u cilju razdvajanja delova kola koji unose šum od “mirnih” delova kola



• Guard Rings

Zaštitni prstenovi sakupljaju glavne i sporedne nosioce i treba da imaju konekcije sa malom otpornošću i malom induktivnošću





- Izolacija pomoću layouta:
- Uobičajena common centroid geometrija ne pomaže
- Kontakti i vije treba da imaju što manji otpor
- Deep nwell pomaže u izolaciji analognih kola

