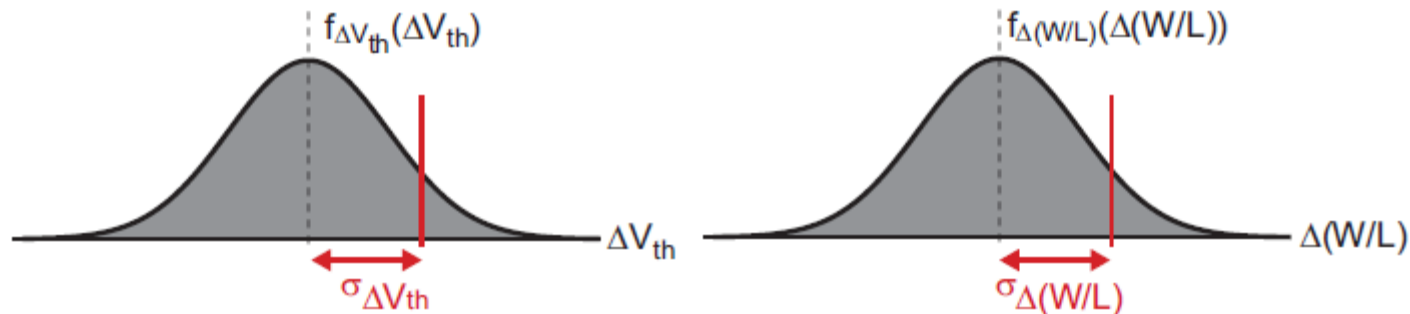


□ Razdešenost parametara CMOS kola

- Jedna od najvažnijih karakteristika tehnologije integriranih kola je da električni parametri identično iscrtanih (i blisko raspoređenih) komponenata budu uparenih karakteristika i sa dobrom tačnošću
- Najčešća potreba za uparenošću karakteristika je kod strujnih ogledala, diferencijalnih pojačavača, odnosa otpornosti i kapacitivnosti
- Sistemska razdešenost je posledica nejednakog oblika uparenih komponenti i nejednake simetrije u okruženju
- Razdešenost postoji i pored dobro uparenih geometrijskih oblika komponenata i okruženja i posledica je slučajno razdešenih parametara procesa izrade integriranih kola (Random Mismatch)
- Dimenzije komponenti (širina i dužina kanala) i dopiranost oblasti odstupaju po slučajnoj raspodeli

Modelovanje razdešenosti preko slučajnih promenljivih



✓ Standardna devijacija se uzima kao mera razdešenosti, a razdešenost parametara koji se menjaju prema Gausovoj raspodeli se aproksimira kao

$$\Delta V_{TH} \approx \sigma_{\Delta V_{TH}}$$

$$\Delta(W/L) \approx \sigma_{\Delta(W/L)}$$

✓ Matematički i eksperimentalno je dobijeno da važi

$$\sigma_{V_{TH}} \approx \frac{A_{V_{TH}}}{\sqrt{WL}} \quad \sigma_{\Delta(W/L)} \approx \frac{A_K}{\sqrt{WL}}$$

gde su konstante $A_{V_{TH}}$ i A_K faktori proporcionalnosti koji se ponekad daju u opisu procesa za dizajn integriranih kola sa datom tehnologijom, ili kao deo Monte-Carlo modela pri simulaciji.

! Bolja uparenost integriranih tranzistora se postiže sa većim dimenzijama jer je tako standardna devijacija razdešenosti parametara manja.

M.J.M. Pelgrom, H.P. Tuinhout, M. Vertregt, "Transistor Matching in Analog CMOS Applications," IEDM Dig. Of Tech. Papers, pp. 34.1.1-34.1.4, Dec. 1998.

✓ Razdešenost parametara u tipičnom 0.18u CMOS procesu:

Parametar	Vrednost
$A_{V_{TH}}$ (MOS)	5 mV- μm
$A_{\Delta\beta/\beta}$ (MOS)	1 %- μm
$A_{\Delta I_S/I_S}$ (BJT)	2 %- μm
$A_{\Delta\beta/\beta}$ (BJT)	4 %- μm
$A_{\Delta C/C}$ (MIM cap)	1 %- μm
$A_{\Delta R/R}$ (poly res)	3 %- μm

$$\beta = \mu_n C_{ox} \frac{W}{L}$$

- Uticaj razdešenosti se meri relativnom promenom, npr. struje drejna, pri promeni određenog parametra, pri čemu su preostali parametri sa nominalnim vrednostima
- Parametri $A_{V_{TH}}$ i $A_{\Delta\beta/\beta}$ zavise od tehnologije. U 65nm CMOS tehnologiji je

$$A_{V_{TH}65} = 3.5 \text{ mV-}\mu\text{m}$$

$$A_{(\Delta\beta/\beta)MOS} = 1\% - \mu\text{m}$$

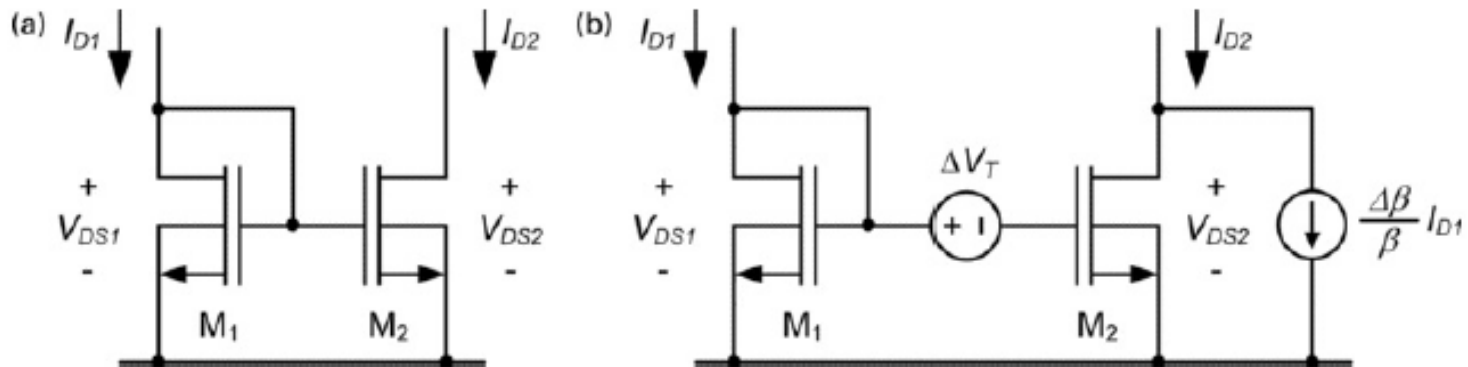
- Parametar promene napona praga $A_{V_{TH}}$ se smanjuje sa smanjivanjem efektivne debljine oksida, dok je parametar $A_{\Delta\beta/\beta}$ praktično invarijantan sa promenom tehnologije i iznosi (1-2)%- μm
- Kod tranzistora sa jako kratkim kanalima postoje i uticaji sekundarnih efekata
- Najznačajnije uticaj je da se varijansa praga više ne skalira direktno sa $1 / L$. To je zato što džepni implantati u blizini sorsa i drejna remete uniformnu dopiranost osnove.
- U tranzistoru sa džepnim implantatima, središnje područje kanala ne igra značajnu ulogu u definisanju praga, a njegovo produženje stoga ne utiče na njegovu varijansu
- Tada je konstanta slučajne promene napon praga u funkciji dimenzije tranzistora

$$\sigma_{V_{TH}}^2 \approx \frac{A_{V_{TH}}^2}{WL} + \frac{B_{V_{TH}}^2}{f(WL)}$$

- U nedostatku boljeg modela koristi se standardni model i za tranzistore sa $L=L_{min}$, a dužina kanala se najčešće bira kompromisno (npr. između zahteva za većim f_T i dobrom uparenošću karakteristika)

Uticaj razdešenosti u strujnim ogledalima

- Ako su oba tranzistora identična i $V_{DS1} = V_{DS2}$, izlazne struje u strujnom ogledalu takođe moraju biti potpuno jednake ($I_{D1} = I_{D2}$).



- Pretpostavlja se da je ulazna struja I_{D1} konstantna, a greška unesena neuparenošću karakteristika tranzistora se pojavljuje u razlici struja $I_{D2} - I_{D1}$. Pod pretpostavkom da su razdešenosti male i da su jednaki naponi drejn-sors oba tranzistora, ova razlika je

$$\Delta I_D = I_{D2} - I_{D1} \cong g_{m2} \Delta V_T + \frac{\Delta \beta}{\beta} I_{D1}$$

$$\Rightarrow \frac{\Delta I_D}{I_{D1}} \cong \frac{g_{m2}}{I_{D1}} \Delta V_T + \frac{\Delta \beta}{\beta}$$

- Smatrajući da su varijacije napona praga i parametra β statistički nezavisni, odnosno da su ovi procesi nekorelisani, varijansa promene struje je

$$\sigma_{\Delta I_D / I_{D1}}^2 = \left(\frac{g_{m2}}{I_{D1}} \right)^2 \sigma_{\Delta V_T}^2 + \sigma_{\Delta \beta / \beta}^2$$

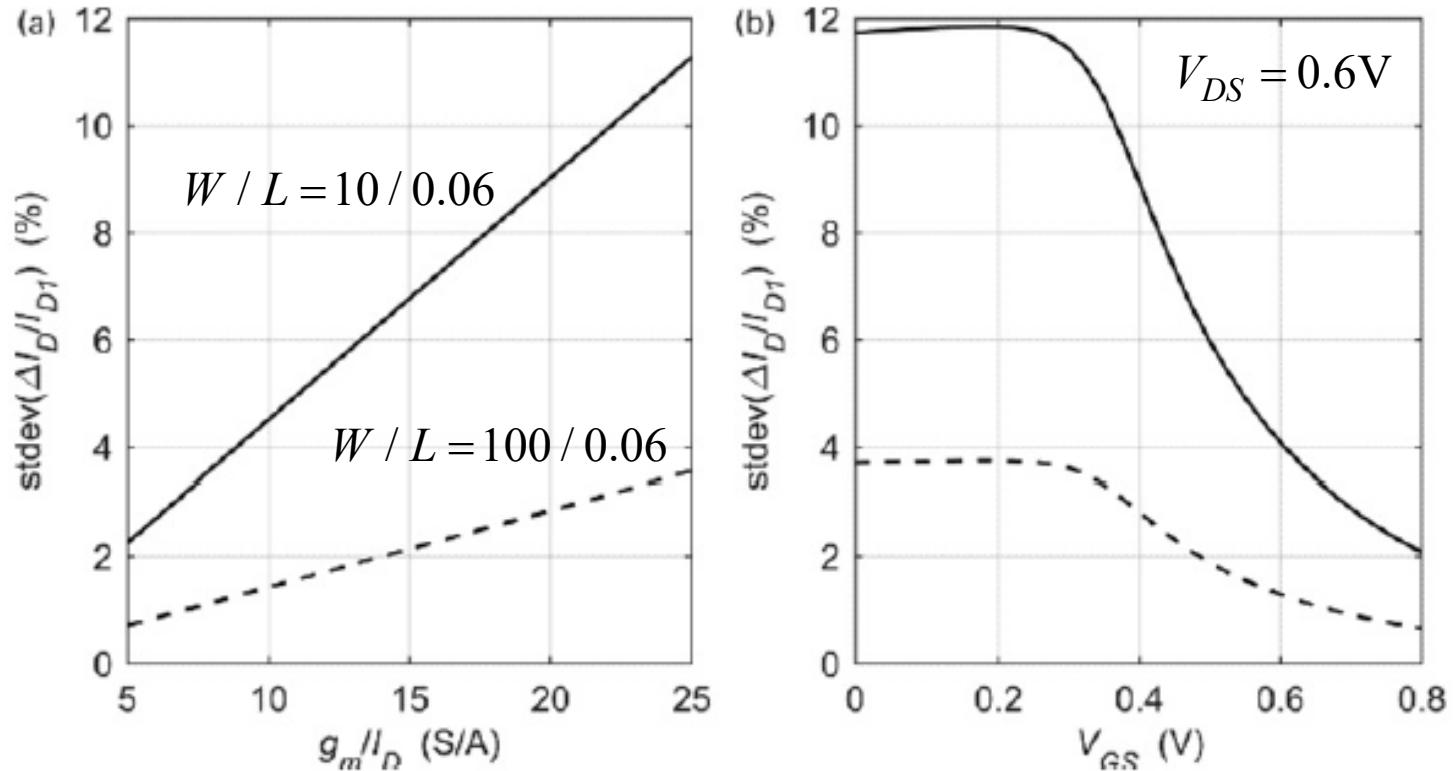
- Varijacija parametra β znatno manje utiče na varijaciju struje drejna od napona praga, a stepen inverzije (g_m / I_D) dominantno određuje u ukupnu varijansu izlazne struje

$$\sigma_{\Delta I_D / I_{D1}}^2 \approx \left(\frac{g_{m2}}{I_{D1}} \right)^2 \sigma_{\Delta V_T}^2 \Rightarrow \sigma_{\Delta I_D / I_{D1}} = \frac{g_{m2}}{I_{D1}} \sigma_{\Delta V_T} = \frac{g_{m2}}{I_{D1}} \frac{A_{V_T}}{\sqrt{WL}}$$

- **Koju oblast inverzije izabrati za dizajn strujnog ogledala?**
- U situacijama kada je neusklađenost parametara tranzistora važnija od nivoa šuma u kolu, možemo razlikovati dva scenarija:
 1. Na raspolaganju imamo fiksnu raspoloživu površinu (WL) za strujno ogledalo
 2. Površina na čipu nije ograničena, ali je struja fiksirana
- Kada je površina na čipu limitirana, najmanju varijansu struje ćemo imati kada je (g_m / I_D) što je moguće manje.
- Budući da je V_{DSsat} povezano sa izborom (g_m / I_D)

$$V_{DSsat} \approx \frac{2}{g_m / I_D}$$

to znači i povećanu minimalnu vrednost na krajevima strujnog izvora za koju se kolo ponaša kao strujni izvor, odnosno da oba tranzistora rade u zasićenju.



- Za što manju razdešenost struja u strujnom ogledalu tranzistori treba da rade sa što je moguće većim naponom V_{GS} , ili što je moguće manjim g_m / I_D

- U nastavku ćemo razmotriti drugi slučaj gde je struja fiksirana, što odgovara tipičnijem scenariju u praksi.
- Česta je potreba za dizajnom strujnog izvora određene struje, bez obzira na površinu (u razumnim granicama).

$$\sigma_{\Delta I_D / I_D} \approx \frac{g_m}{I_D} \sigma_{V_{TH}} \approx \frac{1}{nU_T} \frac{2}{1 + \sqrt{1 + 4i}} \frac{A_{V_{TH}}}{\sqrt{WL}} \quad i = \frac{I_D}{2n\mu_n C_{ox} (W / L)}$$

- U WI oblasti je

$$WI : \sigma_{\Delta I_D / I_D} \approx \frac{1}{nU_T} \frac{A_{V_{TH}}}{\sqrt{WL}}$$

dok je u oblasti jake inverzije (SI)

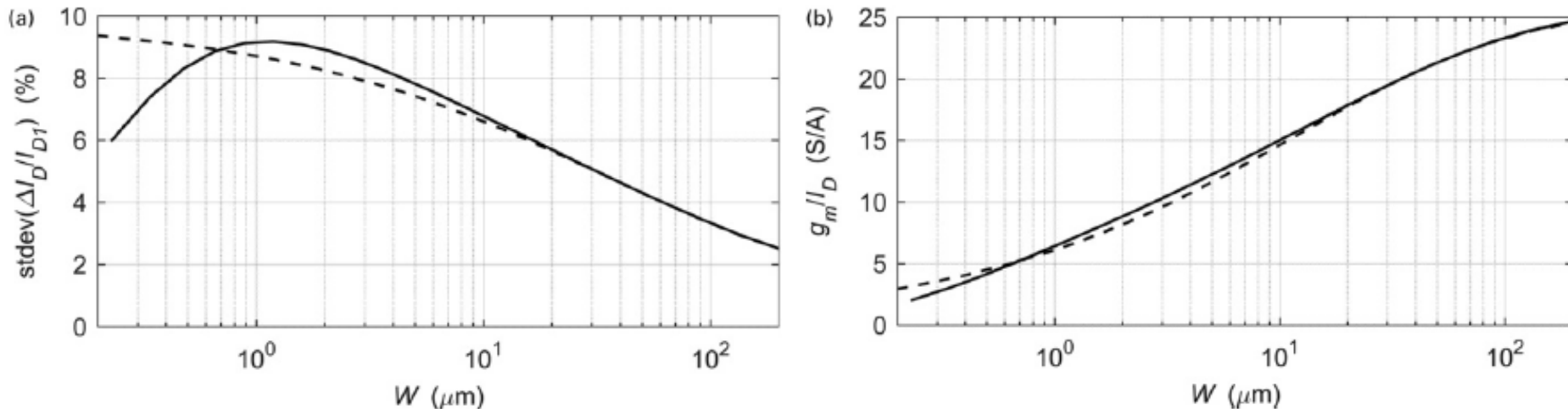
$$\sigma_{\Delta I_D / I_D} \approx \frac{1}{nU_T} \frac{2}{2\sqrt{i}} \frac{A_{V_{TH}}}{\sqrt{WL}} = \frac{1}{nU_T} \frac{1}{\sqrt{\frac{I_D}{2n\mu_n C_{ox}}}} \frac{A_{V_{TH}}}{L} \neq f(W)$$

- Jedini način da se obezbedi mala razdešenost u jakoj inverziji jeste da se poveća dužina kanala L. To je, zbog prekomernog uticaja džepnih implantata, postalo pomalo neefikasno u modernim tehnologijama.
- Primenjujući konzervativan pristup varijansa struje strujnog izvora se može napisati u obliku

$$\sigma_{\Delta I_D/I_D} \approx \frac{1}{nU_T} \frac{1}{\sqrt{\frac{I_D}{2n\mu_n C_{ox}}}} \frac{A_{V_{TH}}}{\sqrt{LL_{\min}}}$$

gde je L_{\min} minimalna dužina kanala, a takođe i dužina kanala za koju je određen parametar $A_{V_{TH}}$.

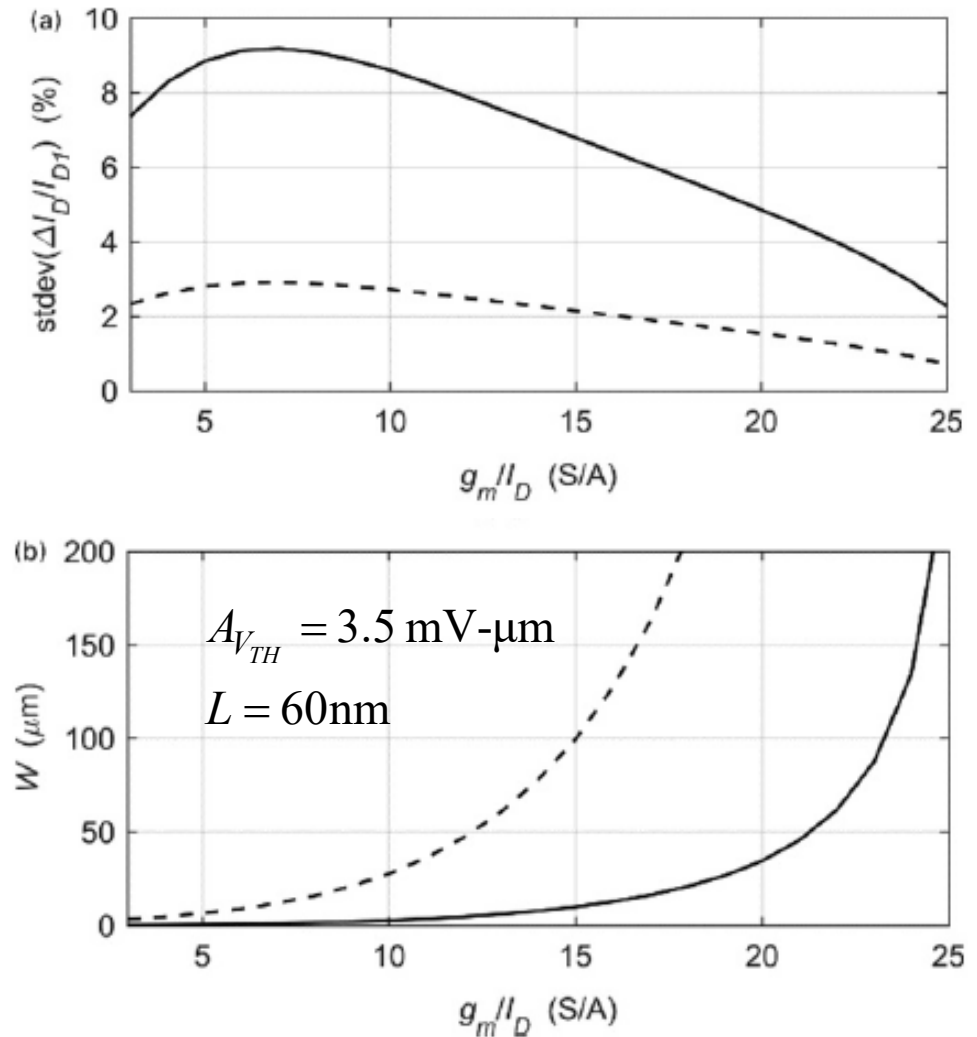
- Na sledećoj slici je prikazana varijansa struje strujnog izvora čija je struja $I_D=100\mu A$, realizovanog sa minimalnom dužinom kanala $L_{\min}=60nm$ u funkciji širine kanala W . Isprekidana linija se odnosi na ACM(EKV) model tranzistora



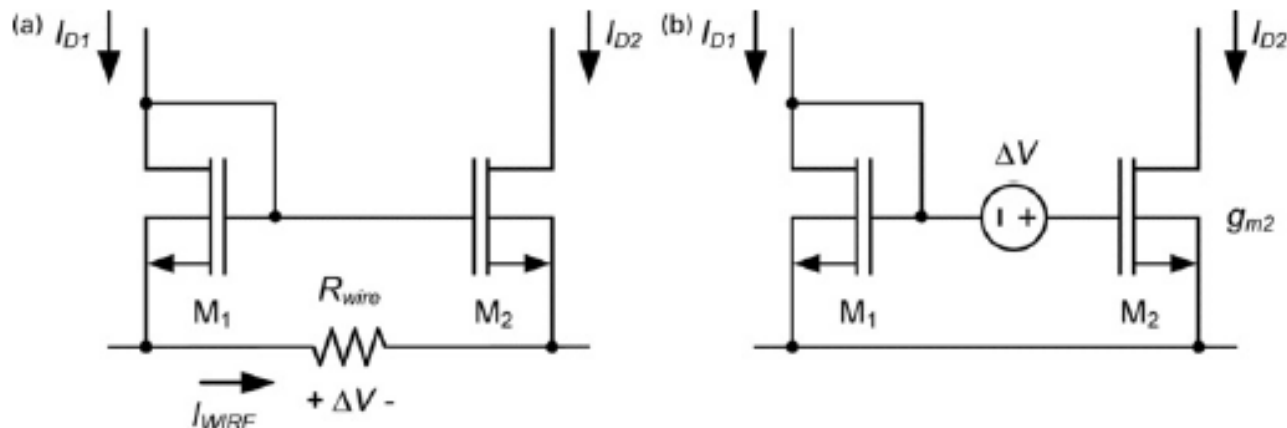
- Prema ACM modelu tranzistora mali je uticaj širine tranzistora na varijansu u SI oblasti. Kod realnog strujnog ogledala veliki je uticaj širine kanala na varijansu, jer se smanjuje pokretljivost nosilaca u kanalu pri velikim naponima V_{GS} .

- Na sledećoj slici je prikazana zavisnost varijanse u funkciji efikasnosti transkonduktanse g_m/I_D za dve vrednosti struje strujnog izvora $I_D=100 \mu\text{A}$ (solid line) i $I_D=1\text{mA}$ (dashed line). U oba slučaja je upotrebljena minimalna dužina kanala $L_{\min}=60\text{nm}$.

- Sa slike (a) se vidi da varijansa opada u umerenoj i slaboj inverziji
- Strujni izvor se može realizovati u ovim oblastima inverzije, što smanjuje i V_{DSsat} , ali sa slike (b) je uočljivo da se pri tome povećava širina kanala tranzistora W
- Kada površina na čipu, odnosno propusni opseg (kapacitivnosti se povećavaju sa povećanjem W) nije ograničavajući faktor, poželjna je realizacija strujnih ogledala u umerenoj inverziji (npr. $g_m/I_D=15$)



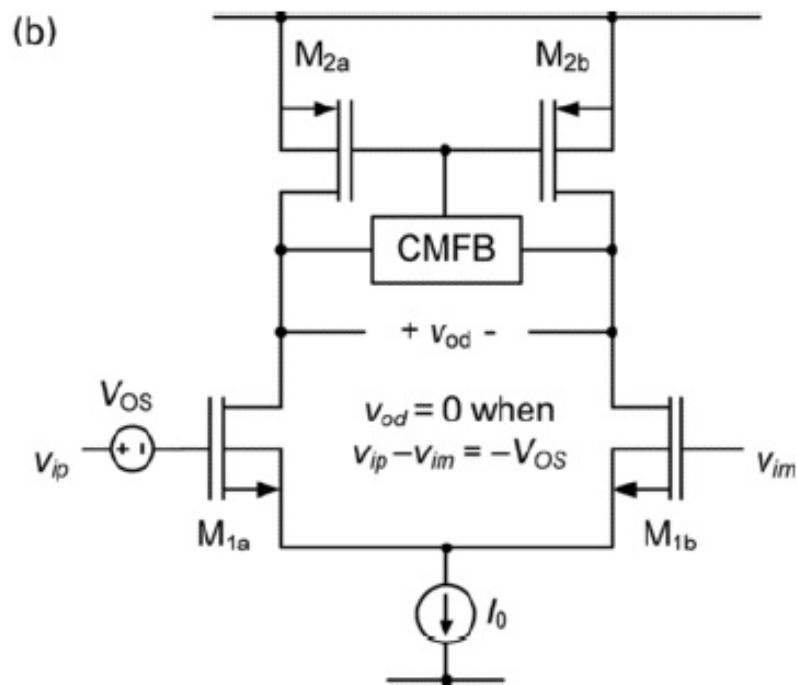
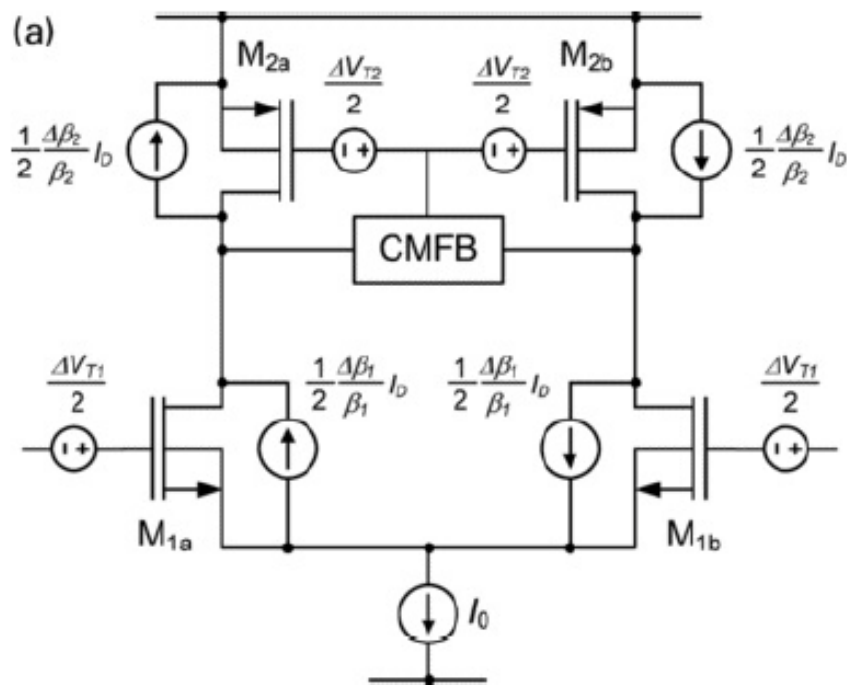
- Ostaje još jedan argument u korist izrade strujnih izvora u oblasti jake inverzije, a to je pad napona na linijama koje spajaju



- Da bi se umanjila greška u razlici struja usled pada napona $\Delta V = R_w I_w$, g_{m2} treba učiniti što manjim.
- Za fiksnu struju strujnog izvora, to znači da se g_m/I_D mora minimizirati, što zahteva oblast umerene ili jake inverzije zavisno od pada napona ΔV .

Razdešenost diferencijalnog pojačavača

- Zbog razdešenosti parametara (sistemskih, ili slučajnih) na ulazu diferencijalnog pojačavača se pojavljuje ofset (naponski kod diferencijalnih pojačavača sa MOSFET-ovima, naponski i strujni kod diferencijalnih sa bipolarnim tranzistorima)
- Pored toga dolazi i do driftovanja, odnosno promene ofseta sa temperaturom
- Posmatrajmo simetrični diferencijalni pojačavač sa aktivnim opterećenjem u obliku prostog strujnog ogledala



- Naponski ofset na ulazu diferencijalnog pojačavača uglavnom je posledica razdešenosti napona praga

$$V_{OS, \Delta V_T} = \Delta V_{T1} + \frac{\Delta V_{T2}}{2} \frac{g_{m2a}}{g_{m1a}} + \frac{\Delta V_{T2}}{2} \frac{g_{m2b}}{g_{m1b}} = \Delta V_{T1} + \Delta V_{T2} \frac{g_{m2}}{g_{m1}}$$

$$g_{m1} = \frac{g_{m1a} + g_{m1b}}{2} \quad g_{m2} = \frac{g_{m2a} + g_{m2b}}{2}$$

$$I_D = \frac{I_{D1a} + I_{D1b}}{2} = \frac{I_{D2a} + I_{D2b}}{2}$$

$$\Rightarrow V_{OS} = V_{OS, \Delta V_T} = \Delta V_{T1} + \Delta V_{T2} \frac{g_{m2} / I_D}{g_{m1} / I_D} = \Delta V_{T1} + \Delta V_{T2} \frac{(g_m / I_D)_2}{(g_m / I_D)_1}$$

- Kao što se i očekivalo, vidimo da neuparenost pragova ulaznog para tranzistora direktno doprinosi ekvivalentnom pomeranju ulaza.
- Doprinos neuparenosti tranzistora u aktivnom opterećenju (M2a, b) može biti umanjen pogodnim izborom odnosa efikasnosti transkonduktanse M2a, b i M1a, b.
- U prvoj iteraciji se $(g_m / I_D)_2$ može učiniti što manjim. Međutim, tada V_{SDsat2} raste i ograničava opseg signala srednje vrednosti ulaznih napona sa gornje strane. Izbor vrednosti $(g_m / I_D)_2$ je stvar kompromisa
- Zanimljivo je da razdešenost $\Delta\beta/\beta$ najviše utiče na drift naponskog ofseta na ulazu. Iako je doprinos promene napona praga ΔV_T veći, ova komponenta naponskog ofseta se malo menja sa temperaturom, jer je prvenstveno uzrokovana različitim dopirnostima koje ne zavise od temperature.

- I jedan i drugi parametar koji utiču na razdešenost diferencijalnog pojačavača, $\Delta V_T/V_T$ i $\Delta\beta/\beta$, se malo menjaju sa promenom temperature
- Ekvivalentni naponski ofset na ulazu usled razdešenosti $\Delta\beta/\beta$ je

$$\Rightarrow V_{OS,\Delta\beta} = \left(\frac{\Delta\beta_1}{\beta_1} + \frac{\Delta\beta_2}{\beta_2} \right) \frac{I_D}{g_{m1}} = \frac{\Delta\beta_{tot}}{\beta_{tot}} \frac{I_D}{g_{m1}} \ll V_{OS,\Delta V_T}$$

- Drift naponskog ofseta je

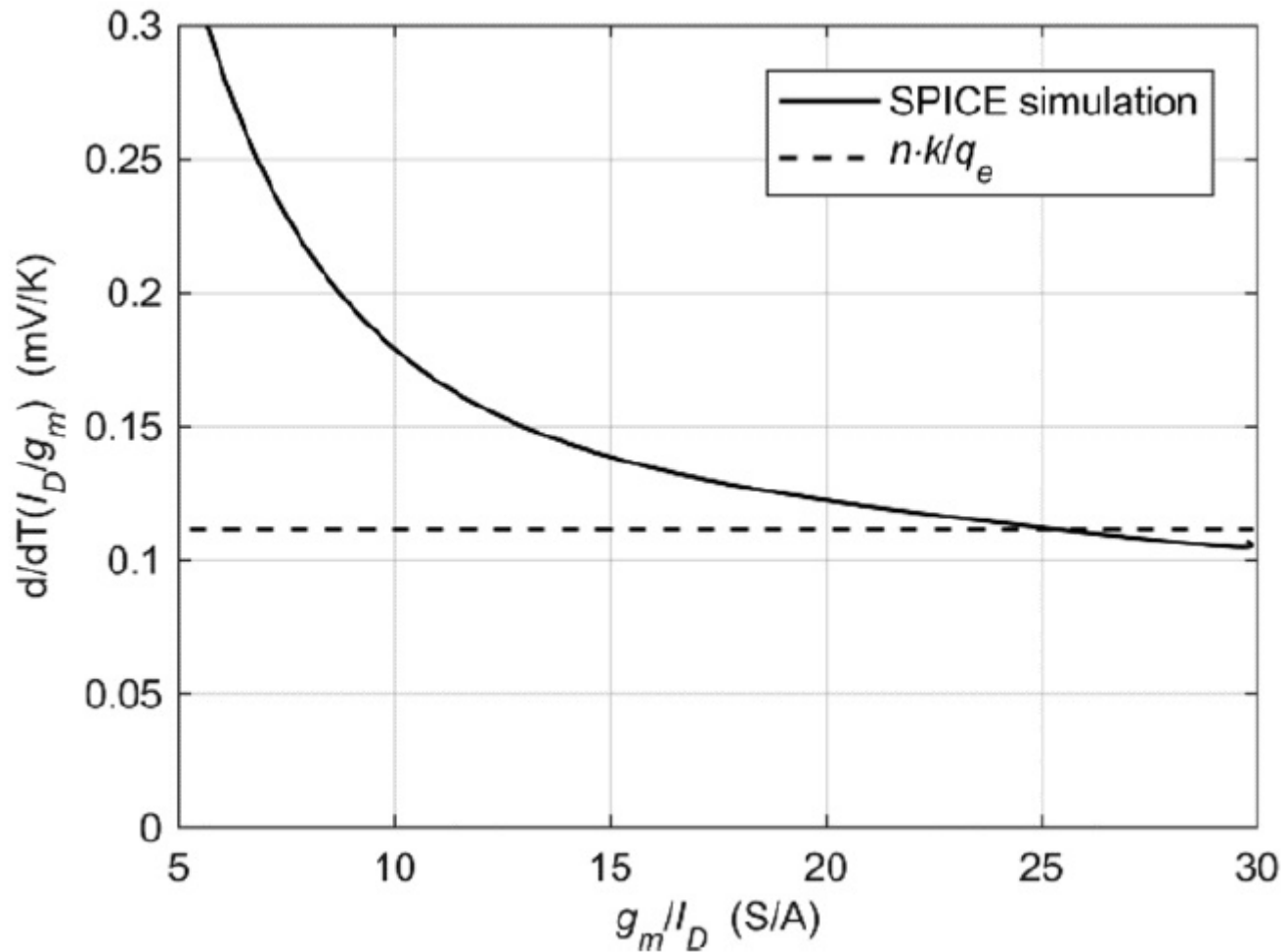
$$V_{OS,drift} = \frac{dV_{OS,\Delta\beta}}{dT} = \frac{\Delta\beta_{tot}}{\beta_{tot}} \frac{d}{dT} \left(\frac{I_D}{g_{m1}} \right)$$

- Aproksimativna zavisnost u oblasti slabe inverzije

$$WI : V_{OS,drift} = \frac{\Delta\beta_{tot}}{\beta_{tot}} \frac{d}{dT} (nU_T) = \frac{\Delta\beta_{tot}}{\beta_{tot}} n \frac{k}{e} = \frac{\Delta\beta_{tot}}{\beta_{tot}} n \frac{U_T(T)}{T} = \frac{V_{OS,\Delta\beta}}{T}$$

- Isti rezultat se dobija i kod diferencijalnih pojačavača sa bipolarnim tranzistorima
- Na sledećoj slici je prikazana zavisnost dobijena pri konstantnoj struji diferencijalnog pojačavača $I_{SS}=I_0$

$$\frac{d}{dT} \left(\frac{I_D}{g_m} \right) = f \left(\frac{g_m}{I_D} \right) \Bigg|_{\substack{T=300K \\ L=100nm}}$$



- Na slici je isprekidano nacrtana asimptotska vrednost drifta pri $g_m/I_D=25$
- U oblasti jake inverzije, s obzirom da je $I_D=\text{const}$, drift ofseta je određen driftom transkonduktanse g_m
- Transkonduktansa je proporcionalna sa pokretljivošću $g_m \propto \mu^{1/b}$

Pokretljivost u okolini sobne temperature ima negativan temperaturni koeficijent,

$$\mu \propto T^a, a = -2 \dots -3$$

tako da je drift ofseta

$$SI: V_{OS,drift} = \frac{a}{b} \frac{V_{OS,\Delta\beta}}{T}$$

Nagib drifta u oblasti jake inverzije je veći od nagiba u oblasti slabe inverzije jer je

$$\frac{a}{b} \approx 3$$

Primer: Posmatrati diferencijalni par sa $\Delta\beta_{tot}/\beta_{tot} = 1\%$ koji radi na 300 K. Proceniti drift naponskog ofseta za sledeća dva slučaja:

1. tranzistori su u slaboj inverziji ($n = 1,3$) i
2. tranzistori su u jakoj inverziji ($g_m/I_D = 5 \text{ S/A}$ i $a / b = 3$).

1. Kada su u MOS tranzistori u slaboj inverziji

$$V_{OS,\Delta\beta} = \frac{\Delta\beta_{tot}}{\beta_{tot}} \frac{I_D}{g_{m1}} = \frac{\Delta\beta_{tot}}{\beta_{tot}} nU_T = 0.01 \cdot 1.3 \cdot 26 \text{ mV} = 338 \mu\text{V}$$

$$WI: V_{OS,drift} = \frac{V_{OS,\Delta\beta}}{T} = 1.1 \mu\text{V/K}$$

2. Kada su u MOS tranzistori u oblasti jake inverzije

$$V_{OS,\Delta\beta} = \frac{\Delta\beta_{tot}}{\beta_{tot}} \frac{I_D}{g_{m1}} = \frac{\Delta\beta_{tot}}{\beta_{tot}} nU_T = \frac{0.01}{5 \text{ S/A}} = 2 \text{ mV}$$

$$V_{OS,drift} = \frac{a}{b} \frac{V_{OS,\Delta\beta}}{T} = 3 \frac{V_{OS,\Delta\beta}}{T} = 20 \mu\text{V/K}$$

Poredjenje razdešenosti standardnih diferencijalnih pojačavača sa bipolarnim i sa MOS tranzistorima u jakoj inverziji (180nm CMOS):

$$V_{OS,BJT} = V_t \ln\left(\frac{R_{C2} I_{S2}}{R_{C1} I_{S1}}\right), \Delta R \ll R, \Delta I_S \ll I_S \qquad V_{OS,BJT} = -V_t \left(\frac{\Delta R_C}{R_C} + \frac{\Delta I_S}{I_S}\right)$$

$$V_{OS,BJT} = -V_t \left(\frac{\Delta R_C}{R_C} + \frac{\Delta I_S}{I_S}\right) = -\left(\frac{g_m}{I_C}\right)^{-1} \left(\frac{\Delta R_C}{R_C} + \frac{\Delta I_S}{I_S}\right)$$

$$V_{OS} = \frac{V_{GS} - V_T}{2} \left(\frac{\Delta R_D}{R_D} + \frac{\Delta\beta}{\beta}\right) + \Delta V_T = \left(\frac{g_m}{I_D}\right)^{-1} \left(\frac{\Delta R_D}{R_D} + \frac{\Delta\beta}{\beta}\right) + \Delta V_T$$

Bipolarni tranzistor:

$$A_E = 0.7 \mu\text{m}^2 \Rightarrow \sigma_{\frac{\Delta I_S}{I_S}} = \frac{A_{I_S}}{\sqrt{A_E}} = 2.4\%$$

MOS tranzistor:

$$W = 20 \mu\text{m}, L = 0.2 \mu\text{m} \Rightarrow \sigma_{\Delta V_{TH}} = \frac{A_{V_{TH}}}{\sqrt{WL}} = 2.5 \text{ mV}$$

$$\sigma_{\Delta\beta/\beta} = \frac{A_{\Delta\beta/\beta}}{\sqrt{WL}} = 0.5 \%$$

Zanemarujući devijaciju otpornosti u kolektoru/drejni, dobija se

$$\sigma(V_{OS,BJT}) = \sigma\left(V_t \frac{\Delta I_S}{I_S}\right) = 26 \text{ mV} \cdot 0.024 = 0.62 \text{ mV}$$

$$\sigma(V_{OS,MOS}) = \sigma\left(\left(\frac{g_m}{I_D}\right)^{-1} \frac{\Delta\beta}{\beta} + \Delta V_T\right) = \sqrt{\sigma^2(\Delta V_T) + \sigma^2\left[\left(\frac{g_m}{I_D}\right)^{-1} \frac{\Delta\beta}{\beta}\right]}$$

$$\sigma(V_{OS,MOS}) = \sqrt{\sigma^2(\Delta V_T) + \sigma^2\left[\left(\frac{g_m}{I_D}\right)^{-1} \frac{\Delta\beta}{\beta}\right]} = \sqrt{(2.5 \text{ mV})^2 + (100 \text{ mV} \cdot 0.01)^2} = 2.69 \text{ mV}$$

✓ Dakle, diferencijalni pojačavač sa bipolarnim tranzistorima ima 5-10 puta manju devijaciju naponskog ofseta od diferencijalnog pojačavača sa MOS tranzistorima. Da bi se odstupanje kod MOS diferencijalnog pojačavača smanjilo potrebno je da se upotrebe tranzistori sa većim dimenzijama.