

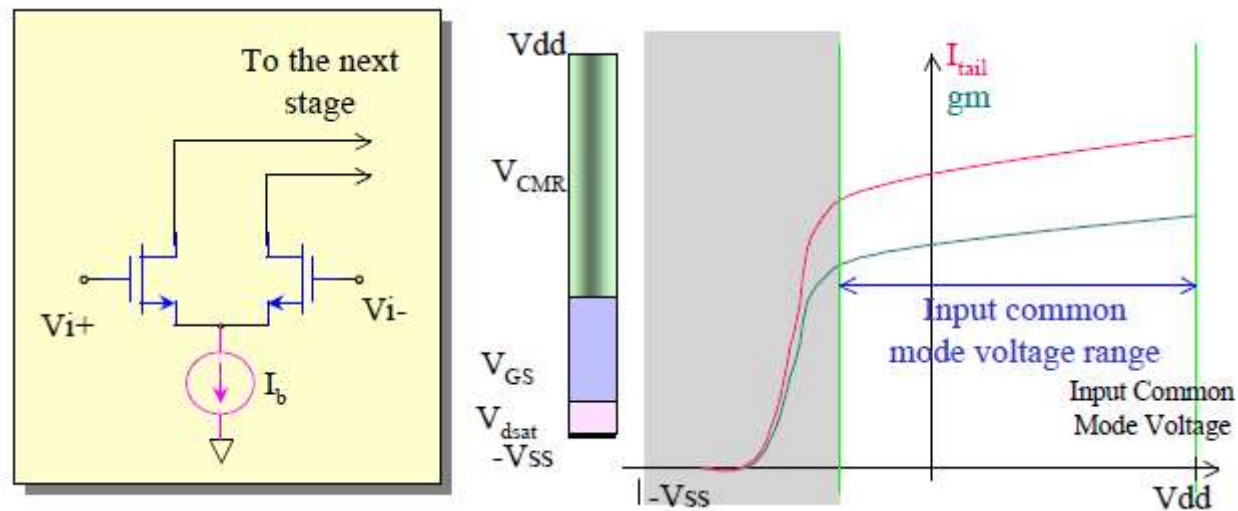
Rail-to-Rail OTA

□ Rail-to-rail CMOS op amp

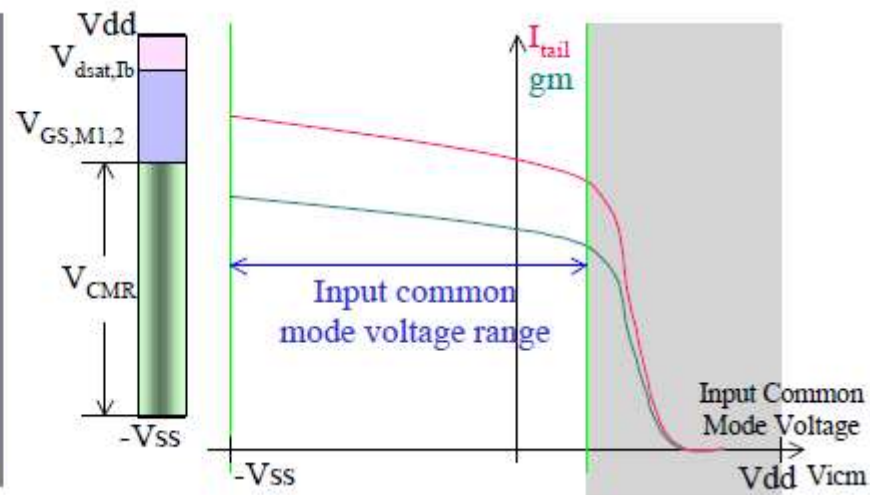
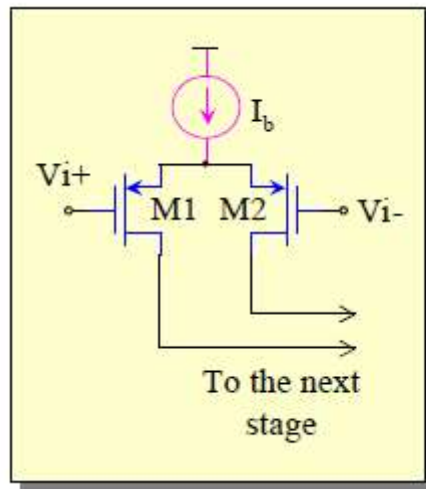
- Rail-to-rail ulazni CM signal je pogodan kod LV OPAMP-ova.
- Dok su konvencionalni pojačavači sposobni za rad u linearnom opsegu samo za mali opseg CM signala oko nule, R-R OTA su dizajnirani da omoguće pojačanje u širokom opsegu CM signala, nekad i većim od napona napajanja.
- Opseg CM signala zavisi od topologije

➤ CMOS amplifier with rail-to-rail input

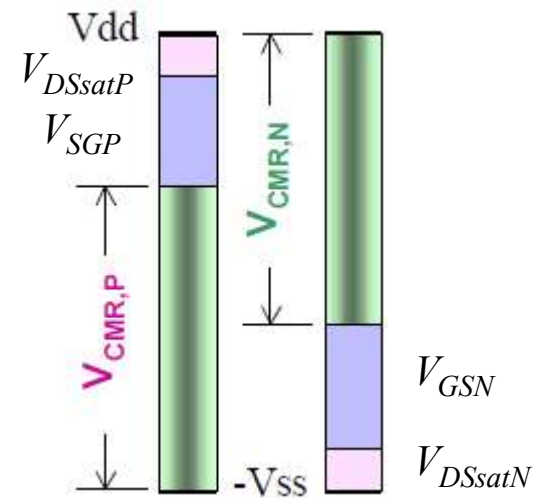
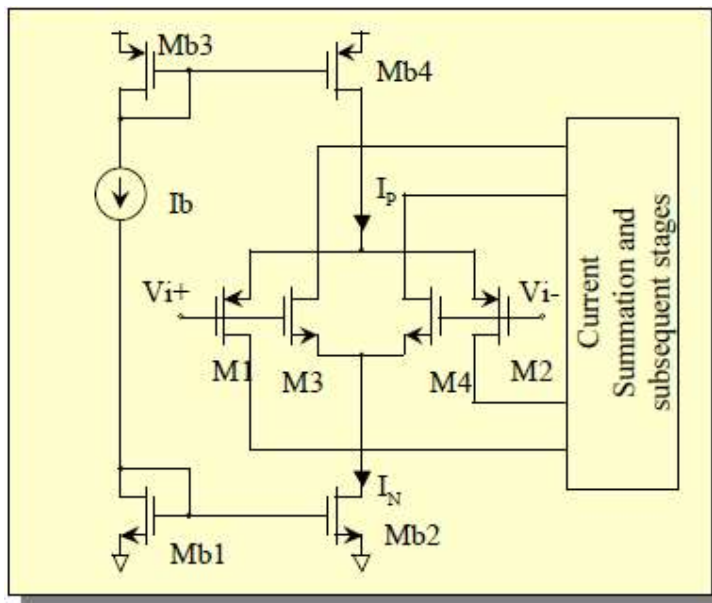
- NMOS differential pair



•PMOS differential pair

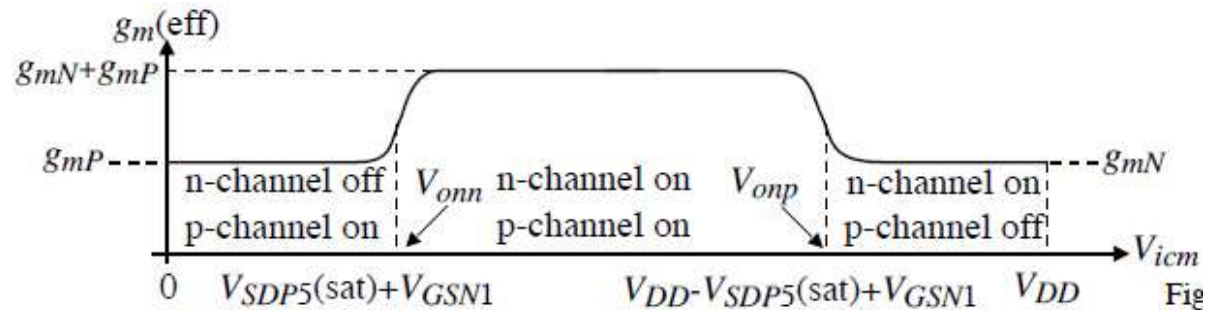


•PMOS+NMOS differential pair



$$V_{DD} + V_{SS} \geq V_{THN} + |V_{THP}| + 2V_{DSsatN} + 2V_{DSsatP}$$

- Sa promenom napona CM signala menja se ukupna diferencijalna transkonduktansa pojačavača g_{mT}
- U srednjem opsegu CM napona oba diferencijalna para (NMOS i PMOS) provode struju i transkonduktansa je jednaka zbiru pojedinačnih transkonduktansi. Ukupna transkonduktansa približno je dva puta veća od transkonduktanse kada provodi samo jedan diferencijalni par tranzistora, NMOS ili PMOS
- Redukcija promene transkonduktanse u opsegu napona napajanja se može postići pomoću dodatnih kola za polarizaciju ulaznih stepena diferencijalnog pojačavača



Folded cascode OTA:

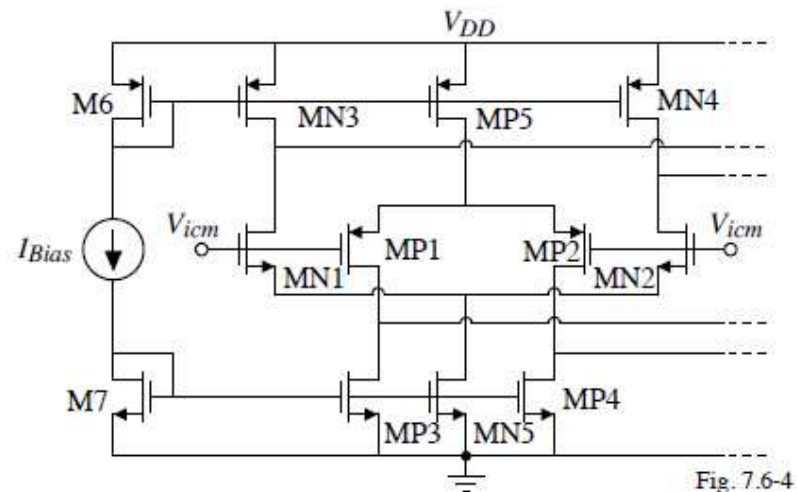


Fig. 7.6-4

Radioje Đurić, 2020, Analogna integrisana kola

Tehnike za N-P komplementarne Rail-to-Rail diferencijalne ulazne stepene

1. Sa ulaznim tranzistorima koji rade u slaboj inverziji, koristeći strujno komplementarno kolo da bi se zadržao zbir I_n i I_p konstantnim

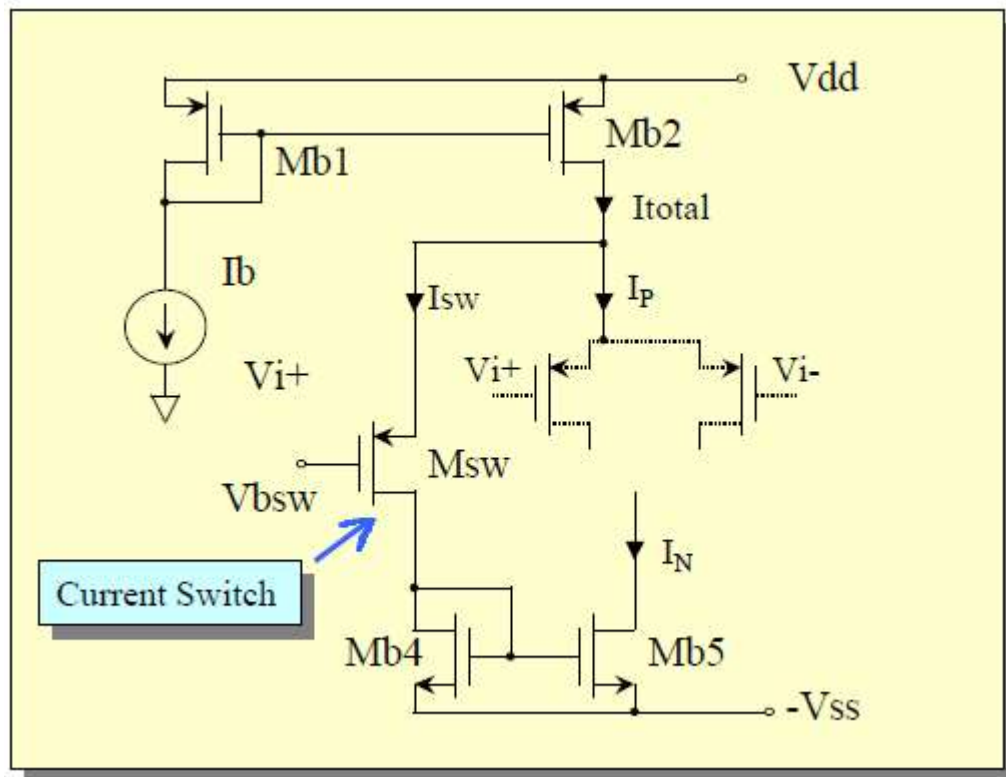
Ideja:

$$I_{Dwi} = \frac{W}{L} I_{D0} e^{\frac{V_{GS}}{nV_T}}$$

$$g_{mwi} = \frac{\partial I_{Dwi}}{\partial V_{GS}} = \frac{W}{L} \frac{I_{D0}}{nV_T} e^{\frac{V_{GS}}{nV_T}} = \frac{I_{Dwi}}{nV_T} = kI_{Dwi}$$

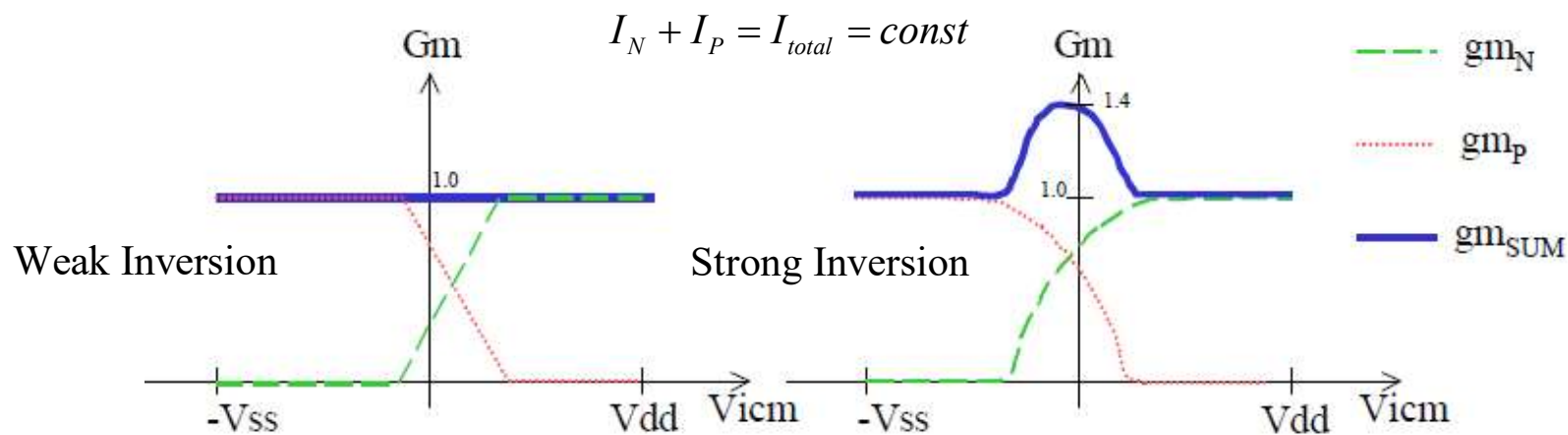
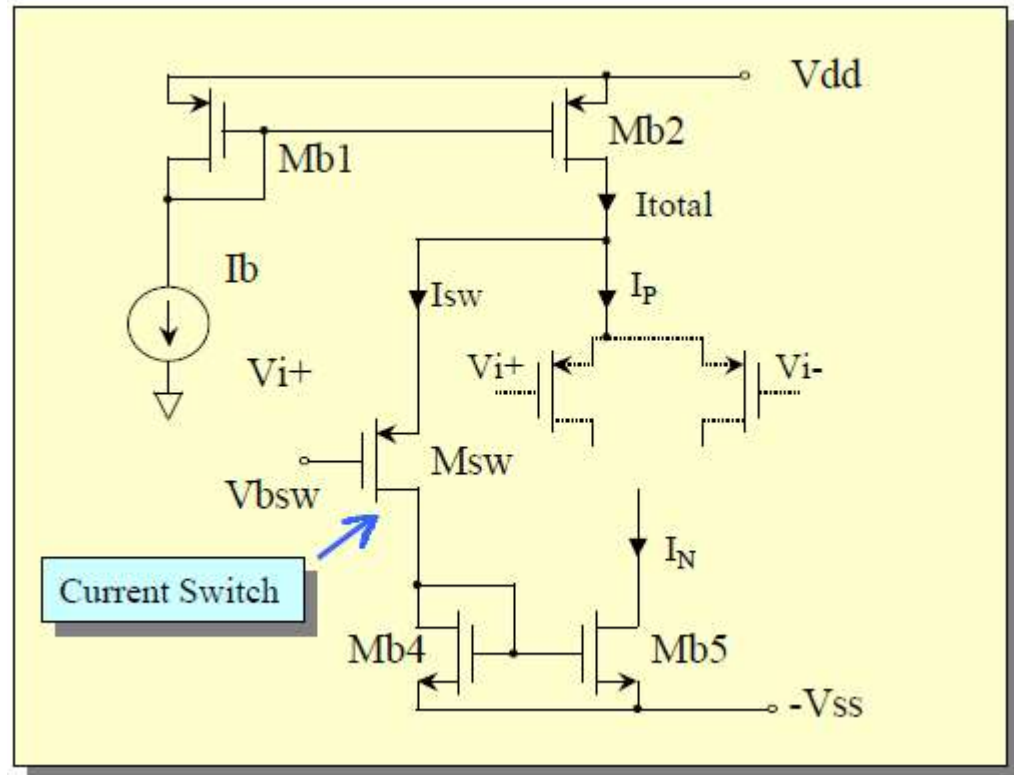
Ukupna transkonduktansa:

$$g_{mT} = g_{mN} + g_{mP} = k(I_N + I_P)$$

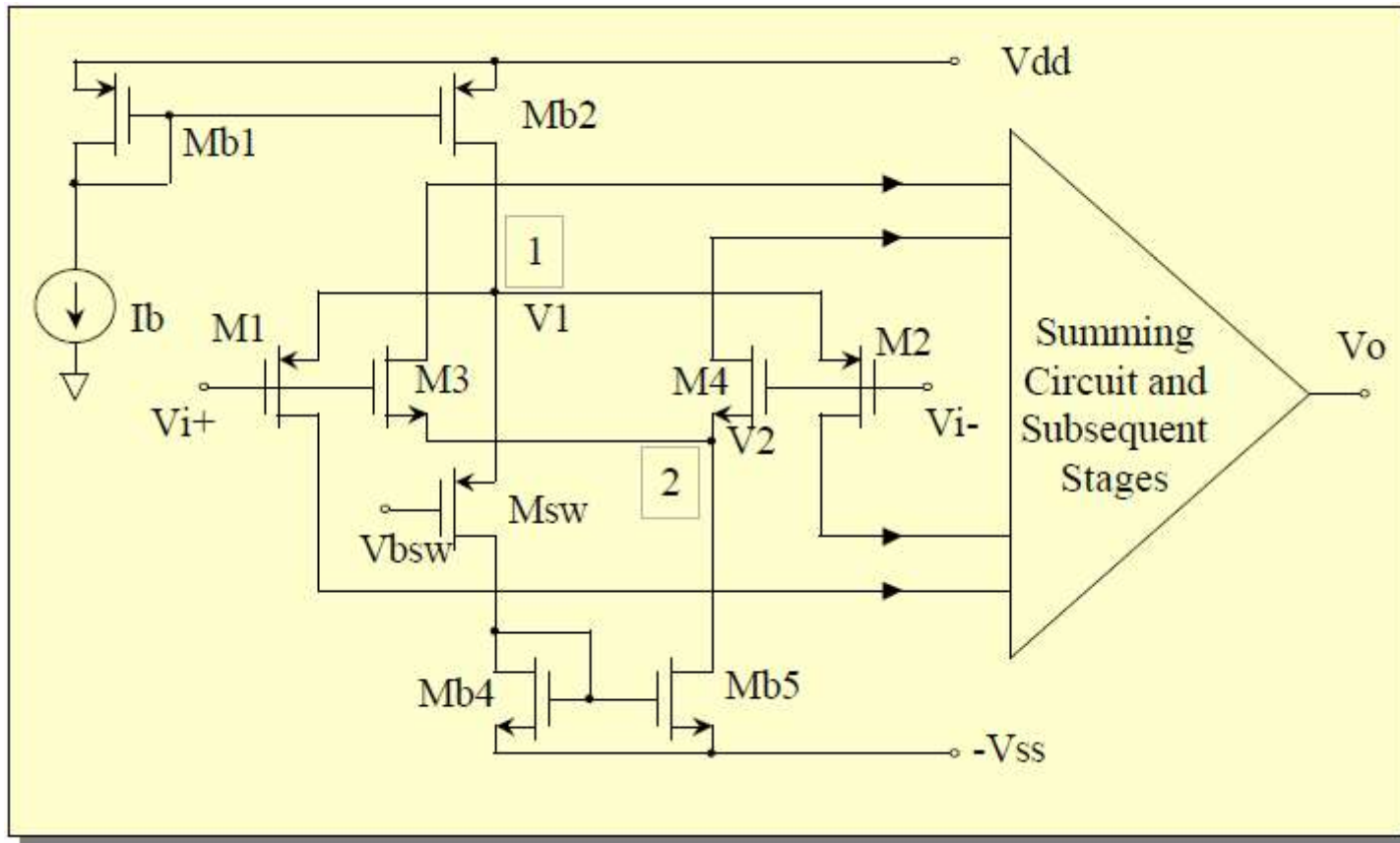


- Ukupna transkonduktansa je proporcionalna zbiru struja koje napajaju N I P diferencijalne stepene.
- Mb4 i Mb5 mirorišu struju tranzistora Msw, koji se uključuje pri određenom naponu napona srednje vrednosti na ulazu i obezbeđuje napajanje N-diferencijalnom paru tranzistora.
- Podešavanjem napona Vbsw se obezbeđuje da Mb2 uvek radi u zasićenju sa približno konstantnom strujom Itotal.

- MSW radi kao strujni prekidač
- Kada je ulazni napon zajedničkog signala V_{iCM} blizu V_{dd} , P-diferencijalni par se isključuje, struja tranzistora Mb2, I_{total} se preusmerava na Msw, a zatim se preslikavaju preko Mb4 i Mb5, do struje za napajanje ulaznog N-diferencijalnog para.
- Kada je V_{iCM} blizu negativnog napajanje $-V_{ss}$, prekidač Msw se isključuje, a struja I_{total} napaja samo ulazni P-diferencijalni par tranzistora.
- Kada provode oba diferencijalna para tranzistora, deo struje I_{total} teče u P-diferencijalni par, a ostatak u Msw, odnosno u N-diferencijalni par.



•Kompletno kolo



- ✓ Rail-to-rail transkonduktansa je konstantna samo kada ulazni parovi tranzistora rade u oblasti slabe inverzije.
- ✓ Kada ulazni tranzistori rade u jakoj inverziji, transkonduktansa se menja za faktor $1.4 (\sqrt{2})$ kada provode oba diferencijalna para tranzistora
- ✓ Pošto je transkonduktansa konstantna samo u oblasti slabe inverzije, ova konfiguracija se može primeniti samo kod pojačavača sa malim **GBW**.

2. Korišćenje square root kola za održavanje sume $\sqrt{I_p} + \sqrt{I_n}$ konstantnom

- Jaka inverzija

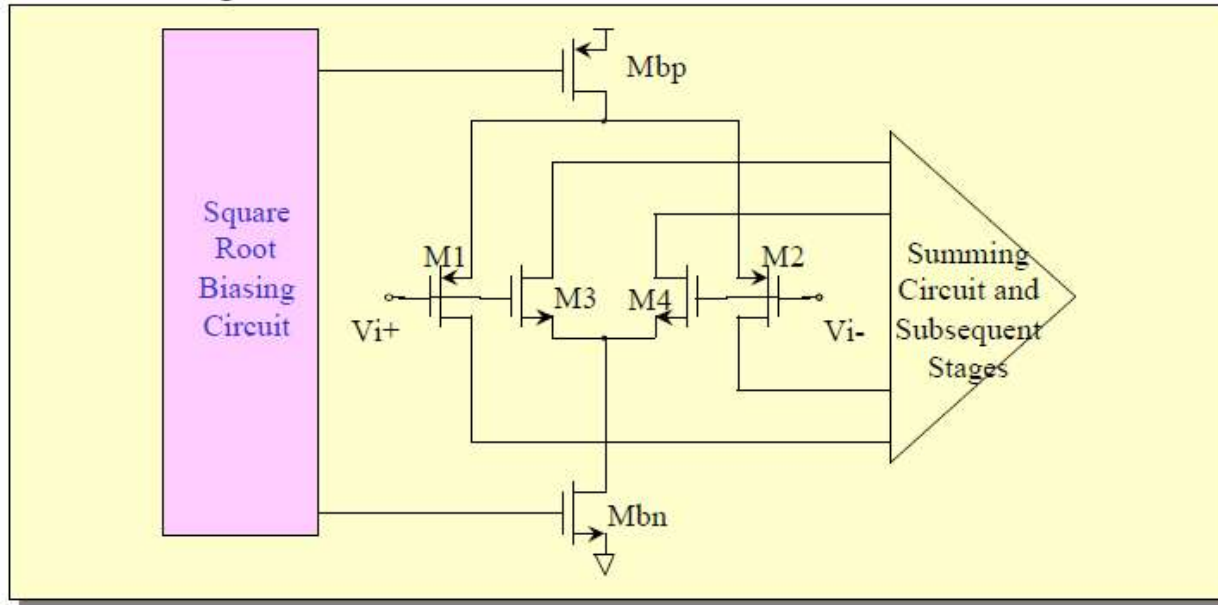
$$g_m = \sqrt{2K_P(W/L)I_D} = \sqrt{K_P(W/L)I_{TAIL}}$$

- Ukupna transkonduktansa u jakoj inverziji

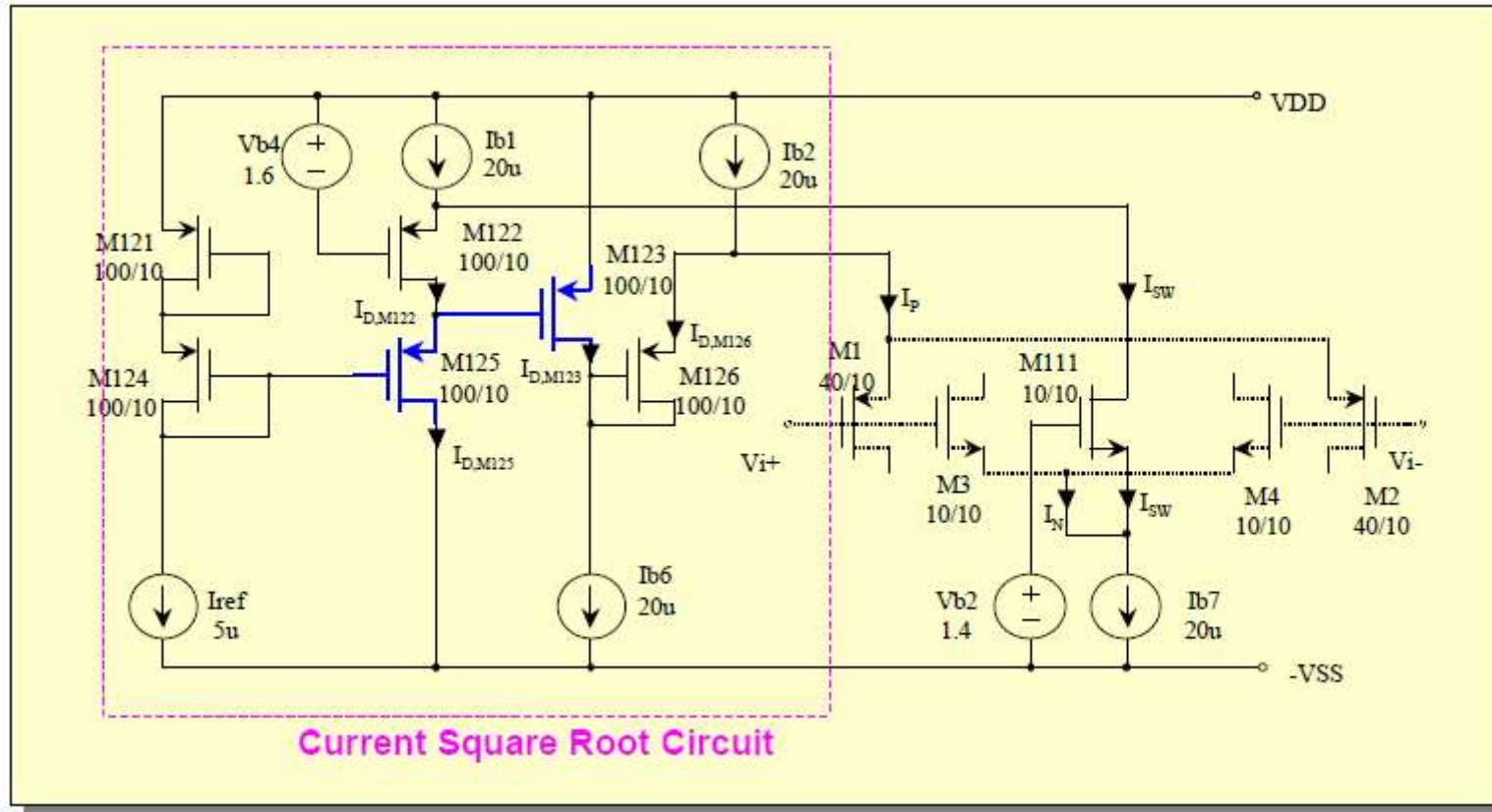
$$g_{mT} = g_{mN} + g_{mP} = \sqrt{K_{P_N}(W/L)_N I_N} + \sqrt{K_{P_P}(W/L)_P I_P}$$

$$\text{If } K_{P_N}(W/L)_N = K_{P_P}(W/L)_P = 2K \quad g_{mT} = g_{mN} + g_{mP} = \sqrt{2K}(\sqrt{I_N} + \sqrt{I_P})$$

- Za održavanje g_{mT} konstantnim, potrebno je da se $\sqrt{I_p} + \sqrt{I_n}$ ne menja sa promenom napona srednje vrednosti



- Square root kolo za polarizaciju.



Analiza:

$$1. V_{SG123} + V_{SG125} = V_{SG121} + V_{SG124} = \text{const}$$

$$V_{SG} = |V_{TP}| + \sqrt{\frac{2I_D}{\mu_p C_{ox} (W/L)}} \quad (W/L)_{123} = (W/L)_{125} = W/L$$

$$|V_{TP}| + \sqrt{\frac{2I_{D123}}{\mu_p C_{ox} (W/L)}} + |V_{TP}| + \sqrt{\frac{2I_{D125}}{\mu_p C_{ox} (W/L)}} + |V_{TP}| = const$$

$$\sqrt{I_{D123}} + \sqrt{I_{D125}} = const_2$$

$$2. I_N + I_{SW} = I_{b7} = I_b, I_{D122} + I_{SW} = I_{b1} = I_b, I_{D122} = I_{D125} \Rightarrow I_N = I_{D125}$$

$$3. I_{D123} + I_{D126} = I_{b6} = I_b, I_{D126} + I_P = I_{b2} = I_b \Rightarrow I_P = I_{D123}$$

$$g_{mN} + g_{mP} = \sqrt{I_N B_N} + \sqrt{I_P B_P} = \sqrt{B} (\sqrt{I_N} + \sqrt{I_P}) = \sqrt{B} (\sqrt{I_{D125}} + \sqrt{I_{D123}}) = const$$

Ako su tranzistori M_{121} - M_{124} istih geometrija, tada je

$$(\sqrt{I_{D125}} + \sqrt{I_{D123}}) = 2\sqrt{I_{REF}}$$

Princip rada:

✓ Tranzistori su u jakoj inverziji i rade u zasićenju

✓ Square-root kolo M_{121} - M_{125} održava sumu kvadratnih korenova struja za napajanje diferencijalnih parova (N i P) konstantnim, samim tim i konstantnu ukupnu transkonduktansu g_{mT} .

✓ Strujni prekidač, M_{111} , poredi common-mode ulazni napon sa naponom V_{b3} i na osnovu toga odlučuje koji deo struje I_{b7} treba proslediti square-root kolu.

✓ U opsegu common-mode ulaznog napona od V_{dd} do $-V_{ss}+1.8V$ samo N-diferencijalni par je aktivan. Strujni prekidač M_{111} je isključen, a tail current N-diferencijalnog para jednaka je $I_{b7}=4I_{ref}=20\mu A$.

✓ Suma napona V_{GS123} i V_{GS125} jednaka je referentnom naponu koji je jednak zbiru konstantnih napona V_{GS121} i V_{GS124} . Pošto je struja drejna M_{125} jednaka I_N a struja drejna M_{123} jednaka struji I_P kojom se napaja P-kanalni diferencijalni par.

✓Kada su M121-M125 uparenih karakteristika, tada je

$$\sqrt{I_P} = 2\sqrt{I_{ref}} - \sqrt{I_N}$$

✓Kada je ulazni common-mode napon uopsegu $-V_{ss}+1.2V$ do V_{ss} samo P-kanalni diferencijalni par je aktivan. U ovom opsegu struja $I_{b7}=4I_{ref}=20\mu A$ prolazi kroz strujni prekidač square-root kola. Struja drejna M125 približno je nula, što znači da je $V_{GS} < V_{TH}$.

✓Kada je struja drejna M123 veća od $4I_{ref}=20\mu A$, strujni limiter M126 ograničava struju drejna M123 na $4I_{ref}=20\mu A$ i usmerava je ka P-kanalnom ulaznom paru tranzistora.

✓Transkonduktansa ulaznog stepena, a samim tim i jedinična učestanost pojačanja, je konstantna unutar velikog opsega ulaznih napona srednje vrednosti.

$$g_m = 2\sqrt{2KI_{REF}}, K = K_P = K_N = \mu_n C_{ox} (W/L)_N$$

✓Kolo za sumiranje pretvara razliku struja komplementarnih diferencijalnih pojačavača na ulazu u izlazni napon.

Discussion:

•Funktionalnost kola se oslanja na kvadratnu zavisnost MOS tranzistora. Za tranzistore sa kratkim kanalom struja drejna je kvadratna funkcija pri malim overdrive-ovima, što može dovesti do velike greške kada su overdrive-ovi veći.

3. Korišćenje strujnih prekidača za promenu struje polarizacije diferencijalnih pojačavača

- Kada je tranzistor sa dugim kanalom i radi u zasićenju

$$I_D = K (V_{GS} - V_T)^2, g_m = 2\sqrt{KI_D}$$

- Smatrajući da je za NMOS i PMOS diferencijalni par tranzistora,

$$K_N = \mu_n C_{ox} (W/L)_N = K_P = \mu_p C_{ox} (W/L)_P, I_{Ntail} = I_{Ptail} = I_{TAIL}$$

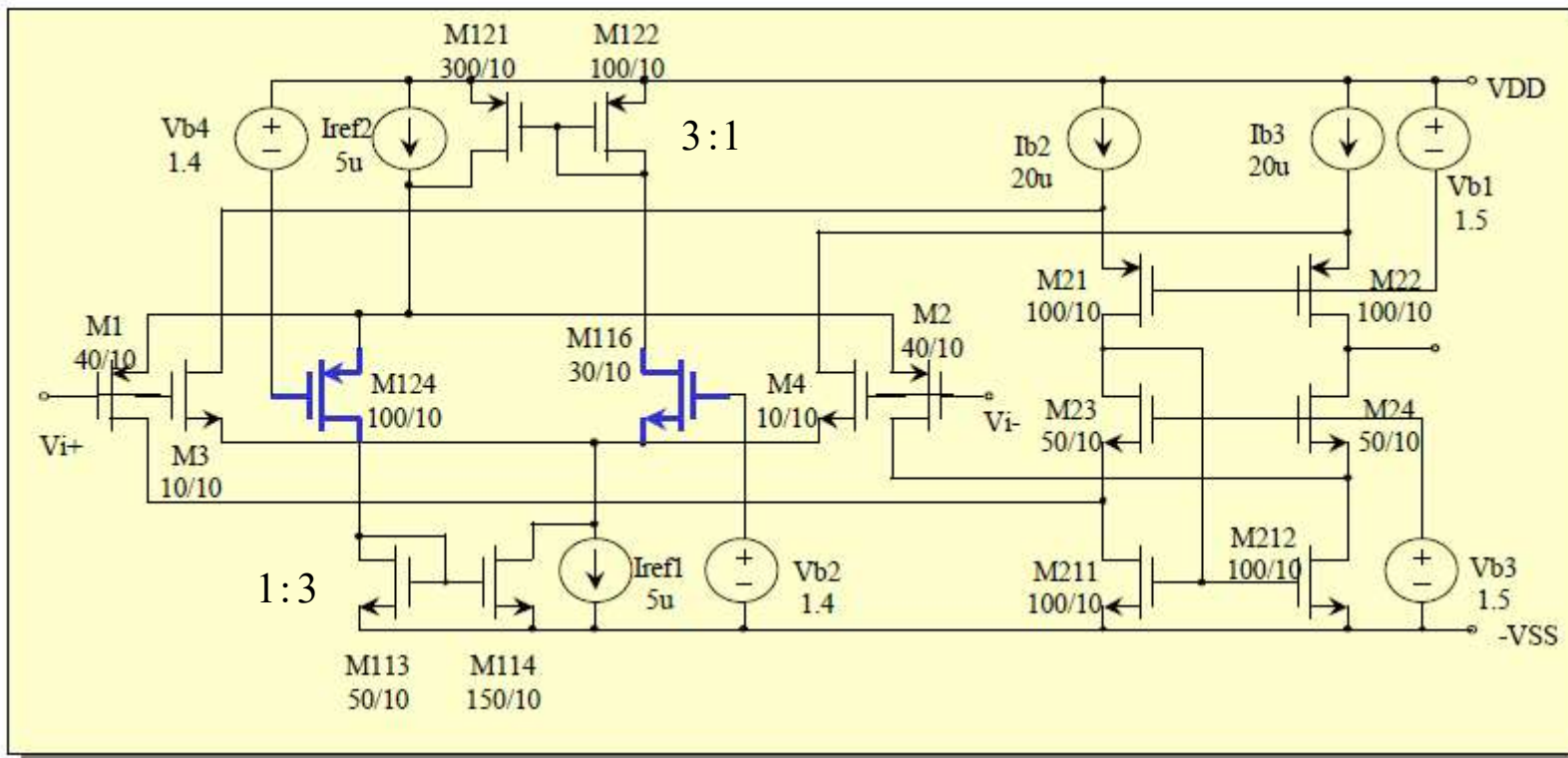
- Kada je ulazni CM napon u srednjem opsegu (oba diferencijalna pojačavača su aktivna), totalna transkonduktansa je

$$g_{mT} = g_{mN} + g_{mP} = 2\sqrt{2KI_{TAIL}}$$

- Kada je ulazni common mode napon blizu pozitivnom naponu napajanja V_{dd} , NMOS diferencijalni je aktivan. Kada je ulazni common mode napon blizu $-V_{ss}$, PMOS diferencijalni je aktivan. U oba slučaja, totalna transkonduktansa je samo polovina vrednosti kada oba diferencijalna tranzistora provode

$$g_{mT} = g_{mN} = g_{mP} = \sqrt{2KI_{TAIL}}$$

- Da bi se izjednačile transkonduktanse u sva tri slučaja potrebno je povećati struju koja napaja pojedinačne diferencijalne pojačavača 4 puta!**



- Povećanje struje polarizacije diferencijalnog pojačavača kada je aktivan, a komplementarni diferencijalni pojačavač je neaktivan.
- Tri opsega u zavisnosti od vrednosti ulaznog napona V_{icm} :
 - 1) NMOS diferencijalni isključen, PMOS diferencijalni aktivan

$$V_{icm} < V_{onn}, I_p = 4I_b$$

$$g_{meff} = \sqrt{k_p W_P / L_P} 2\sqrt{I_b}$$

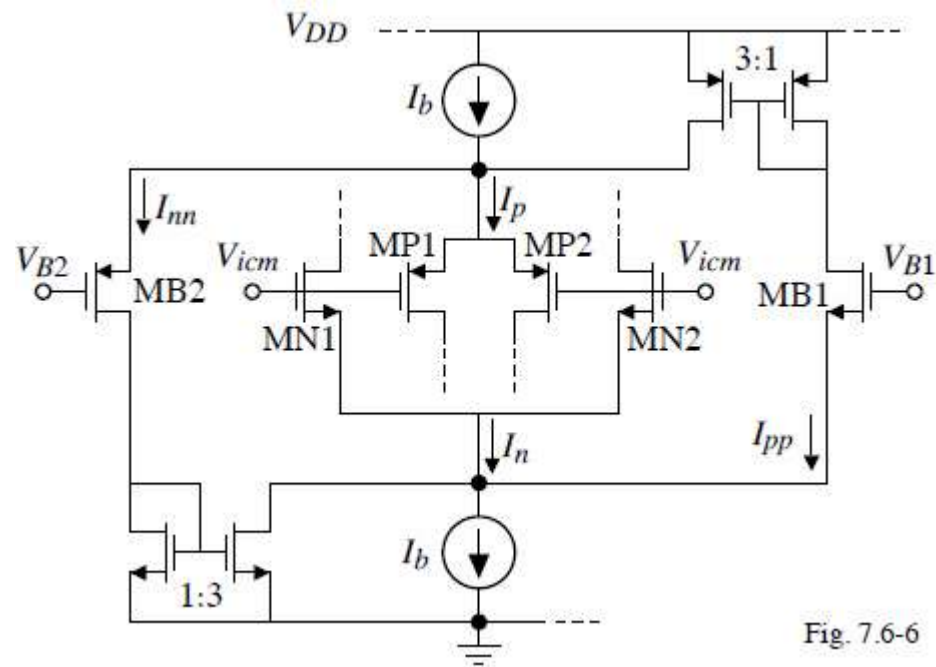


Fig. 7.6-6

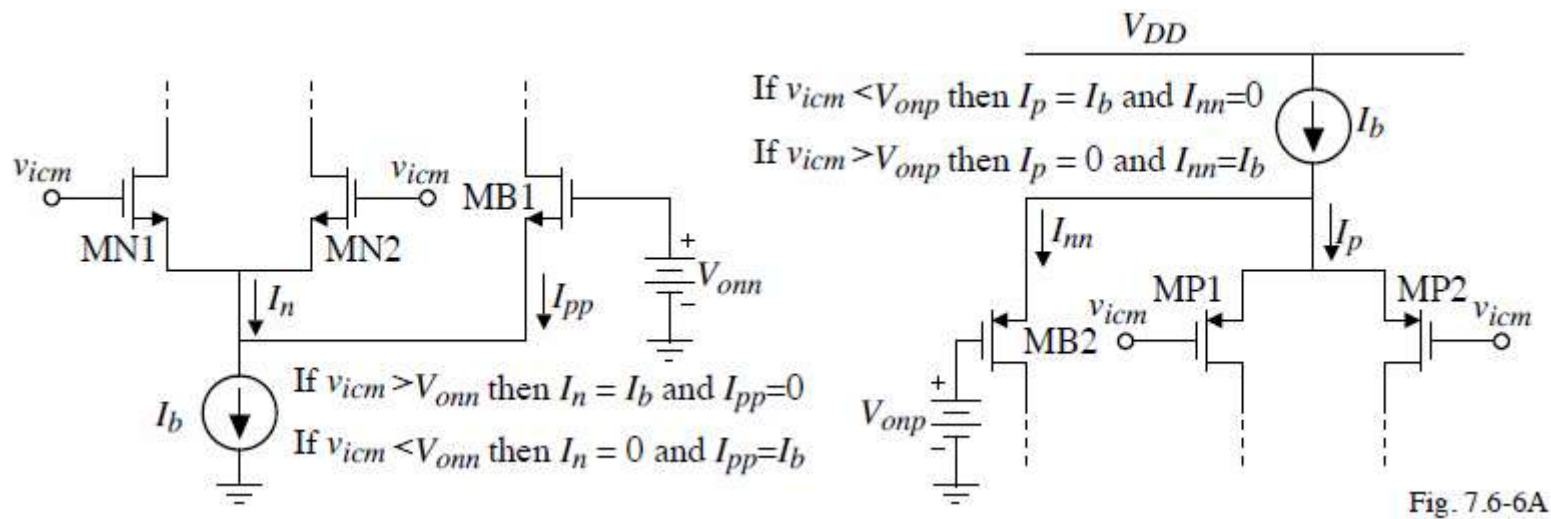


Fig. 7.6-6A

2) PMOS diferencijalni isključen, NMOS diferencijalni aktivan

$$V_{icm} > V_{onp}, I_n = 4I_b$$

$$g_{meff} = \sqrt{k_n W_N / L_N} 2\sqrt{I_b}$$

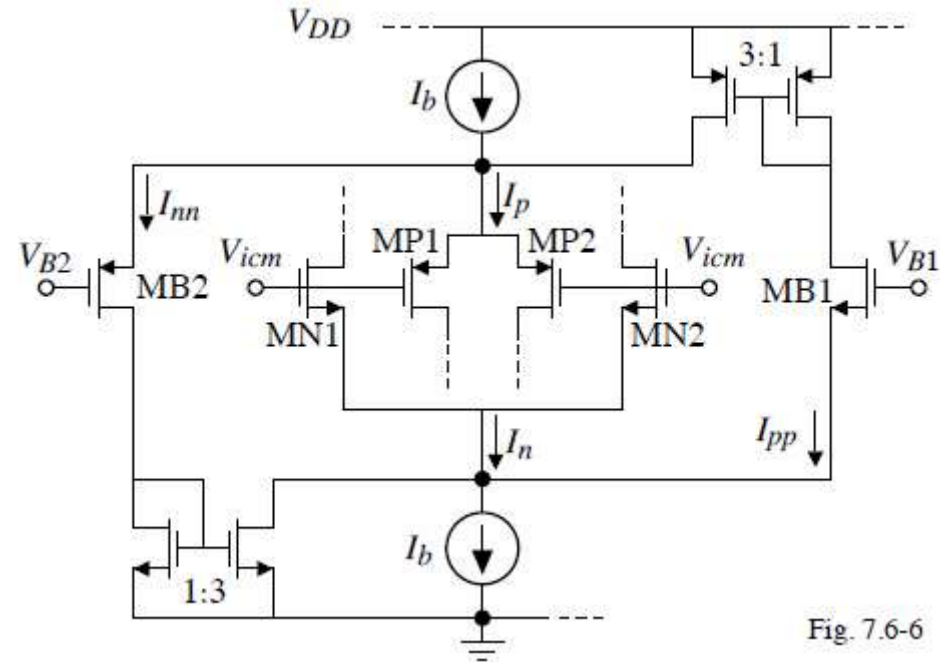


Fig. 7.6-6

3) PMOS diferencijalni aktivan, NMOS diferencijalni aktivan

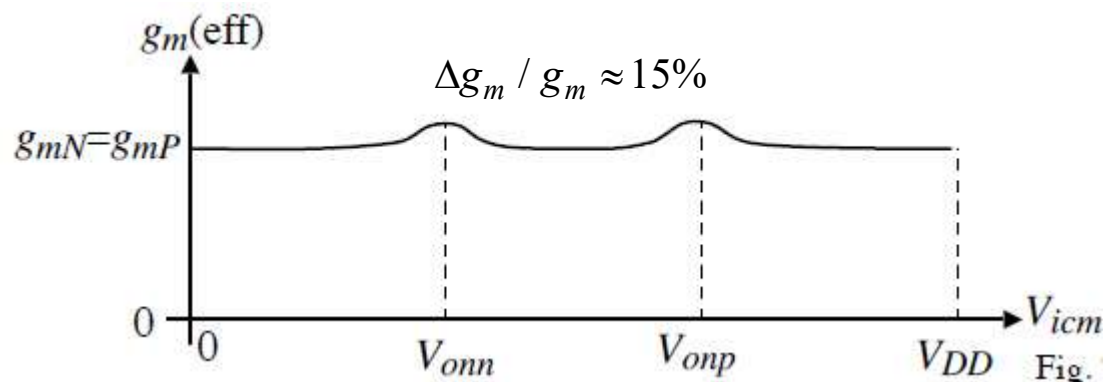
$$V_{onp} < V_{icm} < V_{onn}, I_n = I_p = I_b$$

$$g_{meff} = \left(\sqrt{k_n W_N / L_N} + \sqrt{k_p W_P / L_P} \right) \sqrt{I_b}$$

$$g_{mn} = \sqrt{k_n W_N / L_N} \sqrt{I_b} = g_{mp} = \sqrt{k_p W_P / L_P} \sqrt{I_b} \Rightarrow g_{meff} = \sqrt{k_n W_N / L_N} 2\sqrt{I_b}$$

$$k_p W_P / L_P = k_n W_N / L_N \Rightarrow g_{meff} = 2g_m = g_{mn} + g_{mp} \neq f(V_{icm})$$

Rezultat:



- Kada je common mode napon između $V_{ss}+1.3V$ i $V_{ss}+1.5V$, tranzistor M_{B1} provodi deo struje, dok ostatak struje za napajanje diferencijalnog pojačavača prolazi kroz $M3$ i $M4$ i označićemo je sa $I_n=I_x$. Tada je struja $I_{pp}=I_b-I_x$, dok je struja za napajanje PMOS diferencijalnog para $I_p=I_b+3(I_b-I_x)$.
- Ukupna transkonduktansa diferencijalnog ulaynog stepena je

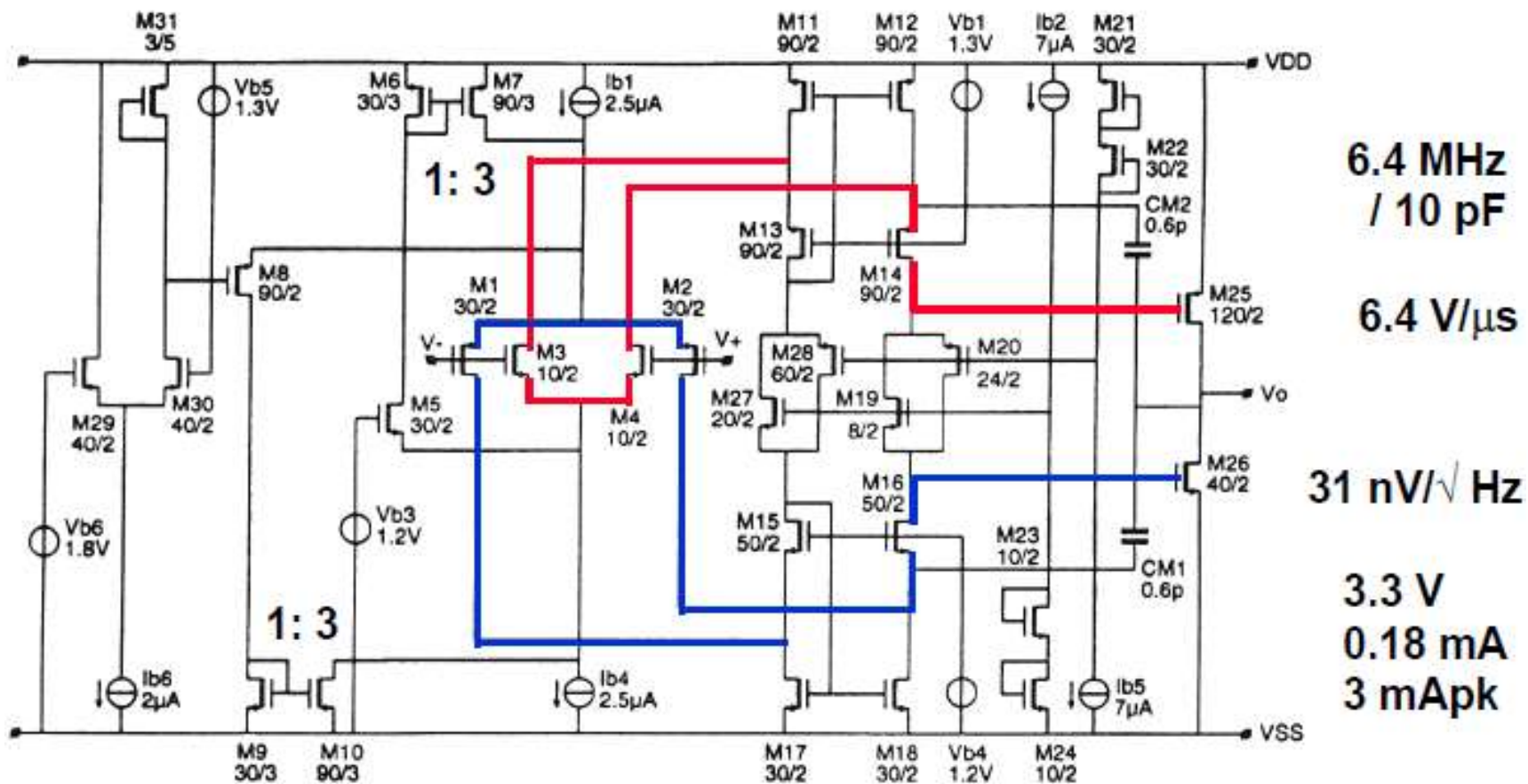
$$g_{mT} = \sqrt{2K} \left(\sqrt{I_x} + \sqrt{I_b + 3(I_b - I_x)} \right)$$

- Prethodni izraz ima maksimalnu vrednost kada je

$$I_x = I_b / 3 \Rightarrow g_{mT} = g_{mT \max} = \sqrt{2KI_b} \left(\sqrt{\frac{1}{3}} + \sqrt{3} \right) = 2.31\sqrt{2KI_b} = 2\sqrt{2KI_b} (1 + 15.5\%)$$

- Maksimalno odstupanje od nominalne vrednosti transkonduktanse je 15.5%

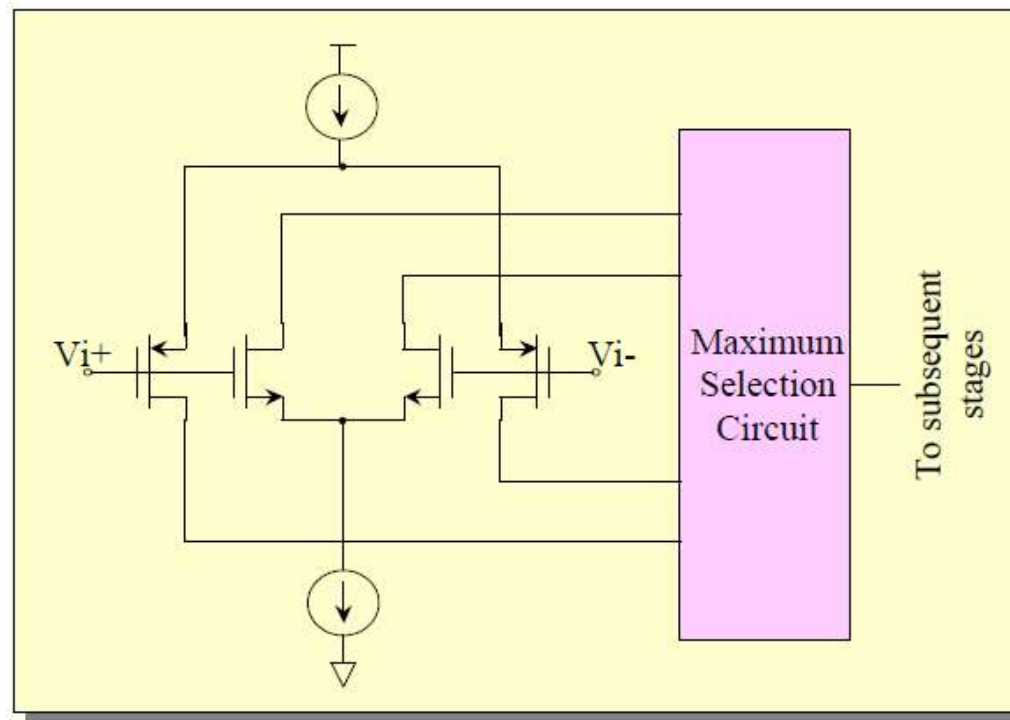
R. Hogervorst, J. P. Tero, R. G. H. Eschauzier, and J. H. Huijsing, A compact power-efficient 3 V CMOS rail-to-rail input/output operational amplifier for VLSI cell libraries, IEEE Journal of Solid-State Circuits, vol. 29, pp. 1505 – 1513, Dec. 1994.



4. Korišćenje kola za selektovanje maksimalne/minimalne vrednosti struje

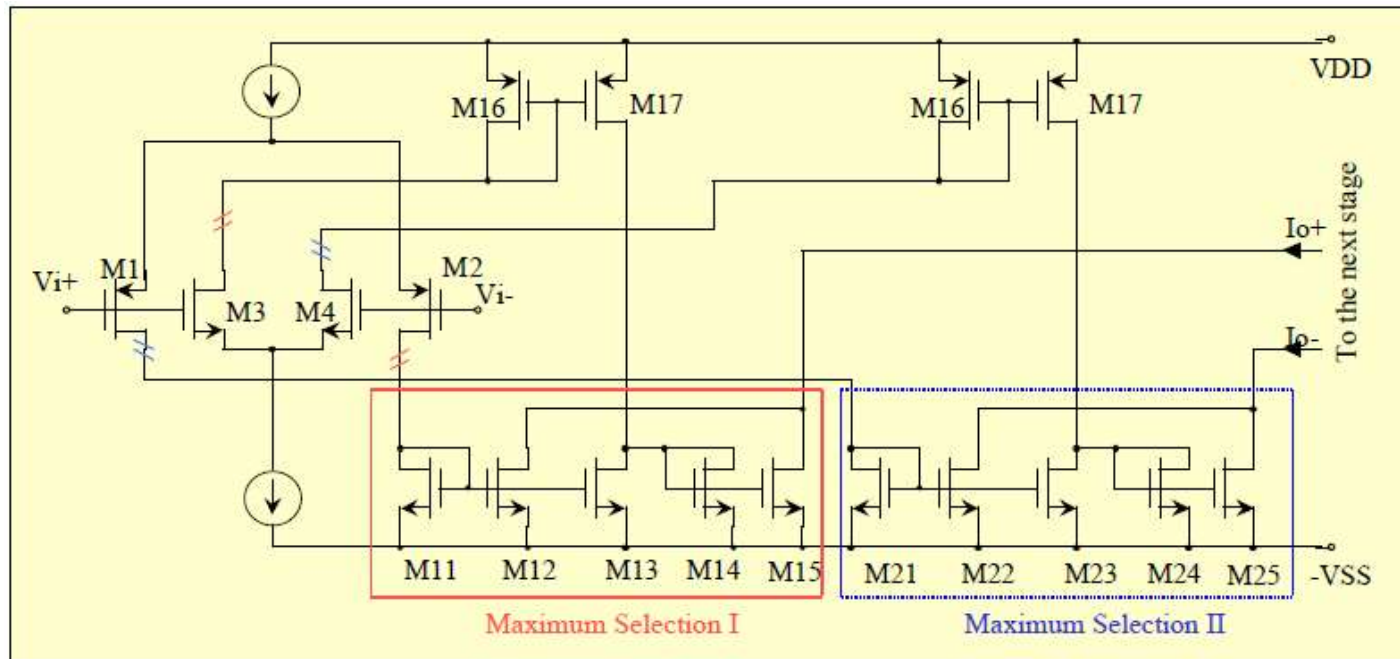
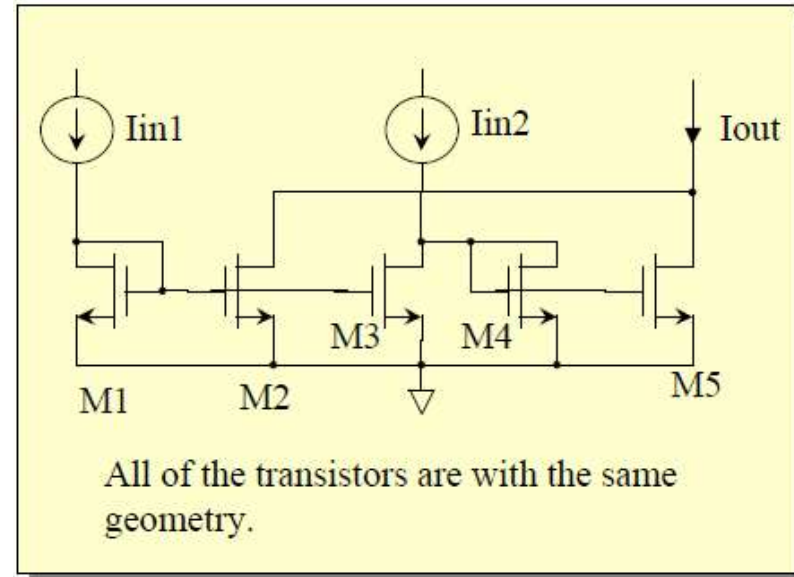
Osnovna ideja:

- Zbog common mode napona na ulazu, tranzistor u strujnom ogledalu (NMOS ili PMOS diferencijalnog para) ulazi u triodnu oblast i ima znatno manju struju u odnosu na komplementarni diferencijalni par.
- Diferencijalni par, bilo NMOS ili PMOS, sa većom strujom (kod koga su svi tranzistori u zasićenju) treba da prosleđuje pojačani signal sledećem stepenu, a preostali diferencijalni par sa manjom strujom ne treba.
- Selekcija se radi na izlazu diferencijalnih pojačavača, a ne na njihovom ulazu



Kolo za selekciju maksimalne struje:

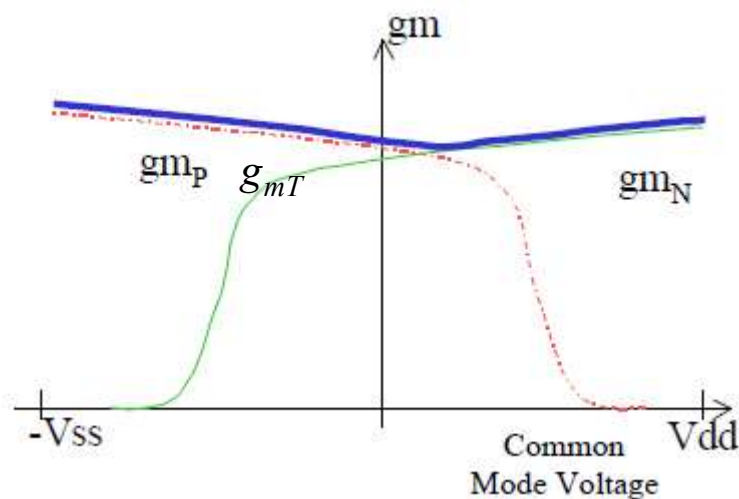
- Kada je $I_{in1} > I_{in2}$, M2 i M3 pokušavaju da preslikavaju struju I_{in1} , ali pošto je $I_{in2} < I_{in1}$, nema dovoljno struje da M3 radi u zasićenju, pa je on u omskoj oblasti sa malim naponom V_{DS} . Zbog toga su M4 i M5 zakočeni., pa je $I_{out} = I_{D2} = I_{in1}$
- Kada je $I_{in2} > I_{in1}$, $I_{D2} = I_{D3} = I_{in1}$, $I_{D4} = I_{D5} = I_{in2} - I_{in1}$. $I_{out} = I_{D5} + I_{D2} = I_{in1} + (I_{in2} - I_{in1}) = I_{in2}$
- Ulazni stepen sa selektorom maksimalne vrednosti struje



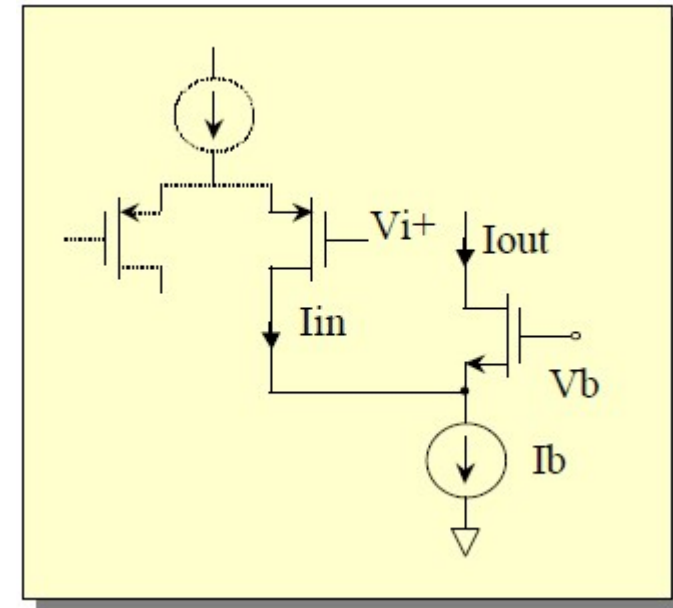
Radioje Đurić, 2020, Analogni integrisana kola

Princip rada:

- Kada se primeni pozitivni diferencijalni ulazni napon između V_{i+} i V_{i-} , struja drejna M1(PMOS) i M4(NMOS) će se smanjiti, dok će se struja drejna M2(PMOS) i M3(NMOS) povećati. Koristimo struju M2 i preslikanu struju M3 u kolu Maximum Selection Circuit I, i struju M1 i preslikanu struju M4 u kolu Maximum Selection Circuit II.
- Kada je ulazni CM napon blizu naponu V_{dd} , struja polarizacije PMOS para opada, a kolo za izbor maksimuma prosleđuje struju drejna NMOS diferencijalnog para do izlaza.
- Kada je ulazni CM napon blizu naponu $-V_{ss}$, struja polarizacije NMOS para opada, a kolo za izbor maksimuma prosleđuje struju drejna PMOS diferencijalnog para do izlaza.
- Na izlazu uvek imamo veću struju od 2 ulazna diferencijalna para, odnosno veće g_m .



- Postoji još jedna konfiguracija koja koristi folded cascode i selekciju minimuma struje kako bi se dobio maksimalni gm.
- Kod folded cascode diferencijalnog pojačavača, kada I_{in} ima maksimalnu vrednost, izlazna struja I_{out} će biti minimalna. Zbog toga za folded cascode treba kolo za selekciju minimuma, umesto maksimuma na ulazu.

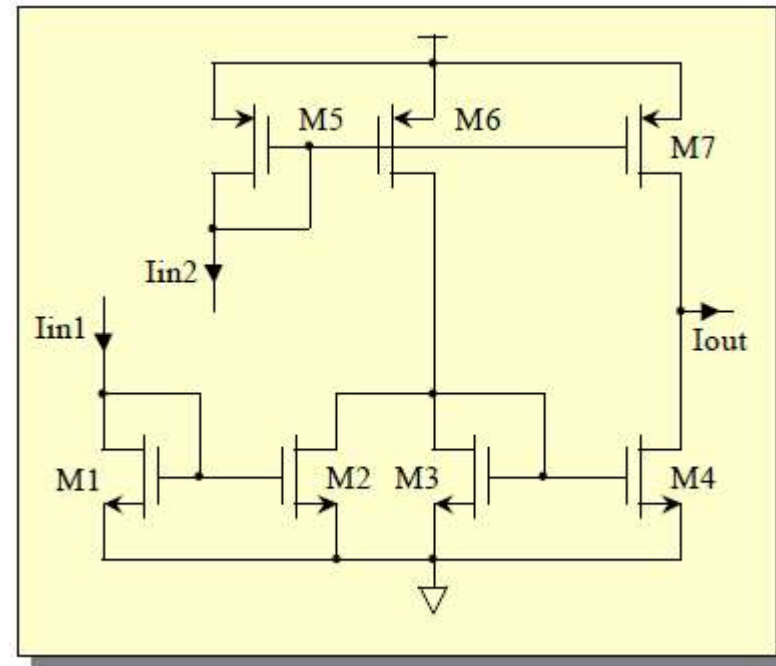


•Kolo za selekciju minimuma ulaznih struja:

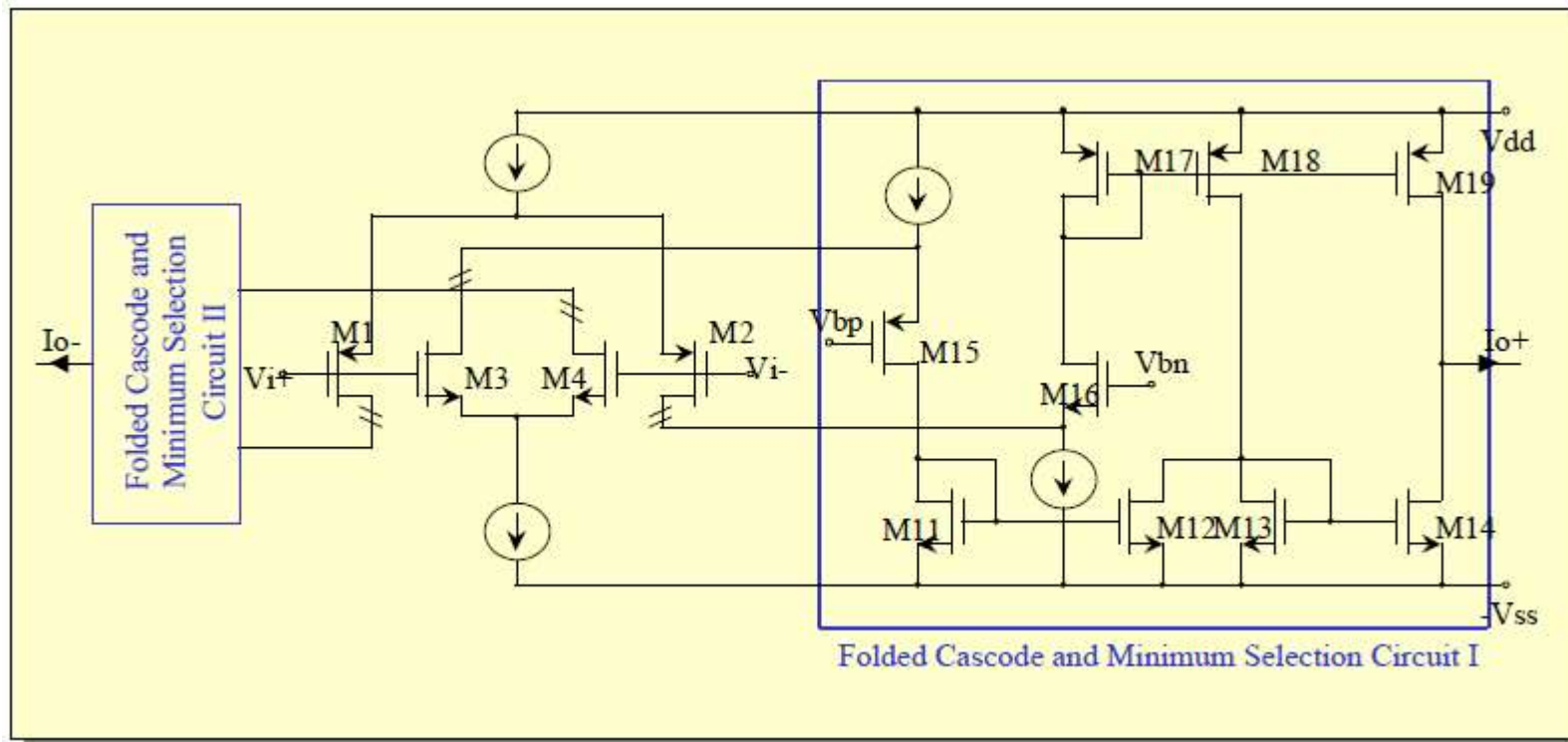
✓Svi NMOS i svi PMOS tranzistori su sa istim geometrijama.

✓Kada je $I_{in2} < I_{in1}$, $I_{D5} = I_{D6} = I_{D7} = I_{in2}$, M_2 radi u omskoj oblasti, M_3 i M_4 su zakočeni, $I_{out} = I_{D7} = I_{in2}$.

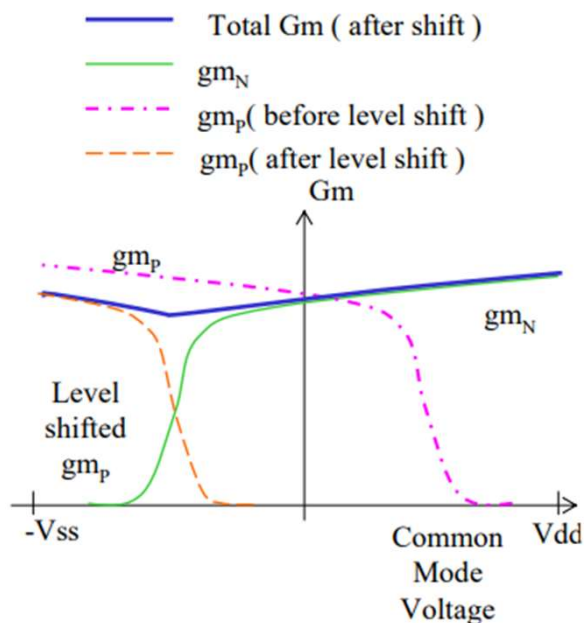
✓Kada je $I_{in1} < I_{in2}$, $I_{D5} = I_{D6} = I_{D7} = I_{in2}$, $I_{D1} = I_{D2} = I_{in1}$, $I_{D4} = I_{D3} = I_{in2} - I_{in1}$, $I_{out} = I_{D7} - I_{D4} = I_{in2} - (I_{in2} - I_{in1}) = I_{in1}$.



- Ulazni diferencijalni folded cascode stepen i kolo za detekciju minimalne struje



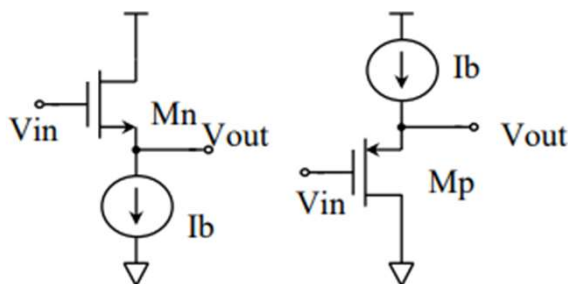
5. Korišćenje kola za pomeranje CM napona



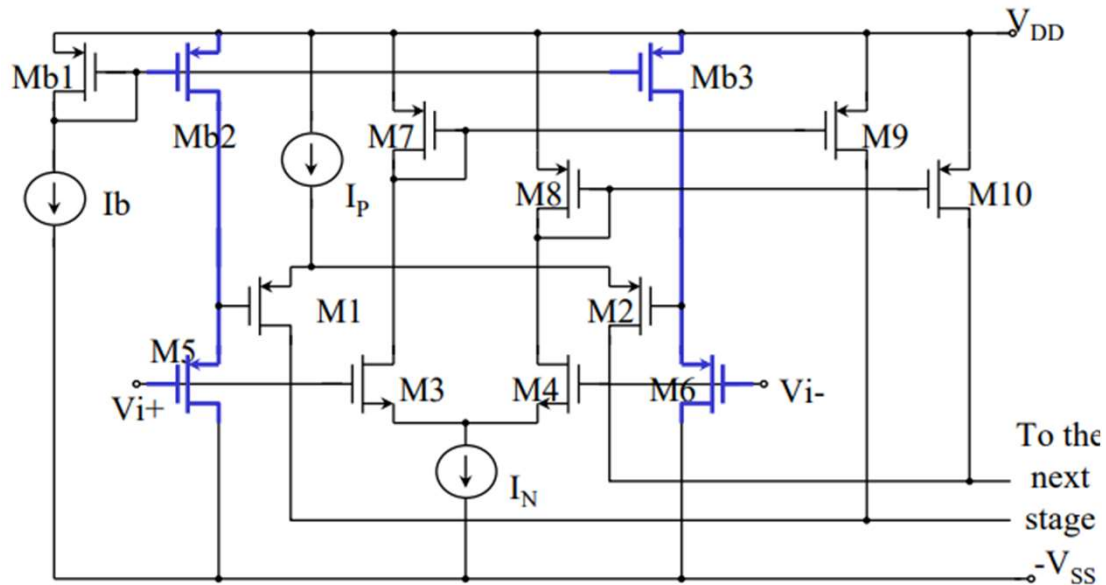
Osnovna ideja:

- Transkonduktansa se povećava dva puta u oblasti kada NMOS i PMOS diferencijalni par provode struju, u odnosu
- Kada bi se jedan diferencijalni par (PMOS) isključivao kada se NMOS uključuje, tada bi, u idealnom slučaju, transkonduktansa bila konstantna

Jednostavna kola za pomeranje DC nivoa:

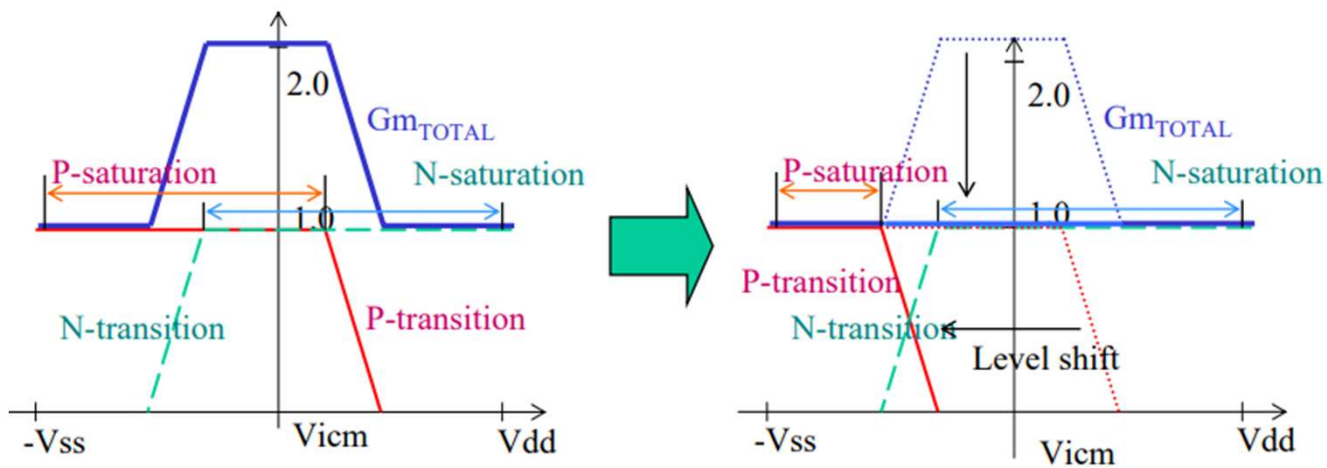


Realizacija:



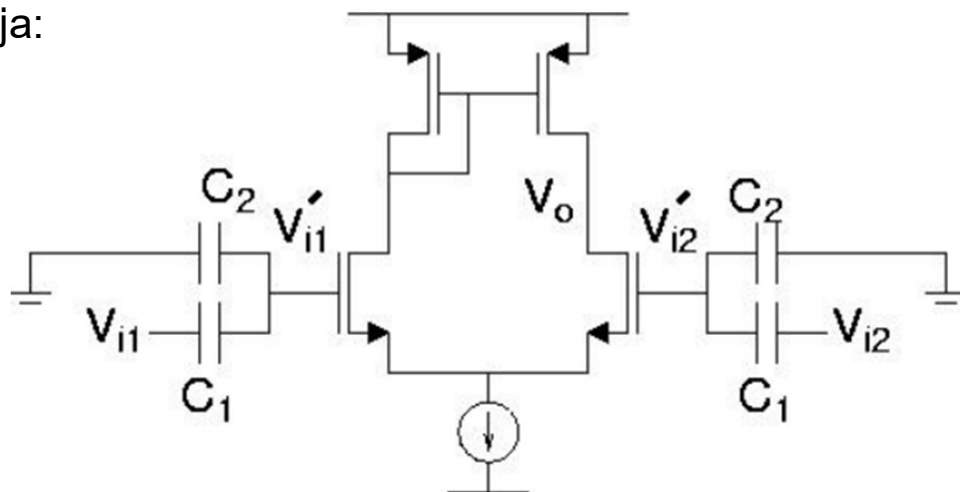
- Problem sa promenom napona praga zahteva kolo za auto-bias

Princip rada:



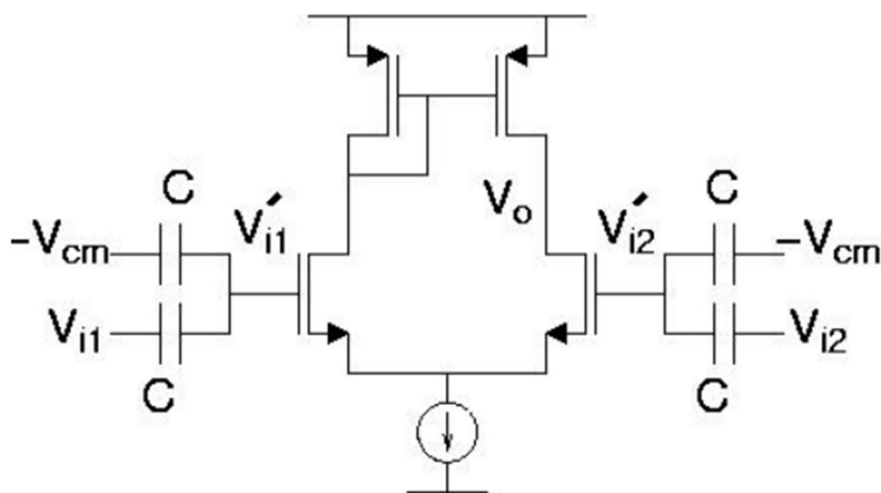
- Generalni problem kod prethodnih ulaznih kola sa dva diferencijalna para je razdešenost parametara, degradacija CMRR i povećanje nelinearnosti
- Kada bi se koristio jedan diferencijalni par sa automatskim podešavanjem CM napona, većina prethodnih problema bila bi rešena

Ideja:



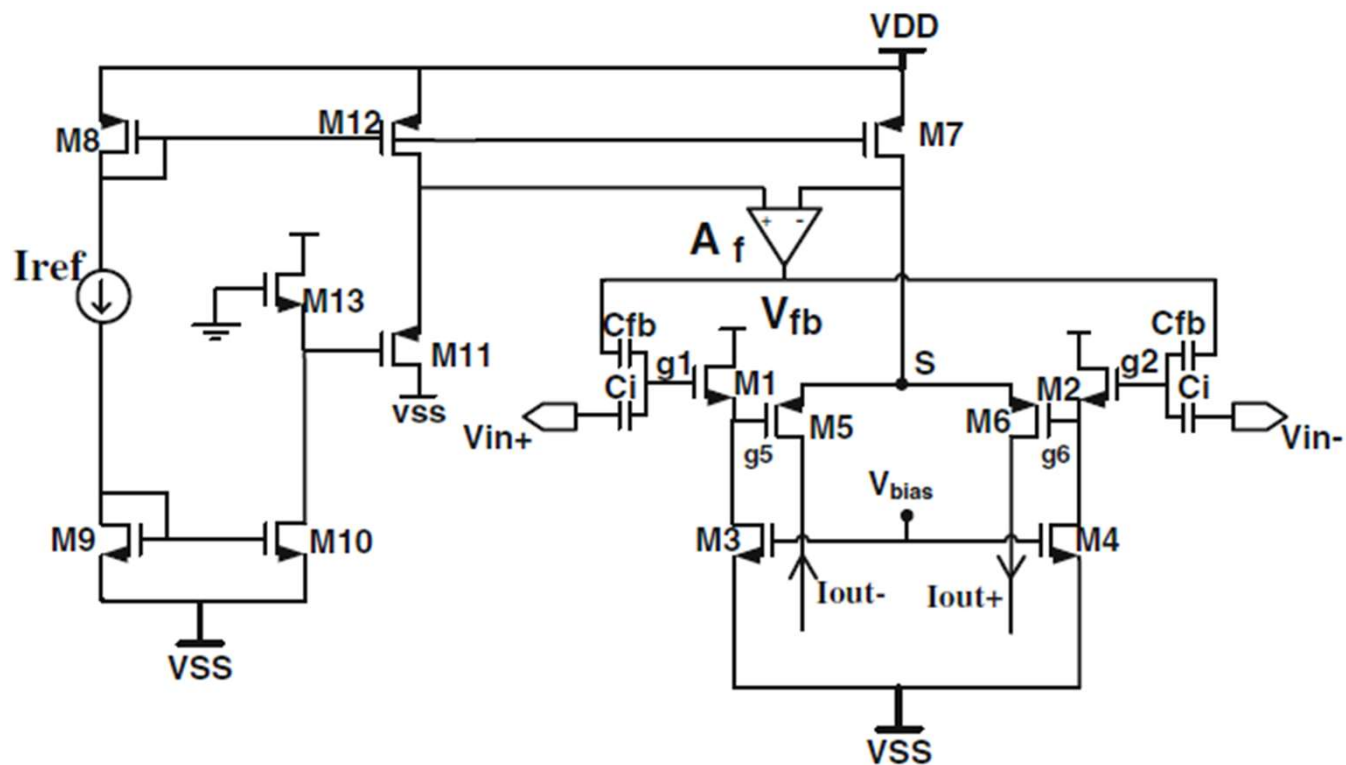
$$v_{in} = v_{cm} + v_{dm}$$

$$v'_{in} = \frac{C_1}{C_1 + C_2} v_{cm} + \frac{C_1}{C_1 + C_2} v_{dm}$$



$$v'_{in} = \frac{1}{2} v_{cm} + \frac{1}{2} v_{dm} - \frac{1}{2} v_{cm} = \frac{1}{2} v_{dm}$$

Izdvajanje CM napona:



$$v_{g1} = \frac{C_i V_{in+} + C_{fb} V_{fb}}{C_i + C_{fb} + C_{p,g1}}$$

$$v_{g2} = \frac{C_i V_{in-} + C_{fb} V_{fb}}{C_i + C_{fb} + C_{p,g2}}$$

$$v_{in} = v_{g1} - v_{g2} = \frac{C_i}{C_i + C_{fb} + C_p} V_{in}, V_{in} = V_{in+} - V_{in-}$$

- Tipične vrednosti kapacitivnosti C_{fb} treba da budu 5x-10x veće od parazitnih kapacitivnosti C_p