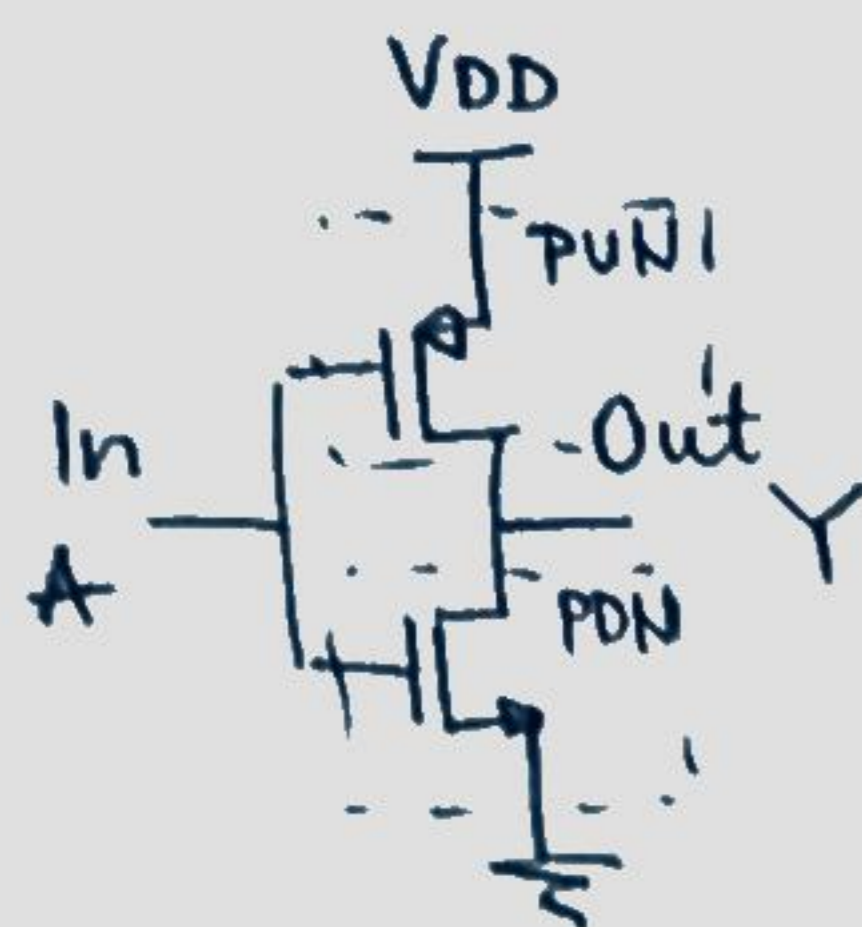


# MOS KOLA

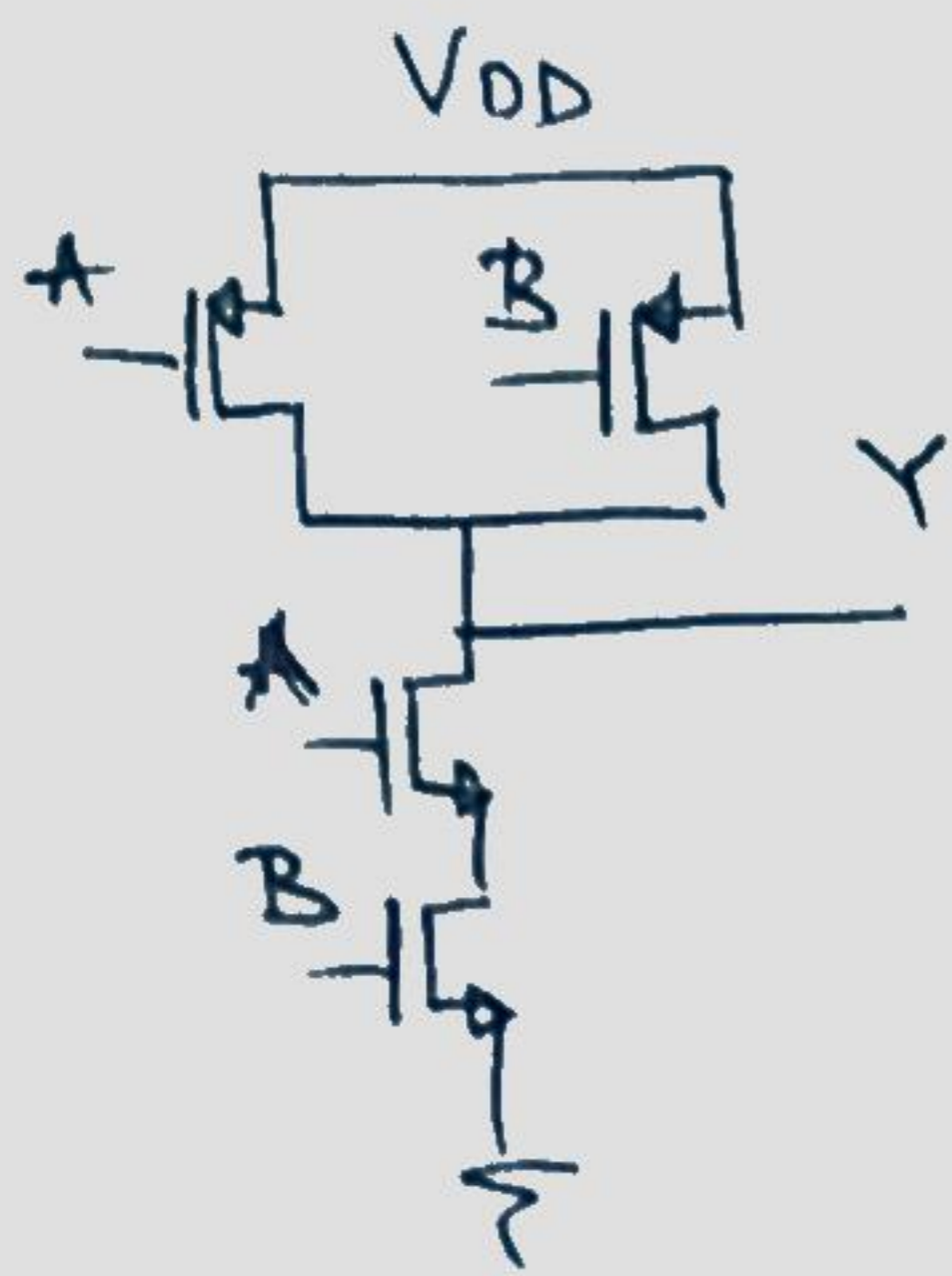
## I REALIZACIJA CMOS KOLA

### - INVERTOR



$$Y = \overline{A}$$

### - OSNOVNI BLOKOVI



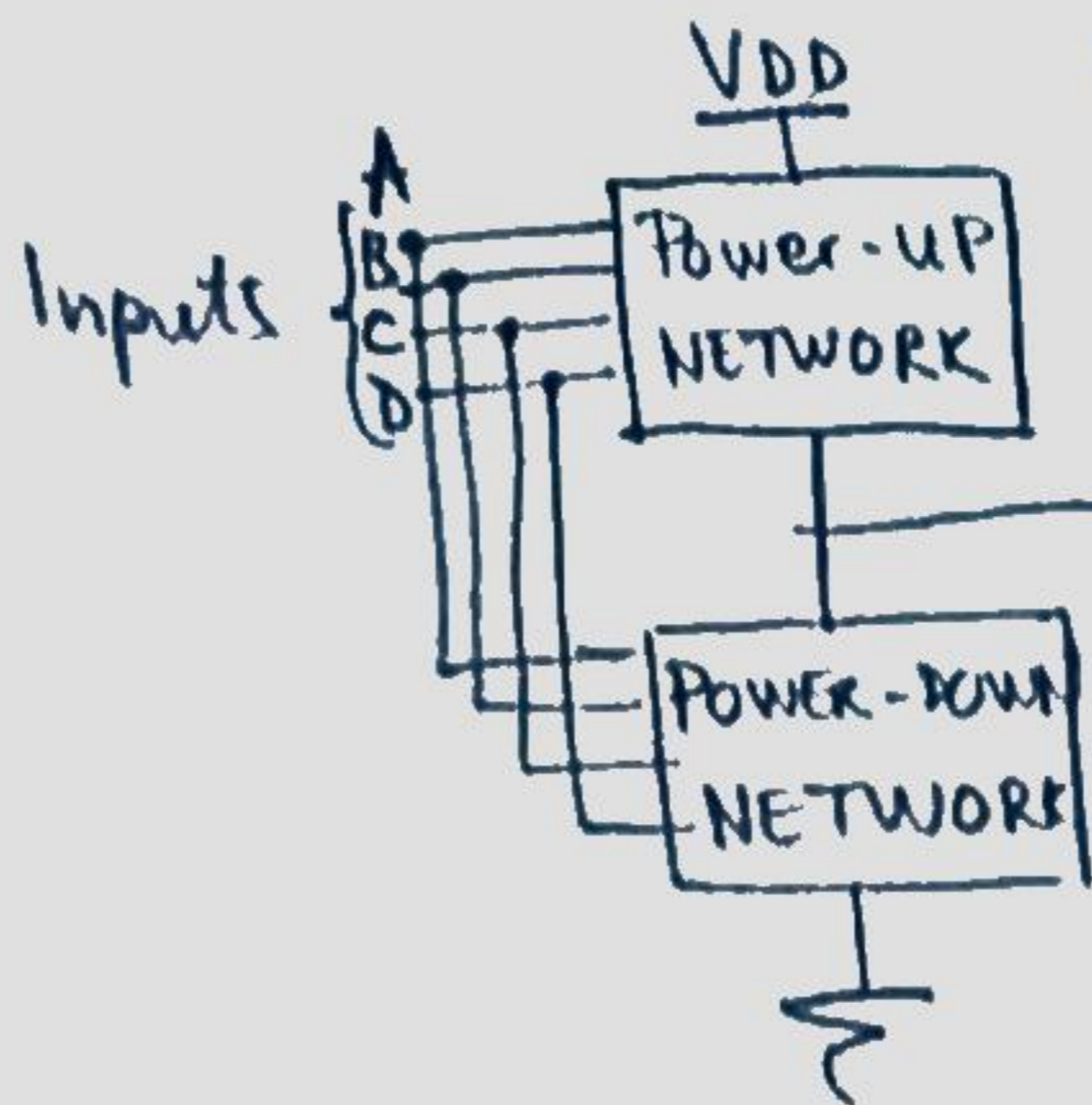
A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

← samo ukoliko su i A, B na log. 1 provešće NMOS tranzistori i povući izlaz ka log. 0

$$Y = \overline{A \cdot B}$$

↑  
 ukoliko je logička fja AND tipa, u PDN mreži su odgovarajući NMOS tranzistori vezani na red, odnosno PUN mreži su odgovarajući PMOS tranzistori vezani u paraleli

### - OPŠTE



Power-up Network - za odgovarajuću kombinaciju spaja izlaz na VDD

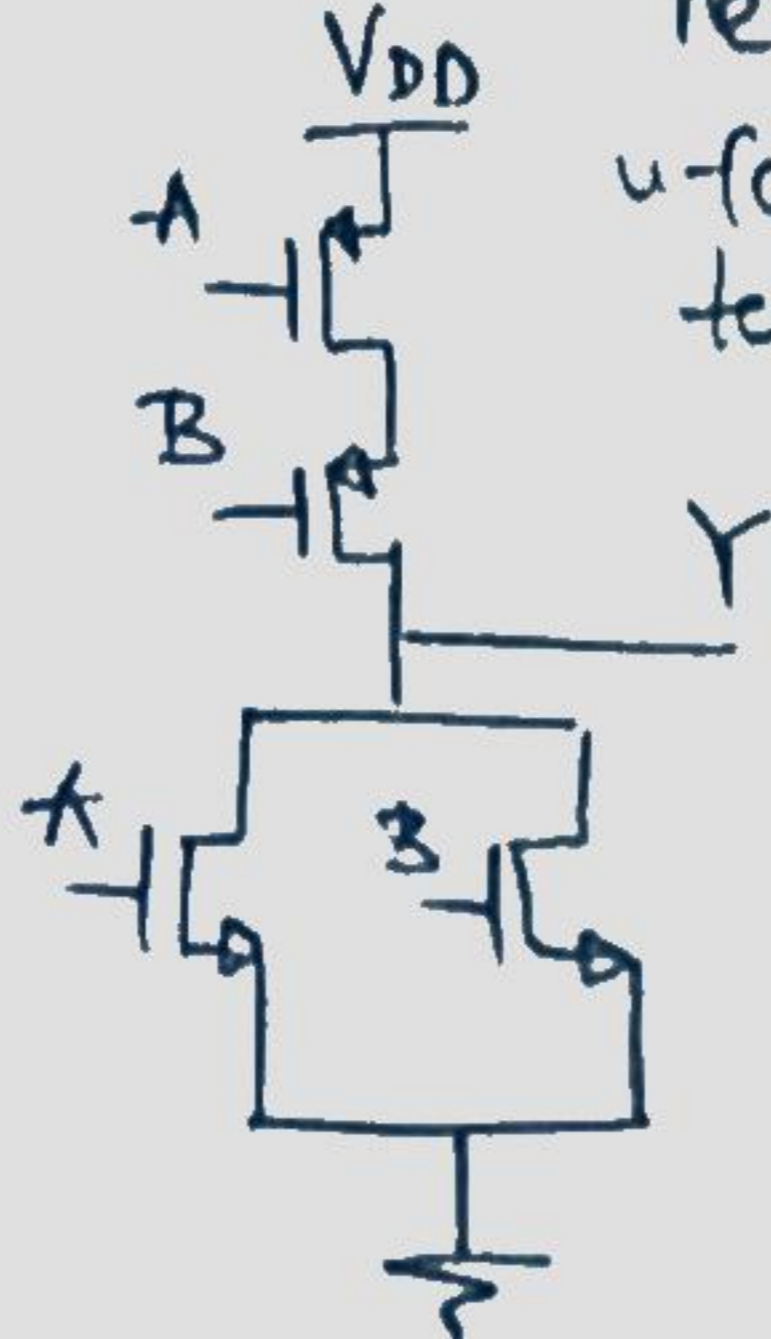
Power-down Network - za odgovarajuću kombinaciju spaja izlaz na GND

$$Y = \overline{f(A, B, C, D)}$$

← fja za izlaz je u obliku komplementa

\* ukoliko nije data u toj formi, prvo je neophodno svesti je

u formu komplementa, pa tek onda realizovati kolo



A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

← samo ukoliko su i A i B na log 0 provešće PMOS tranzistori i povući izlaz ka log. 1

$$Y = \overline{A + B}$$

↑  
 ukoliko je logička fja OR tipa, u PDN mreži su odgovarajući NMOS tranzistori vezani u paraleli, odnosno PUN mreži su odgovarajući PMOS tranzistori vezani u paraleli

1. Projektovati statičko CMOS kolo za funkciju  $Y = \overline{A(B+C)}$

R: Na osnovu funkcije, ovde imamo dve celine:

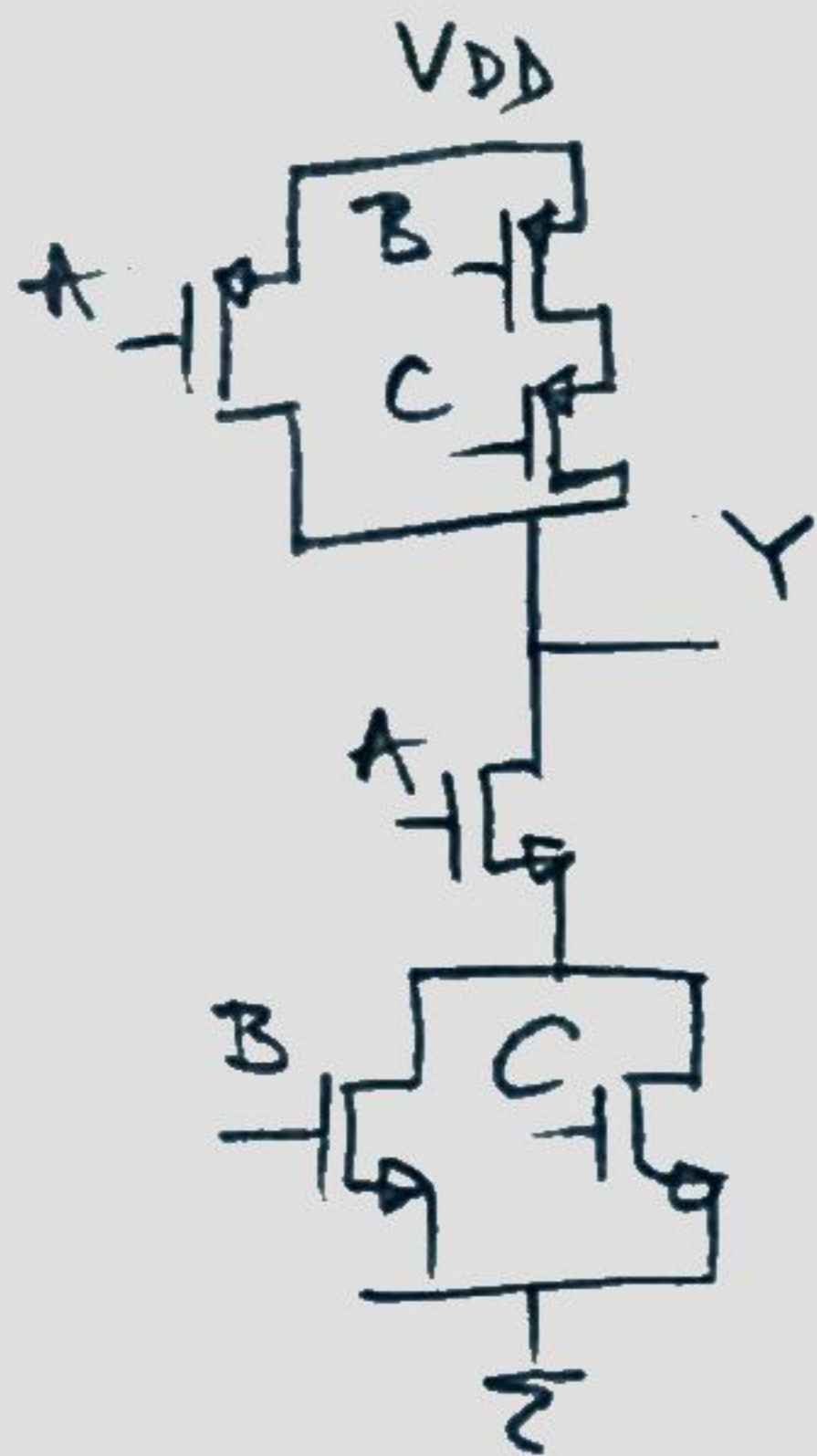
- prvu celinu čine ulaz A i kombinovani ulazi (B+C)  $\Rightarrow$  AND tip
- drugu celinu čine ulazi B i C  $\Rightarrow$  OR tip

Na osnovu toga, u PDN:

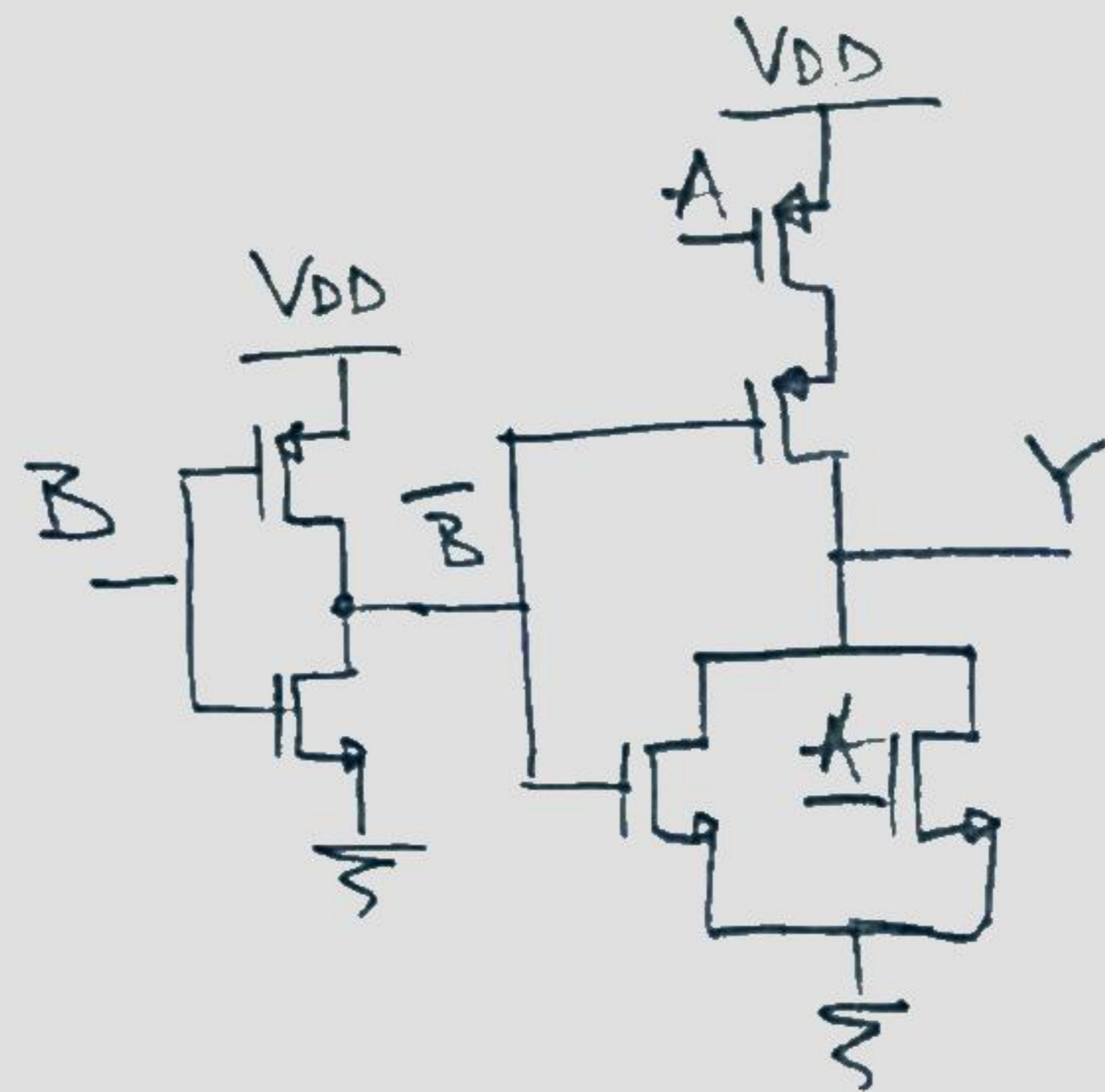
- NMOS tranzistori na čije ulaze dovodimo signale B i C vezani su u paraleli
- NMOS tranzistor na čiji ulaz dovodimo signal A vezan je na red sa tranzistorima B i C

PUN je dualan, odnosno gde su PDN redne veze, u PUN su paralelne, i obrnuto.

Realizacija je data na slici 1.1



slika 1.1



slika 2.1

2. Nacrtati električnu šemu kola sa ulazima A i B, izlazom Y, gde je  $Y=1$  za  $A=0$  i  $B=1$ , inače je  $Y=0$ . Na raspolaganju nisu komplementi ulaznih signala.

R: Tablica fje Y

A	B	Y
0	0	0
0	1	1
1	0	0
1	1	0

$Y = \overline{A \cdot B}$  formi komplementa:

$$Y = \overline{A \cdot B} = \overline{\overline{\overline{A \cdot B}}} = \overline{\overline{A + B}}$$

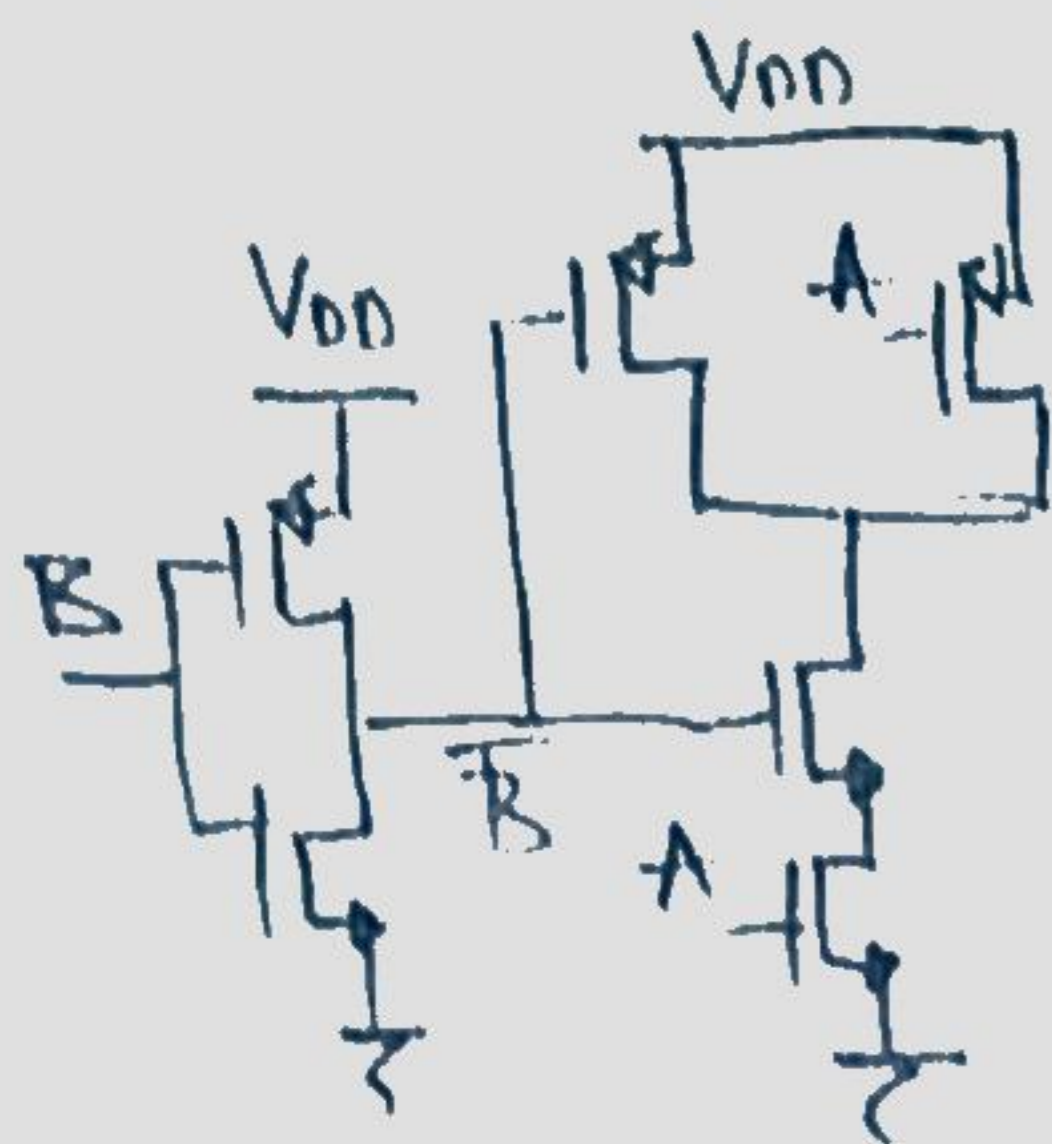
Sada ovu formu možemo da realizujemo. Međutim, pošto komplementi ulaznih signala nisu dostupni, onda ćemo B realizovati pomoću invertora. Realizacija je prikazana na slici 2.1.

3. Nacrtati električnu šemu kola sa ulazima A i B i izlazom Y, gde je  $Y=0$  za  $A=1, B=0$ , inače je  $Y=1$ . Na raspolaganju nisu komplementi ulaznih signala.

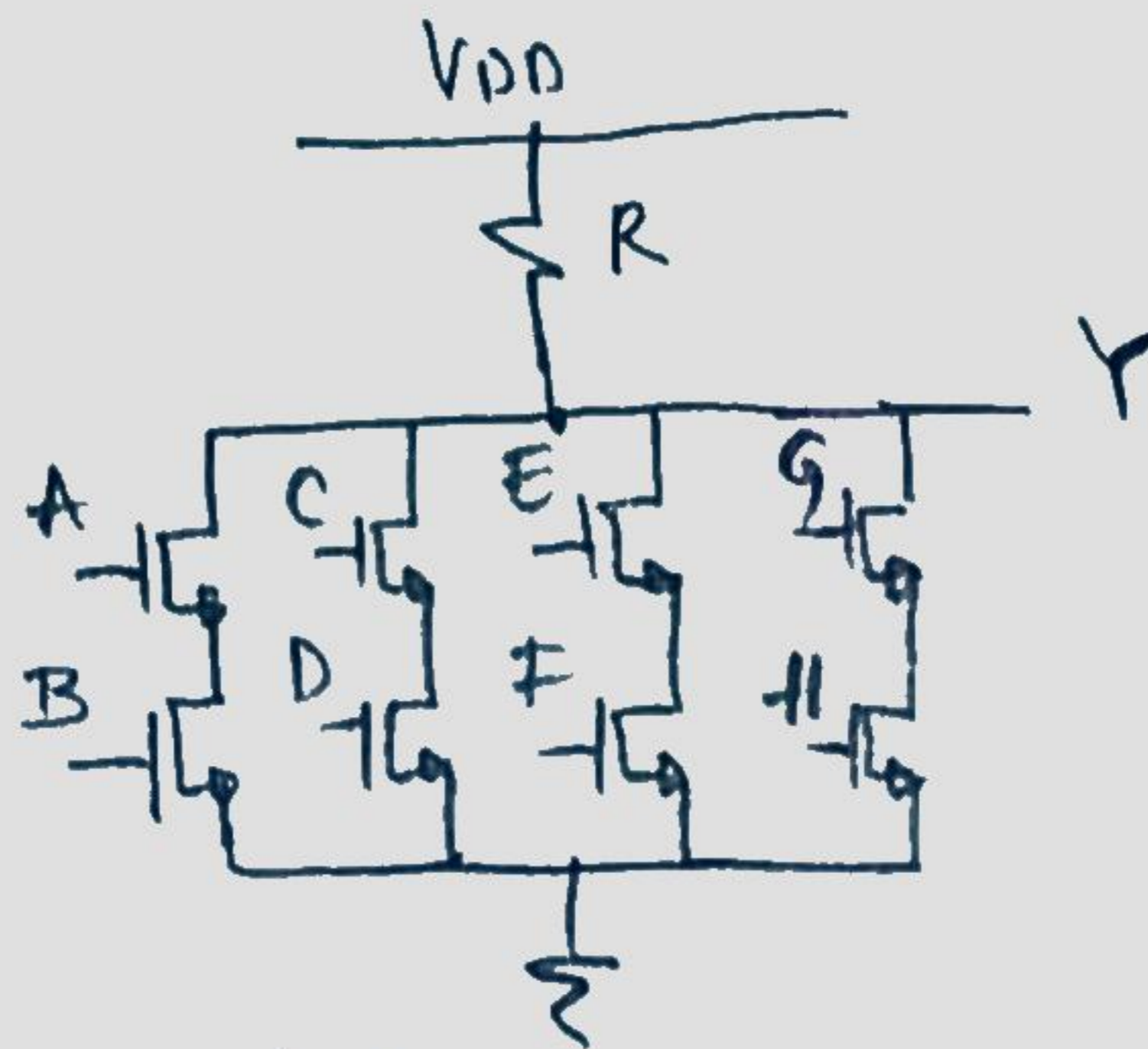
R: kao i u zadatku 2  
Rešenje je na slici 3.1

A	B	Y
0	0	1
0	1	1
1	0	0
1	1	1

$$Y = \bar{A} + B = \overline{\overline{\bar{A} + B}} = \overline{A \cdot \bar{B}}$$



slika 3.1



slika 4.1

4. Odrediti logičku funkciju kola su slike 4.1

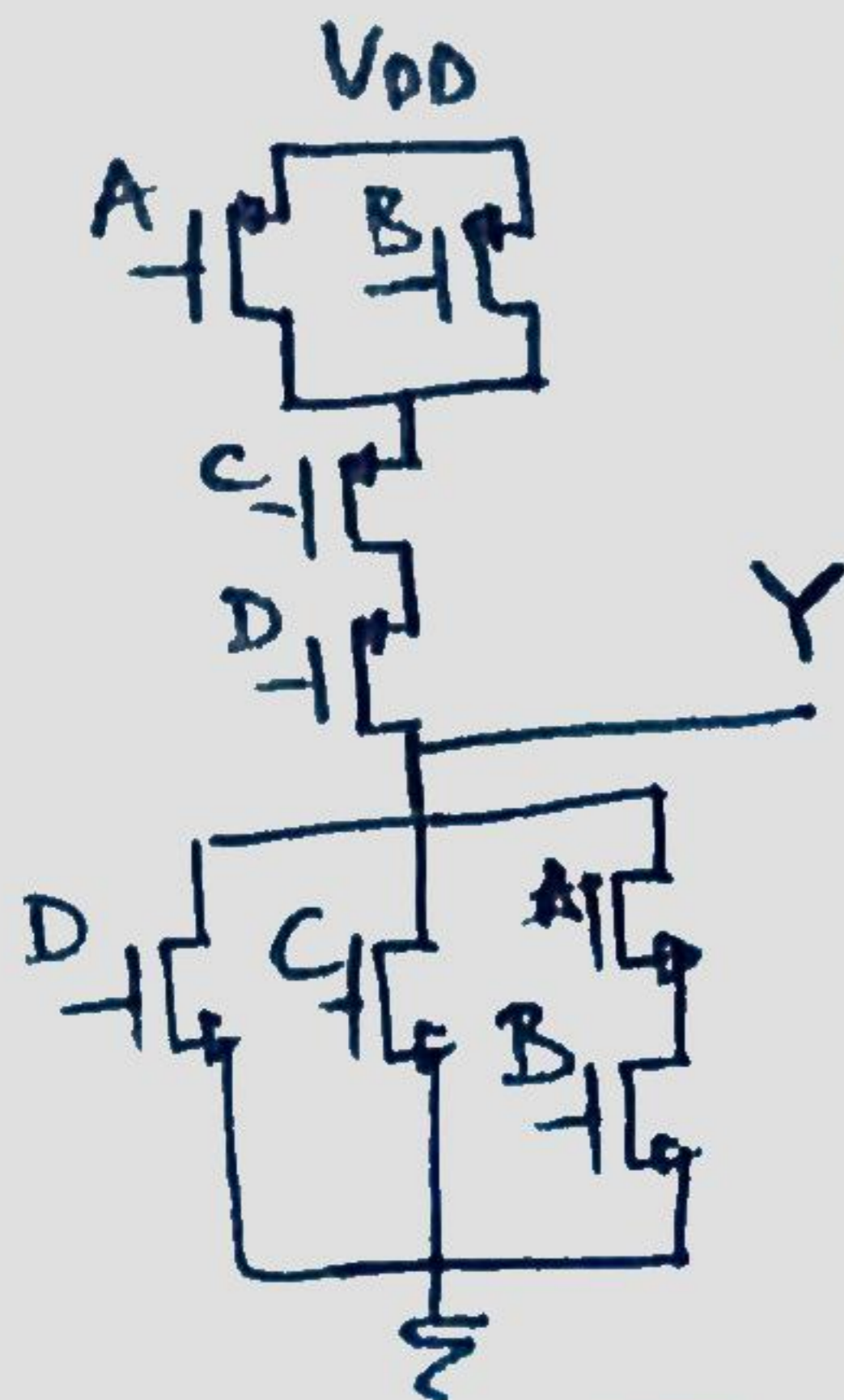
R: Ako posmatramo granu u kojoj su tranzistori na čije ulaze dovodimo signale A i B, ta grana će voditi samo ukoliko su i signal A i signal B na logičkoj jedinici, i tada će na izlazu biti log. 0.

$$Y_{AB} = \bar{A} \cdot \bar{B}$$

Da bi na izlazu Y bila log. 0, potrebno je da bilo koja od grana provede, odnosno biće log. 1. ukoliko nijedna od grana ne vodi. Dakle

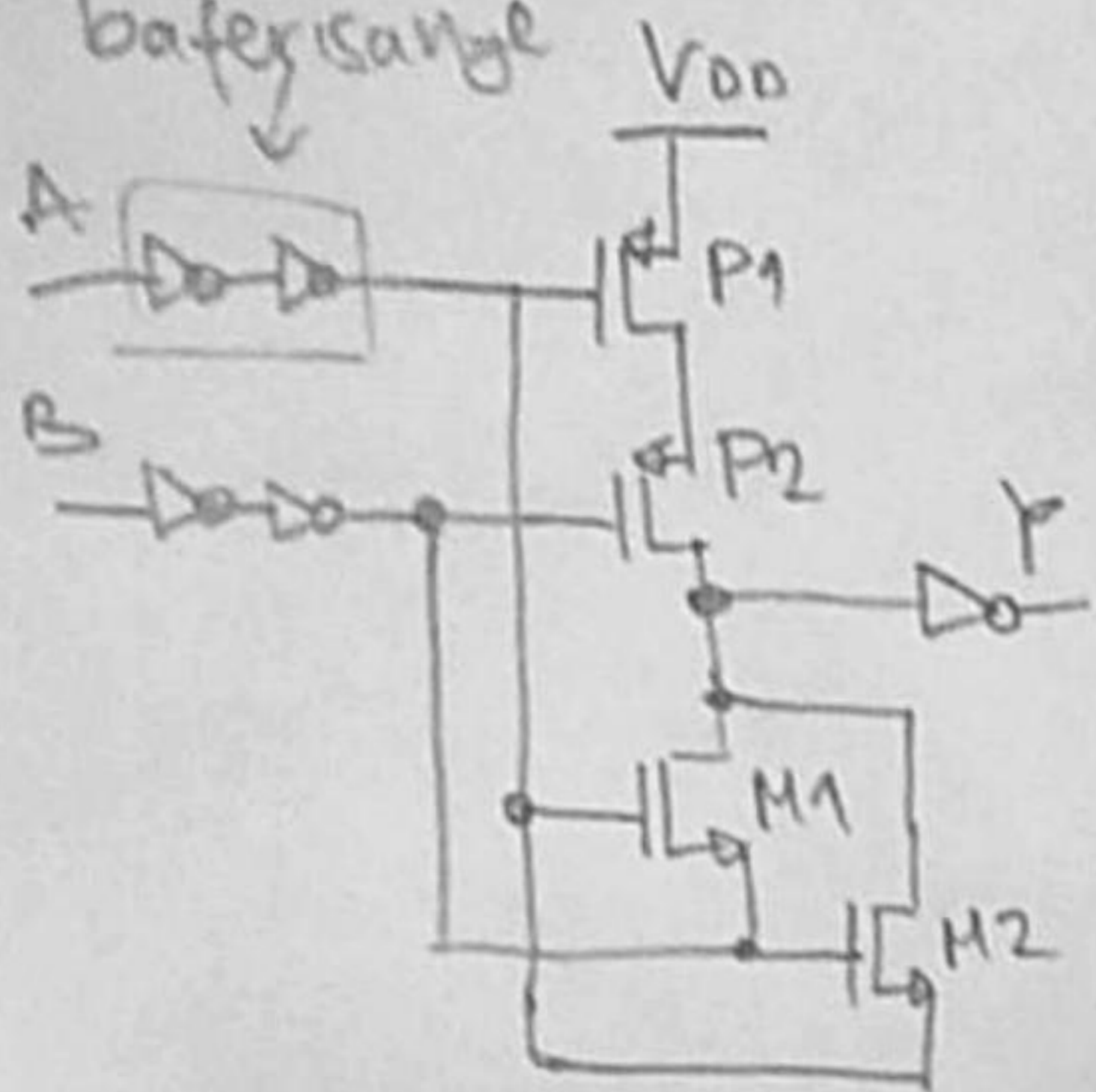
$$Y = \bar{A} \bar{B} \cdot \bar{C} \bar{D} \cdot \bar{E} \bar{F} \cdot \bar{G} \bar{H}$$

5. Odrediti log fju kola sa slike 5.1

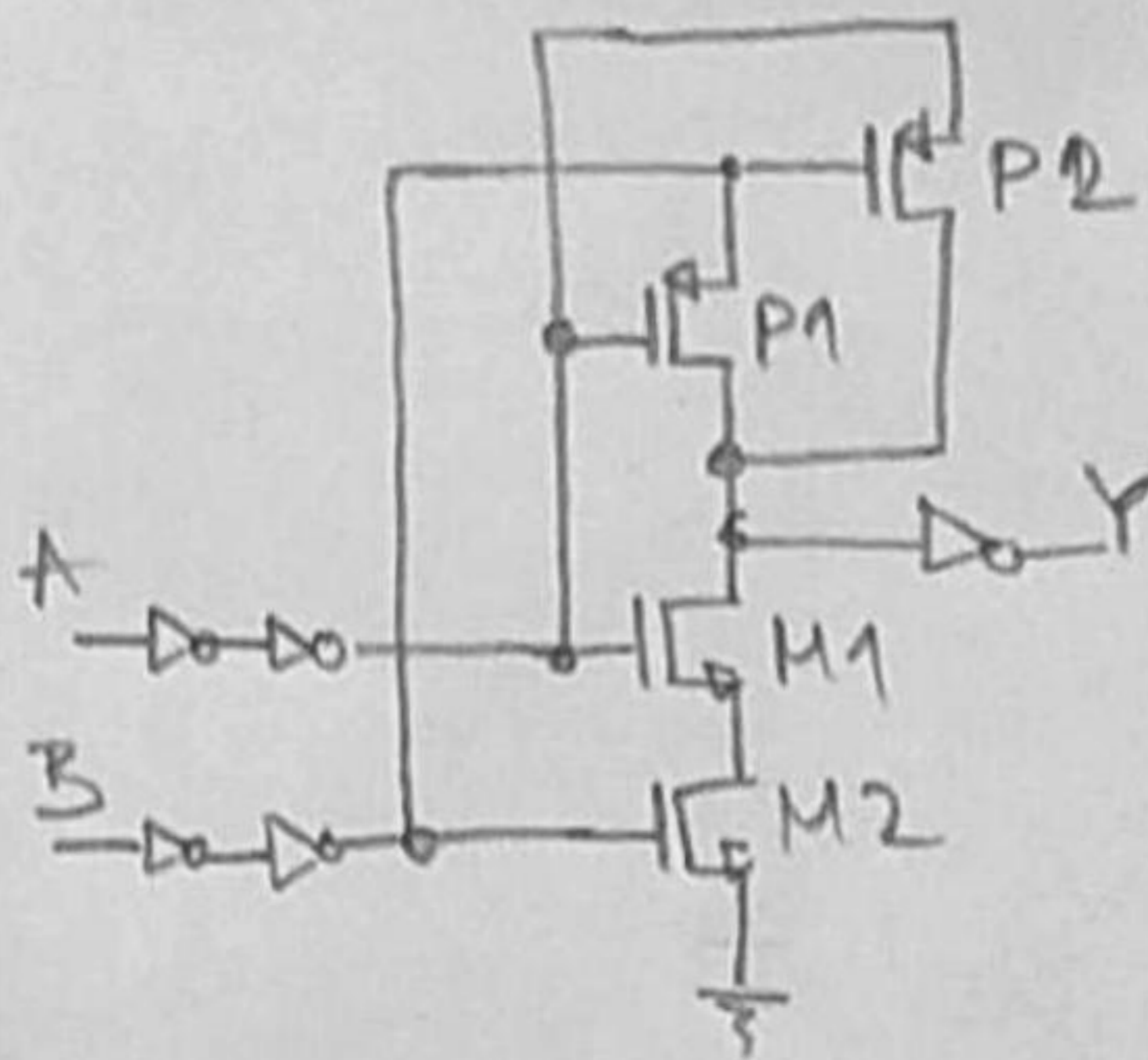


R:  $Y = \overline{AB + C + D}$

6. Odrediti logičku f-jnu kola sa slike 6.1 dvostruko baferisanje



slika 6.1



slika 7.1

R: Možemo da napišemo tablicu

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

- A=0, B=0 ⇒ vode oba PMOS tranzistora, Y=0

- A=0, B=1 ⇒ na gejtju M2 je 1, na sorsu je 0, tako da M2 vodi, Y=1

- A=1, B=0 ⇒ na gejtju M1 je 1, na sorsu je 0, tako da M1 vodi, Y=1

- A=1, B=1 ⇒ nijedan tranzistor nema uslova da vodi. U teoriji na izlazu bi trebalo da bude stanje visoke impedanse. Međutim, pošto P1 i P2 predstavljaju otpornost ka VDD, povućiće izlaz ka VDD, pa Y=0

⇓  
 $Y = A \oplus B$  (XOR)

7. Odrediti log. fju kola sa slike 7.1

R: kao i u zadatku 6

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	1

- A=1, B=1 ⇒ vode oba NMOS tranzistora, Y=1

- A=0, B=1 ⇒ na gejtju P1 je 0, na sorsu je 1, tako da P1 vodi, Y=0

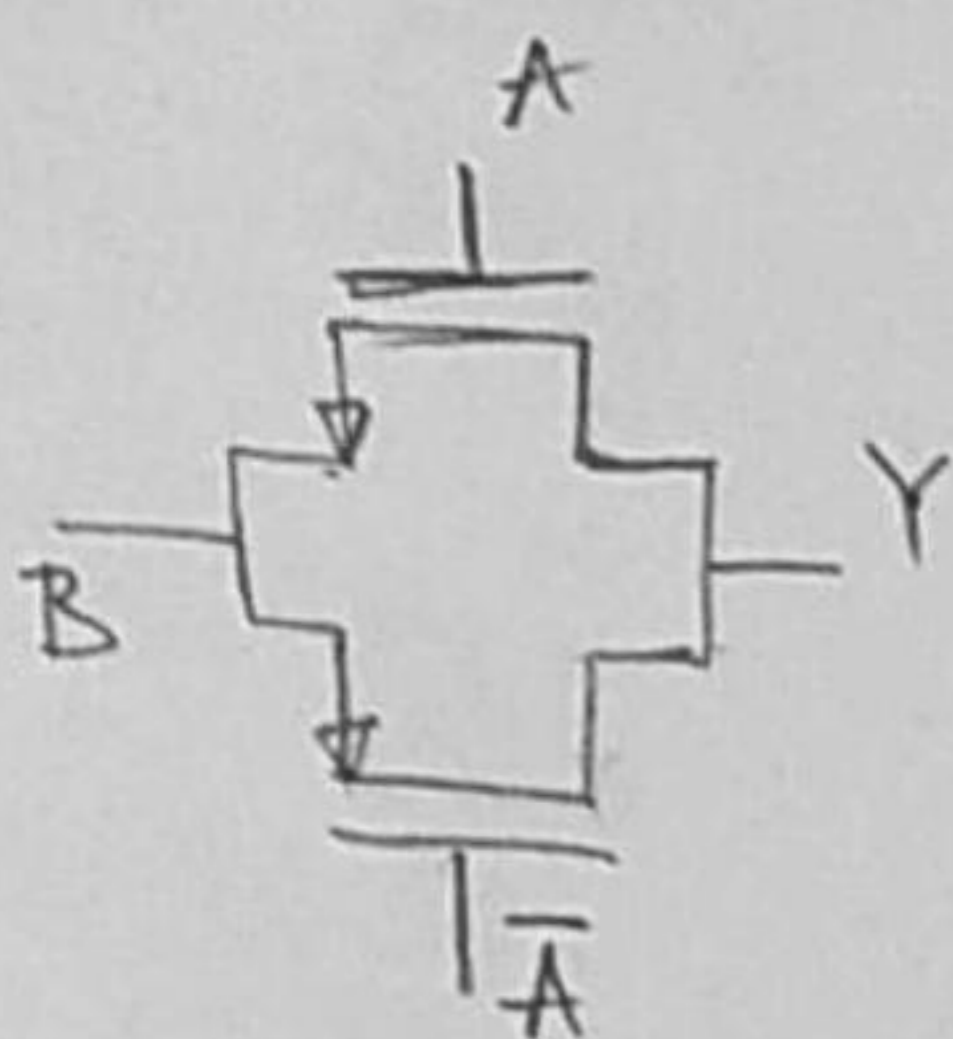
- A=1, B=0 ⇒ na gejtju P2 je 0, na sorsu je 1, tako da P2 vodi, Y=0

- A=0, B=0 ⇒ nijedan tranzistor nema uslova da vodi. U teoriji na izlazu bi trebalo da bude stanje visoke impedanse. Međutim, pošto M1 i M2 predstavljaju otpornost ka GND, povućiće izlaz ka GND, pa Y=1

⇓  
 $Y = \overline{A \oplus B}$  (XNOR)

8. Realizovati konstruirati multiplexer 4/1 koristeći serijsku logiku.

R: u serijskoj logici osnovna gradivna jedinica je ćelija sastavljena od NMOS i PMOS tranzistora kao što je prikazano na slici 8.1.



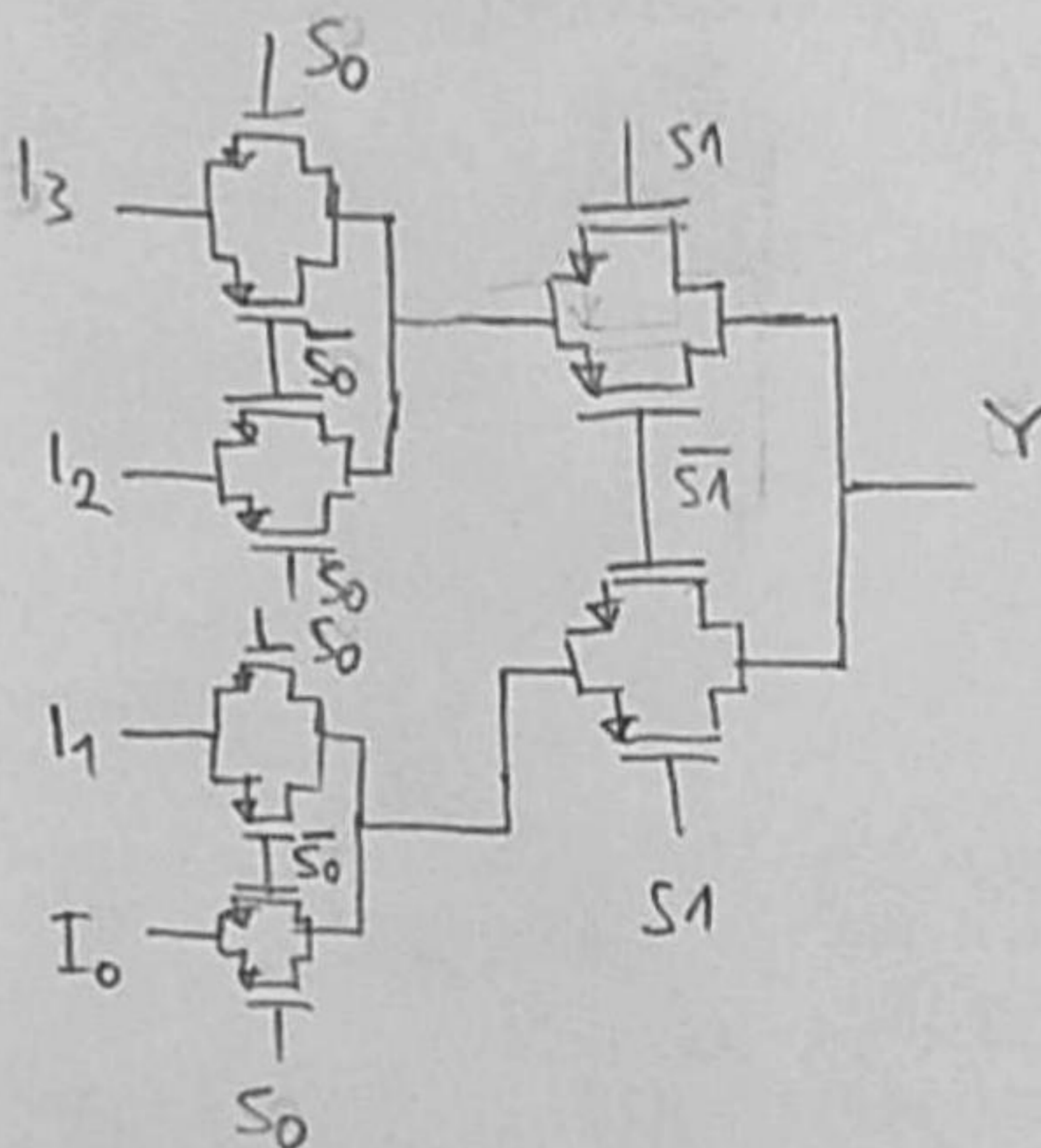
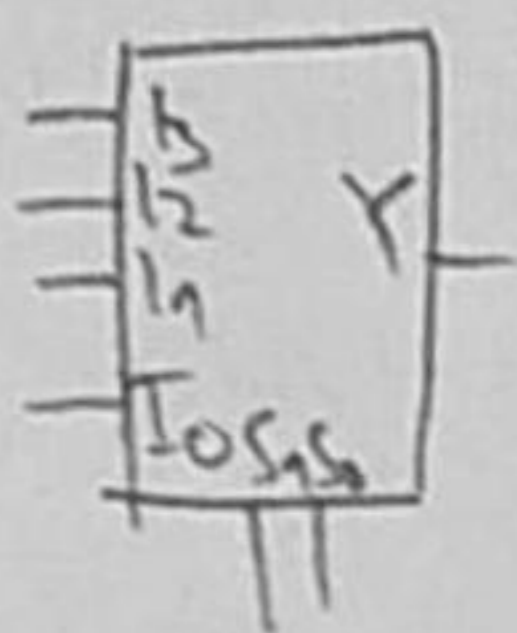
Slika 8.1

A	B	Y
0	0	Z
0	1	Z
1	0	0
1	1	1

Na osnovu tablice, može da se zaključi da je  $Y=B$  za  $A=1$ , odnosno  $Y=Z$  za  $A=0$ . Korišćenjem ovog elementu moguće je realizovati različita kola.

U slučaju multipleksera 4/1, realizacija u serijskoj logici prikazana je na slici 8.2

$$\text{Funkcija } Y = S_1(S_0I_3 + \bar{S}_0I_2) + \bar{S}_1(S_0I_1 + \bar{S}_0I_0)$$



Slika 8.2

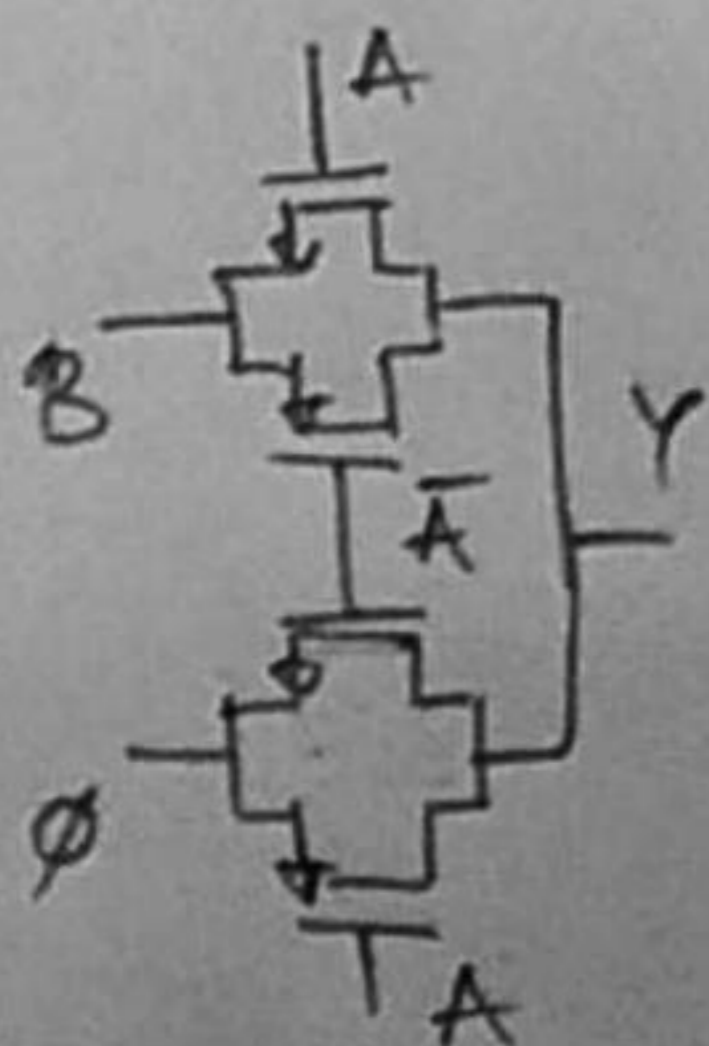
9) Realizovati fju  $Y=AB+AC$  korišćenjem serijske logike

R: Funkciju prvo treba predstaviti u odgovarajućem formatu  $Y=C \cdot f_1 + \bar{C} \cdot f_2$

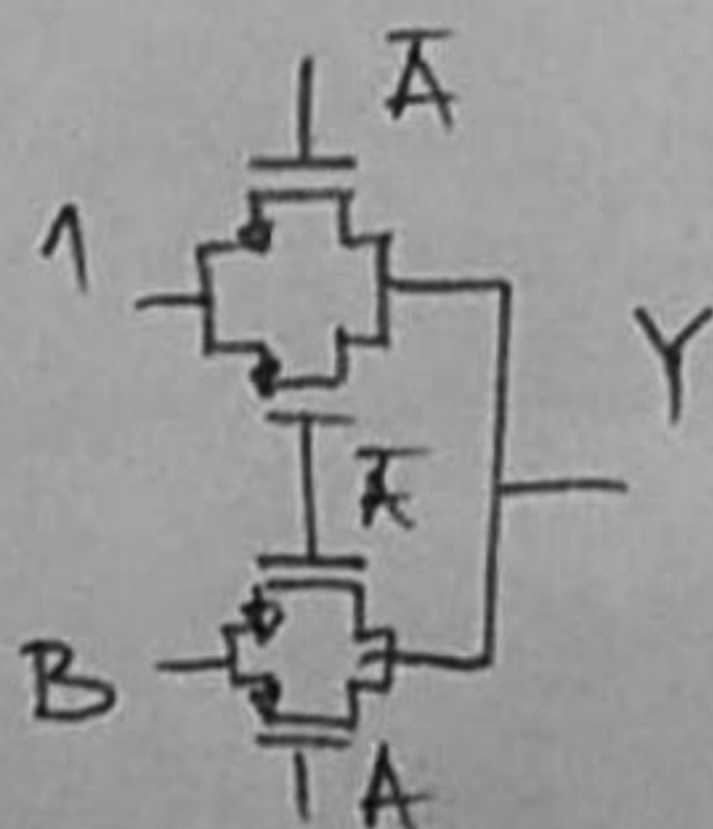
$$Y = AB + AC = A(B+C) + \bar{A} \cdot \emptyset = A(B \cdot 1 + \bar{B} \cdot C) + \bar{A} \cdot \emptyset$$

Na osnovu jna može da se zaključi da fju AND tipa  $Y=A \cdot B$  možemo da razvijemo kao  $Y=A \cdot B + \bar{A} \cdot \emptyset$ , dok fju OR tipa  $Y=A+B$  možemo da razvijemo kao  $Y=A \cdot 1 + \bar{A} \cdot B$ .

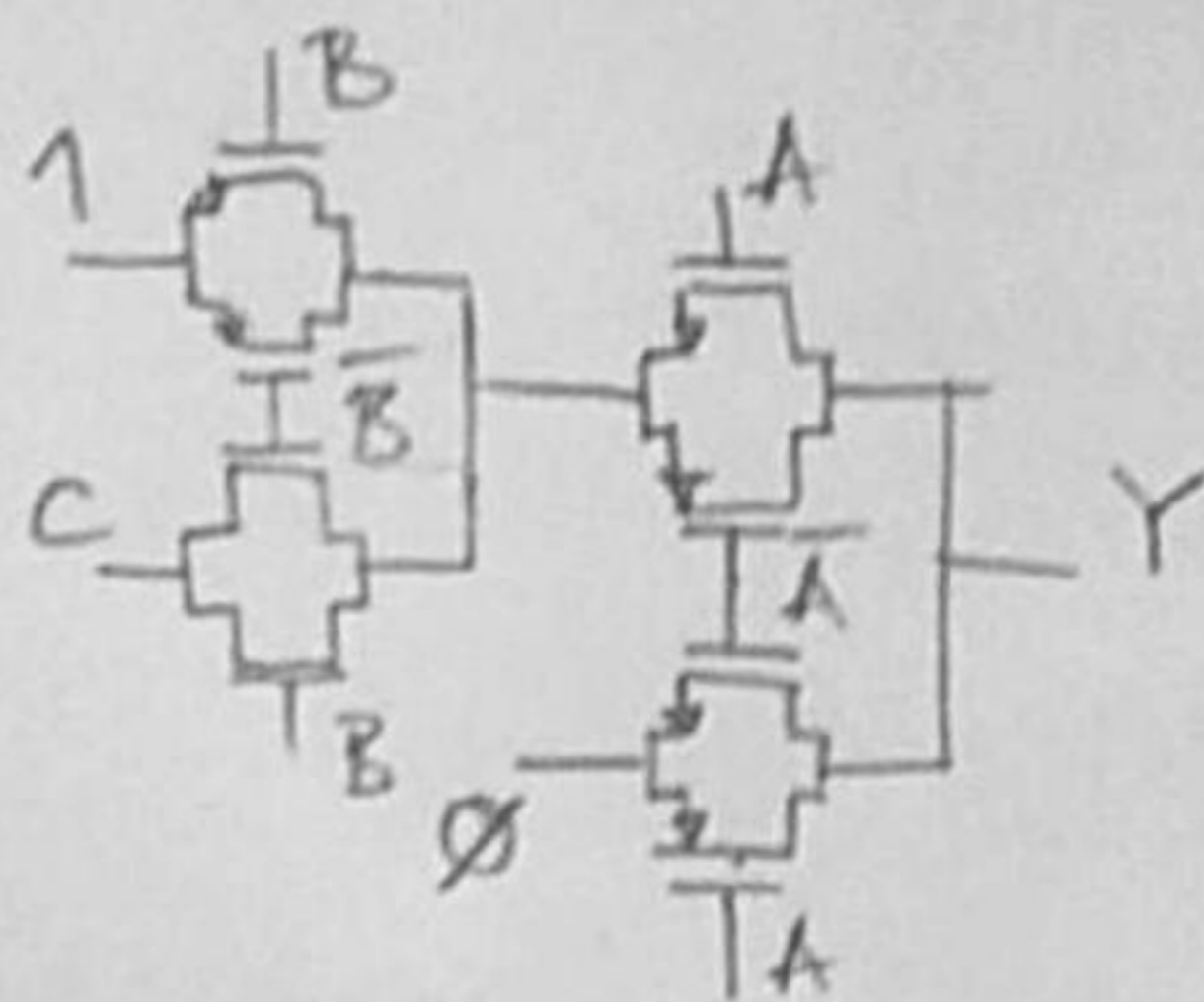
$$Y = A \cdot B + \bar{A} \cdot \emptyset$$



$$Y = A \cdot 1 + \bar{A} \cdot B$$



Rešenje zadatka prikazano je na slici 9.1



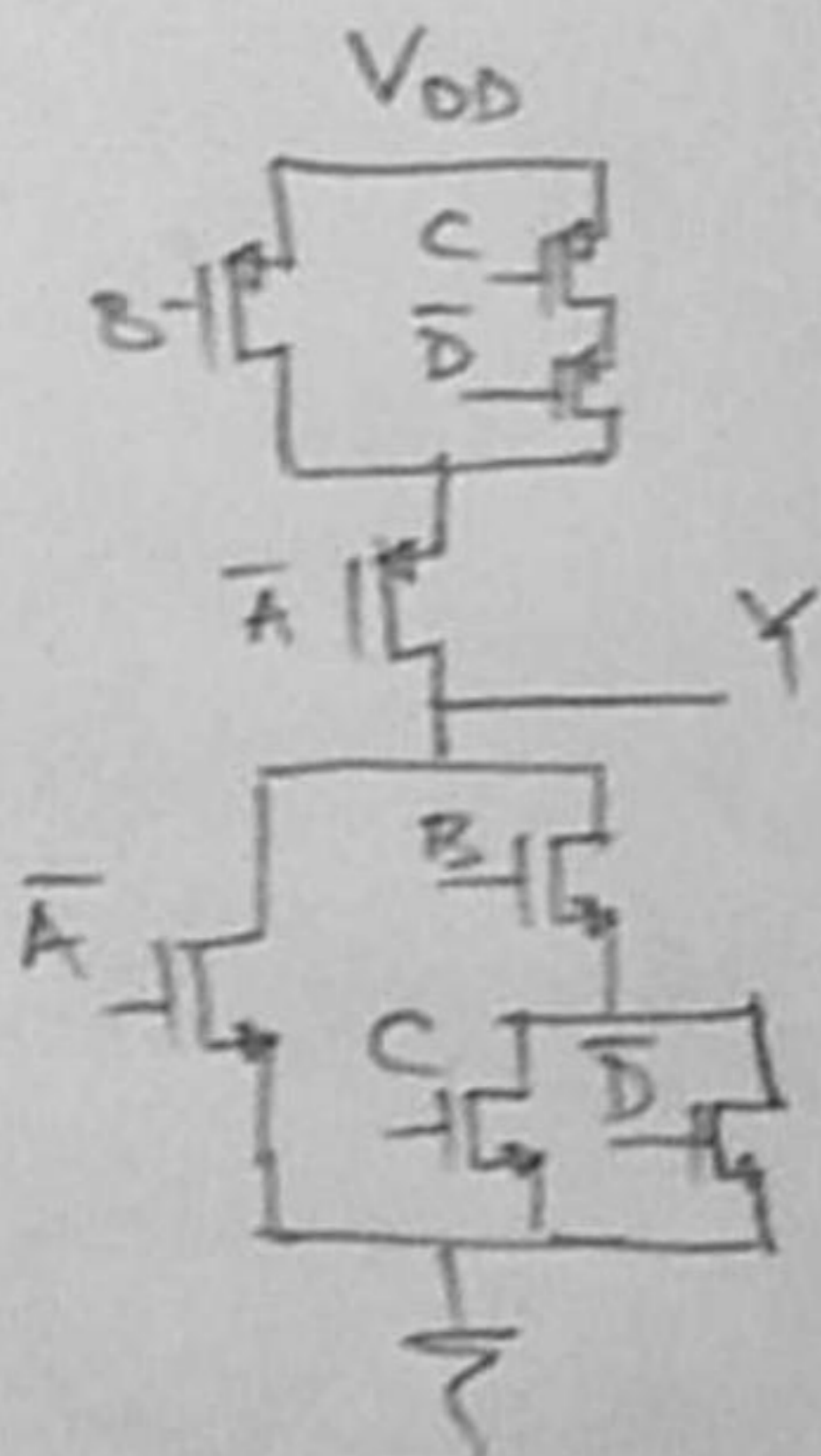
slika 9.1

10) Realizovati fju  $Y = A\bar{B} + A\bar{C}D$  u CMOS tehnologiji

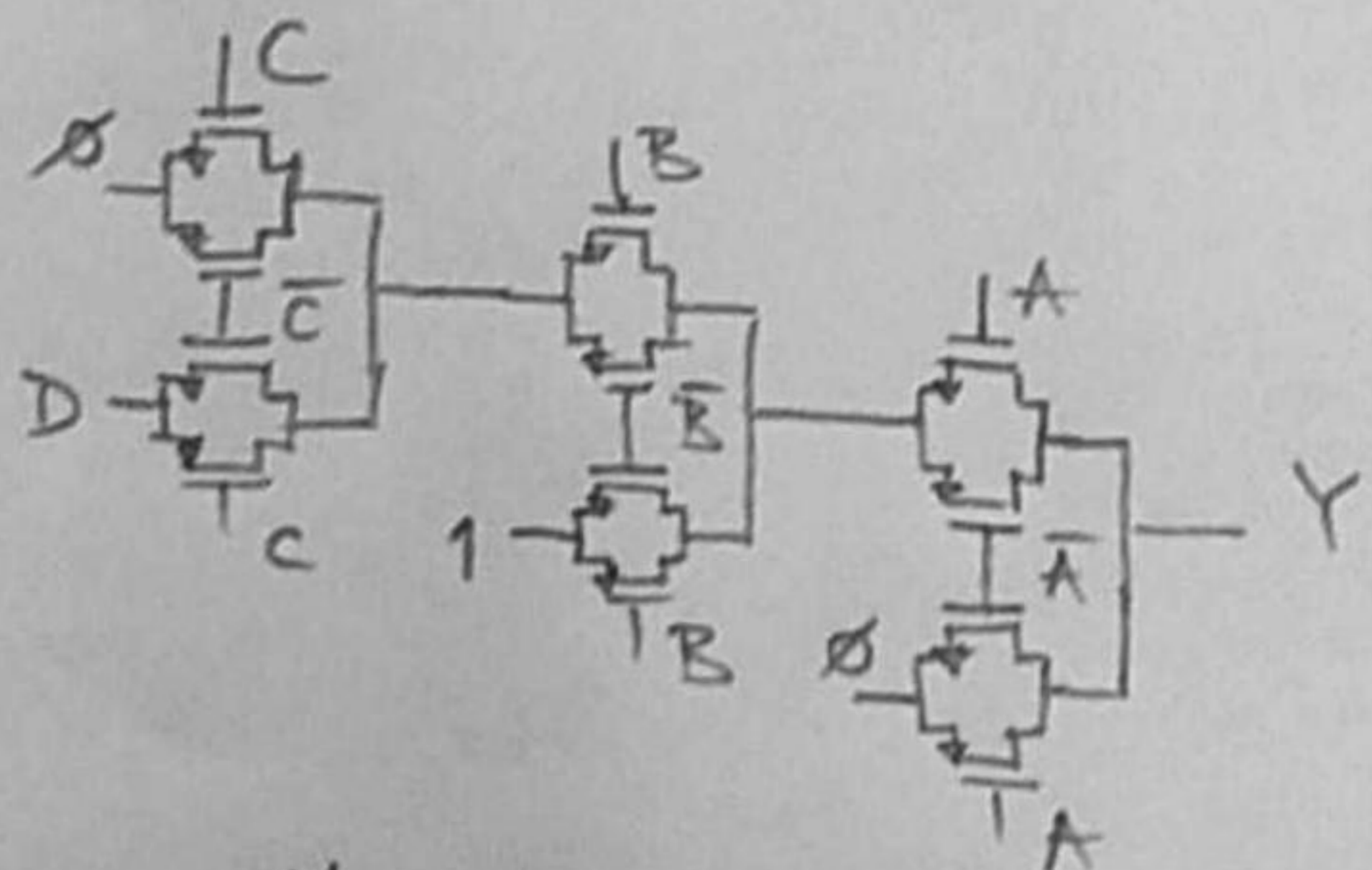
a) sa statičkim CMOS kolima

b) serijskom logikom

R: a)  $Y = A\bar{B} + A\bar{C}D = \overline{\overline{A(\bar{B} + \bar{C}D)}} = \overline{\overline{A} + \overline{\bar{B} + \bar{C}D}} = \overline{\overline{A} + B \cdot \overline{\bar{C}D}} = \overline{\overline{A} + B(C + \bar{D})}$   
 (slika 10.1)



slika 10.1

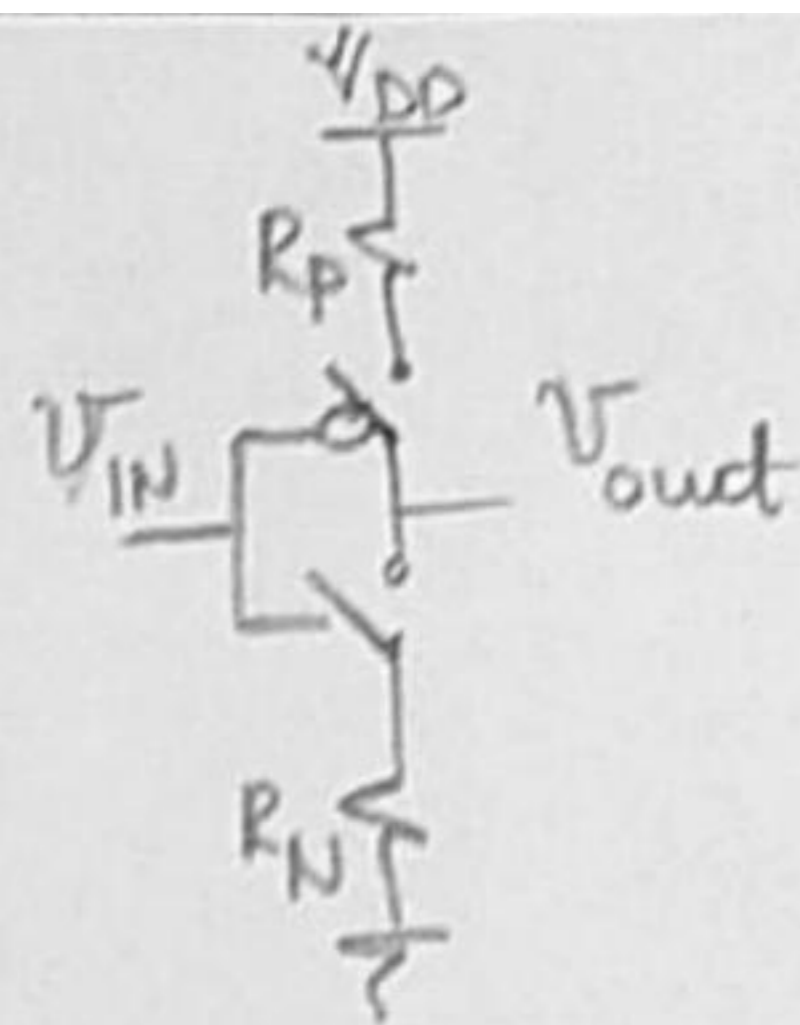


slika 10.2.

b)  $Y = A\bar{B} + A\bar{C}D = A(\bar{B} + \bar{C}D) + \bar{A} \cdot 0 = A(\bar{B} \cdot 1 + B(\bar{C}D)) + \bar{A} \cdot 0 =$   
 $= A(\bar{B} \cdot 1 + B(\bar{C}D + C \cdot \emptyset)) + \bar{A} \cdot \emptyset$   
 (slika 10.2)

11) Dat je CMOS inverter sa karakteristikama:  $V_{IH} = 3V$ ,  $V_L = 2V$ ,  $V_{DD} = 5V$ ,  $I_{OH} = 5mA$ ,  $I_{OL} = 5mA$ . Za neopterećeno kolo važi  $V_{OH} = V_{DD}$ ,  $V_{OL} = 0$ . Na izlaz invertora povezan je ulaz sledećeg invertora kao i LED dioda preko otpornika  $R = 10k\Omega$  prema masi. Odrediti statičke naponske signale na ulazu sledećeg logičkog kola.

R: CMOS inverter ćemo modelovati na sledeći način:  
 gde se otpornosti  $R_p$  i  $R_n$  određuju na osnovu karakteristika invertora:



$$R_p = \frac{V_{OH} - V_{IH}}{I_{OH}}$$

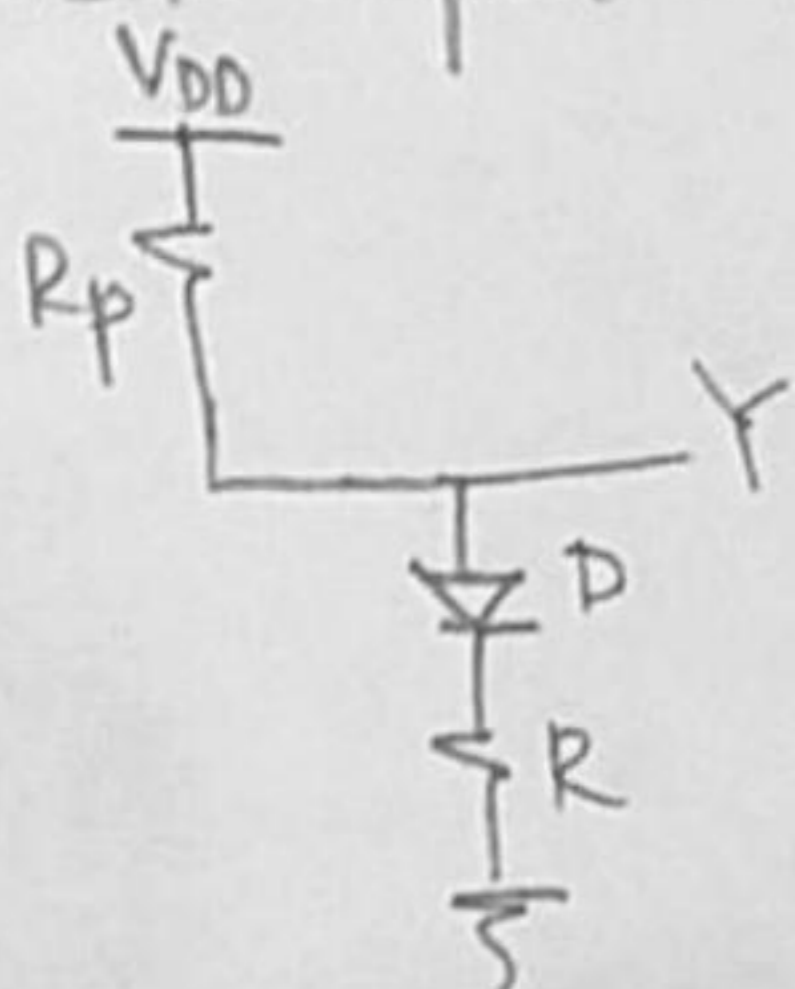
$$R_n = \frac{V_{IL} - V_{OL}}{I_{OL}}$$

$$R_p = 400 \Omega$$

$$R_n = 400 \Omega$$

Kada se na izlaz kola vežu dioda i otpornik, menjaju se maksimalni/minimalni napon na izlazu kola.

- za visok napon na izlazu

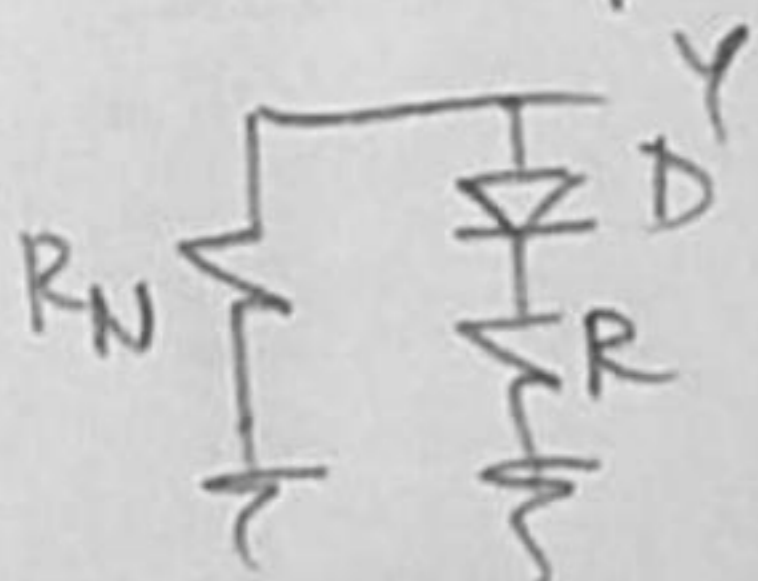


$$V(1) = V_{DD} \cdot \frac{R}{R_p + R} + V_D \frac{R_p}{R + R_p} = 4.84V$$

Margina šuma je

$$NM(1) = V(1) - V_{IH} = 1.84V$$

- za nizak napon na izlazu dioda i otpornik ne utiču na vrednost



$$V(0) = V_{OL} = 0V$$

$$NM(0) = V_{IL} - V_{OL} = 2V$$

12. Dat je CMOS invertor sa karakteristikama:  $V_{IH} = 3V$ ,  $V_{IL} = 2V$ ,  $V_{DD} = 5V$ ,  $I_{OH} = 2mA$ ,  $I_{OL} = 2mA$ ,  $C_{in} = 10pF$ . Za neopterećeno kolo važi  $V_{OH} = V_{DD}$ ,  $V_{OL} = 0$ .

a) Ako se na ulaz invertora dovodi povorka logičkih jedinica, nula podjednako trajanja od po 10ps, odrediti koliki se broj istih takvih invertora može vezati na izlaz tako da se maksimalna vrednost napona na izlazu invertora smanji za 20% odnosno minimalna poveća za 20% logičke amplitude u odnosu na statičko stanje. Statička logička amplituda definiše se kao  $LA = V_{OH} - V_{OL}$

b) Koliko iznose maksimalna i minimalna vrednost napona na izlazu invertora ako se trajanje logičke nule na izlazu poveća na 20ps.

R: Prvo određujemo otpornosti

$$R_p = \frac{V_{OH} - V_{IH}}{I_{OH}} = 1k\Omega$$

$$R_n = \frac{V_{IL} - V_{OL}}{I_{OL}} = 1k\Omega$$

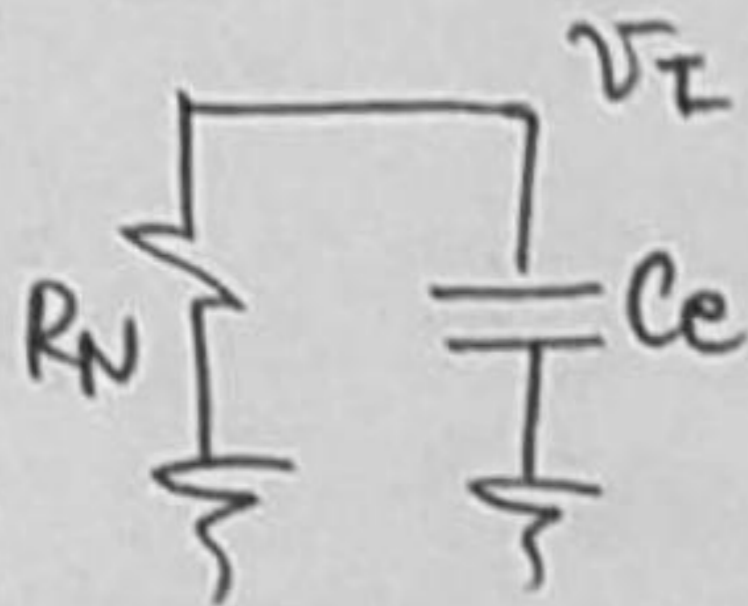
Izlaz kola se vodi na ulaz N invertora, tako da je ekvivalentna kapacitivnost na izlazu  $C_e = N \cdot C_{in}$ .

Ako posmatramo kolo u ustaljenom režimu, za vreme logičke jedinice na ulazu prazni se izlazna kapacitivnost, dok se za vreme logičke nule puni.

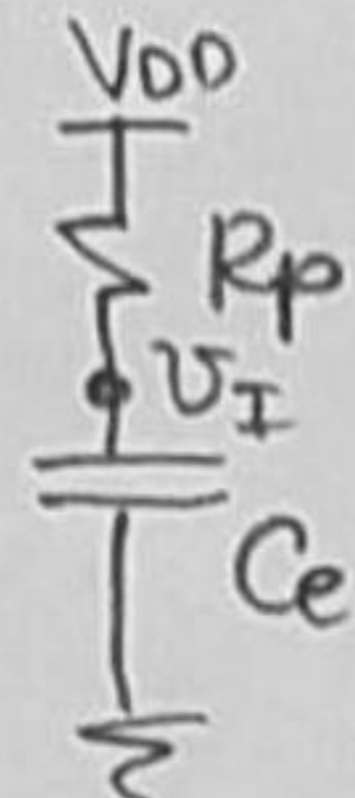
U intervalu ① vodi NMOS a PMOS ne vodi, pa je ekvivalentna šema data na slici 12.1.

NMOS tranzistor modelovan otpornošću  $R_N$  pražni kondenzator  $C_e$ . Vremenska zavisnost  $V_I(t)$  se određuje kao i do sada:

$$\left. \begin{aligned} \textcircled{1} \quad V_I(\infty) &= 0 \\ V_I(0^+) &= V_1 \text{ (sa slike)} \\ \tau_1 &= R_N C_e \end{aligned} \right\} V_I(t) = V_1 e^{-\frac{t}{\tau_1}}$$



slika 12.1



slika 12.2

Nakon vremena  $T_1$ , napon na izlazu je

$$V_I(T_1) = V_1 e^{-\frac{T_1}{\tau_1}} = V_{C_e}(T_1) = V_2 \quad (*)$$

U intervalu ② vodi PMOS a NMOS ne vodi, pa je ekvivalentna šema data na slici 12.2. U ovom intervalu važi

$$\left. \begin{aligned} V_I(\infty) &= V_{DD} \\ V_I(0^+) &= V_2 \text{ (sa slike)} \\ \tau_2 &= R_p C_e \end{aligned} \right\} V_I(t) = V_{DD} + (V_2 - V_{DD}) e^{-\frac{t}{\tau_2}}$$

Nakon vremena  $T_2$ , napon na izlazu je

$$V_I(T_2) = V_{DD} + (V_2 - V_{DD}) e^{-\frac{T_2}{\tau_2}} = V_1 \quad (**)$$

Rešavanjem sistema jednačina (\*) i (\*\*) dobijaju se prozori za  $V_1$  i  $V_2$

$$V_{DD} + (V_1 e^{-\frac{T_1}{\tau_1}} - V_{DD}) e^{-\frac{T_2}{\tau_2}} = V_1$$

$$V_{DD}(1 - e^{-\frac{T_2}{\tau_2}}) = V_1(1 - e^{-\frac{T_1}{\tau_1}} e^{-\frac{T_2}{\tau_2}})$$

$$V_1 = V_{DD} \frac{1 - e^{-\frac{T_2}{\tau_2}}}{1 - e^{-\frac{T_1}{\tau_1}} e^{-\frac{T_2}{\tau_2}}}$$

$$V_2 = V_{DD} \frac{1 - e^{-\frac{T_2}{\tau_2}}}{1 - e^{-\frac{T_1}{\tau_1}} e^{-\frac{T_2}{\tau_2}}} \cdot e^{-\frac{T_1}{\tau_1}}$$

a) Imamo da je  $T_1 = T_2 = 10 \mu s$ ,  $\tau_1 = \tau_2 = R_N C_e$ . Odatle je za  $V_1$  i  $V_2$  postaje

$$V_1 = \frac{V_{DD}}{1 + e^{-\frac{T}{\tau}}} \quad V_2 = \frac{V_{DD} e^{-\frac{T}{\tau}}}{1 + e^{-\frac{T}{\tau}}}$$

Rečeno je da se izlazni napon smanji za 20% logičke amplitude, odakle je

$V_1 = V_{DD} - 0.2 V_{DD} = 0.8 V_{DD} = 4V$ , pa na osnovu toga može da se odredi  $N$



$$0.8 V_{DD} = \frac{V_{DD}}{1 + e^{-\frac{T}{R \cdot N \cdot C_f}}}$$

$$e^{-\frac{T}{R \cdot N \cdot C_f}} = \frac{1}{4} / \ln$$

$$\frac{T}{R \cdot N \cdot C_f} = \ln 4$$

$$N = \frac{T}{R \cdot C_f \cdot \ln 4} = \frac{10 \mu s}{1 k\Omega \cdot 10 pF \cdot \ln 4} = \boxed{721} \cdot 35$$

Dakle moguće je vezati 721 invertor na izlaz.

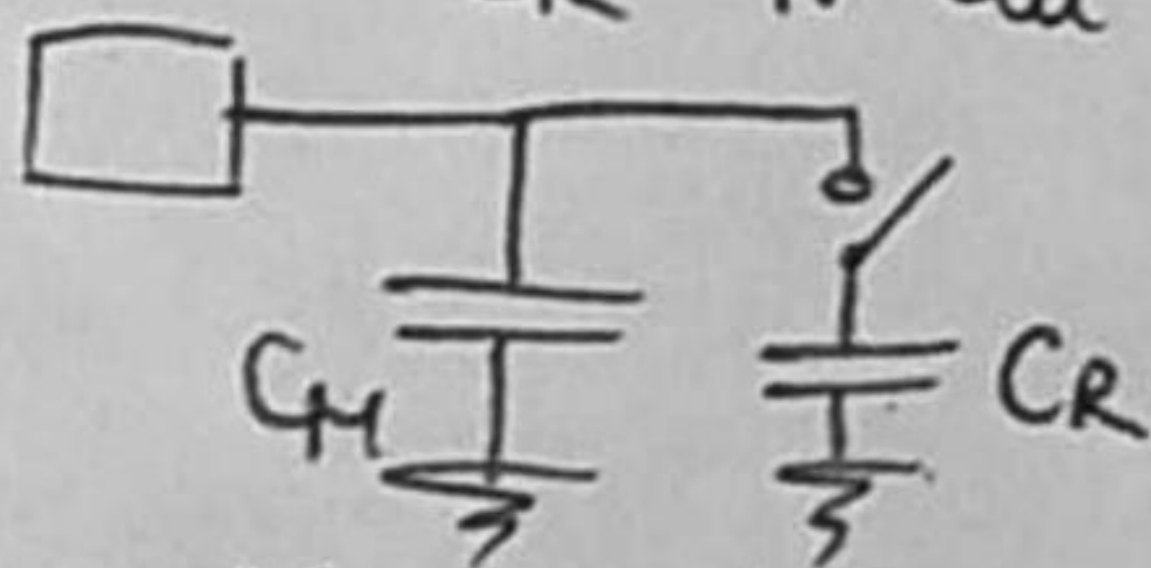
b) Za  $T_2 = 20 \mu s$ , zamenom vrednosti u jednačine dobija se

$$V_1 = 4.76V \text{ i } V_2 = 1.19V$$

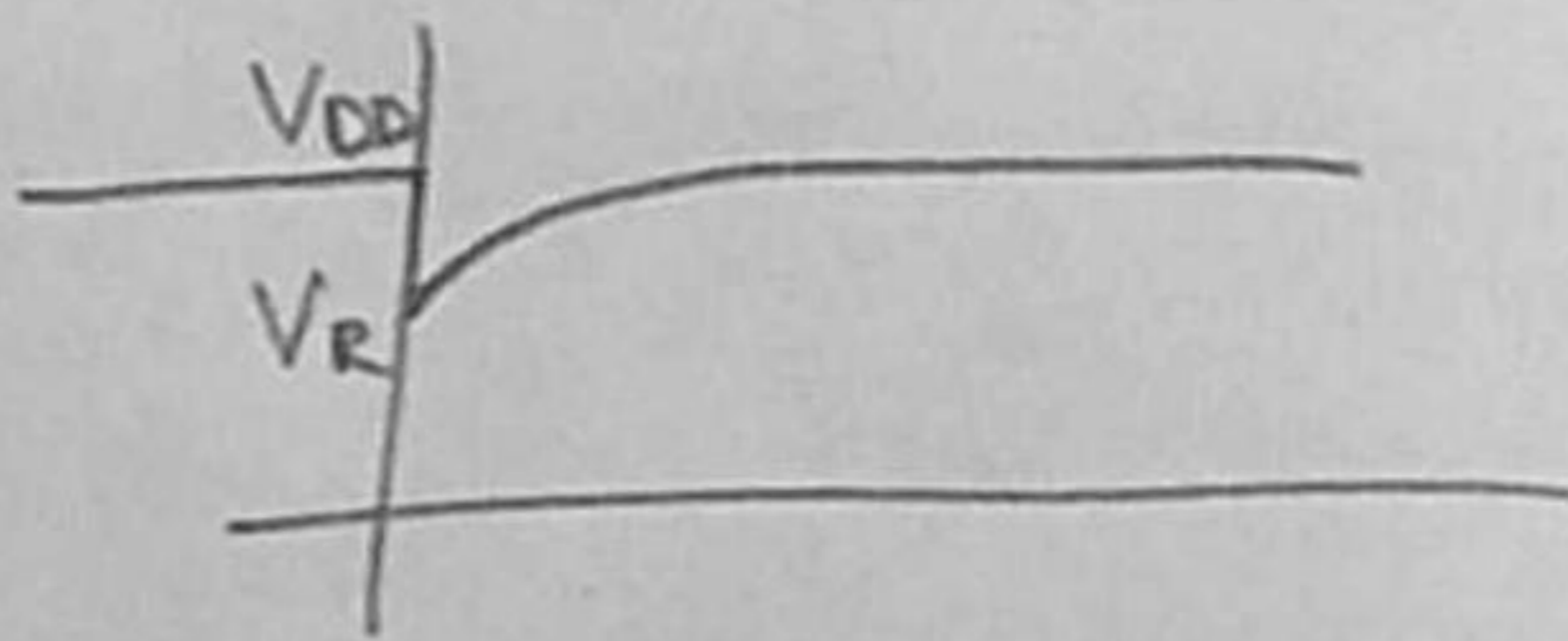
13. Linija podataka može da se modeluje kapacitivnošću  $C_M = 10 pF$ , i na nju se istovremeno prosečno uključuje 32 logička kola. Ulazna kapacitivnost jednog logičkog kola je  $C_{in} = 0.1 pF$ . Izračunati proum napona na izlazu priključuju logičkih kola, ako se linija podataka pobuduje izlazom CMOS logičkog kola. Koliko se maksimalno registara sme istovremeno uključiti na liniju podataka

R: Izlaz CMOS kola pobuduje magistralu na koju se priključuje N registara, koje modelujemo ulaznom kapacitivnošću, slika 13.1

$$C_R = N \cdot C_{in}$$



Slika 13.1



Kada je prekidač otvoren, količina naelektrisanja na  $C_M$  je  $Q = V_M C_M$ . Kada se zatvori prekidač, dolazi do preraspodele naelektrisanja i promene napona  $Q = (C_M + C_R) V_R$ . Izjednačavanjem dobijamo

$$V_R = \frac{C_M}{C_M + C_R} V_M$$

Za logičku nulu ( $V_M = 0$ ) nema promene napona, dok za logičku jedinicu napon se menja sa  $V_M = V_{DD}$  na  $V_R = \frac{C_M}{C_M + C_R} V_{DD}$ . (slika 13.2). Nakon toga se kapacitivnosti ponaše kao

$$\left. \begin{aligned} V_M(\infty) &= V_{DD} \\ V_M(0^+) &= V_R \\ \tau &= (C_M + C_R) R_D \end{aligned} \right\} \Rightarrow V_M(t) = V_{DD} + (V_R - V_{DD}) e^{-\frac{t}{\tau}}$$

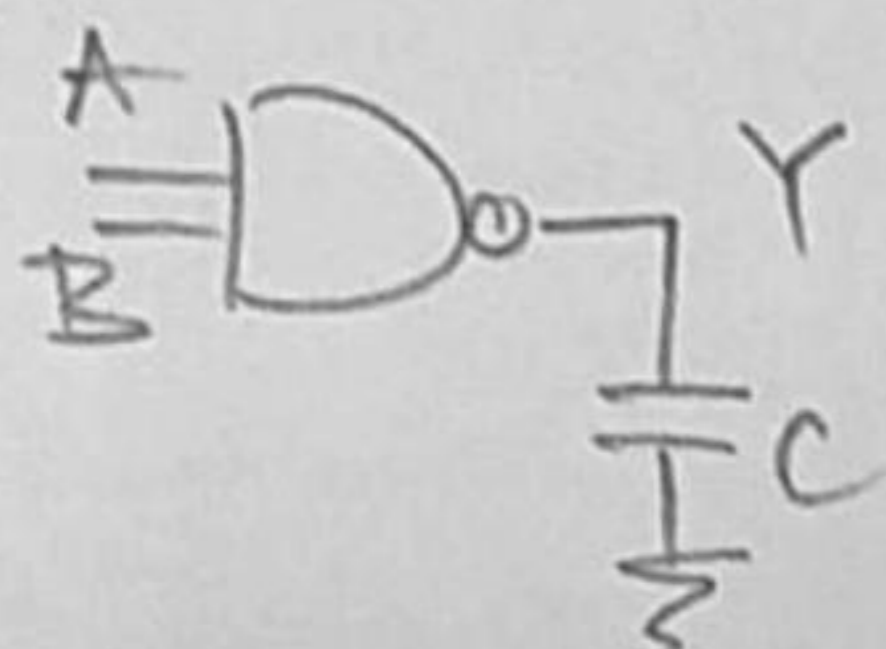
Maksimalan broj registara određen je ograničenjem kola. Ako se pretpostavi da je prag logičkog odličivanja jednak  $\frac{V_{DD}}{2}$ , onda se dobija uslov

$$\frac{C_M}{C_M + N \cdot C_{ul}} V_{DD} \geq \frac{V_{DD}}{2}$$

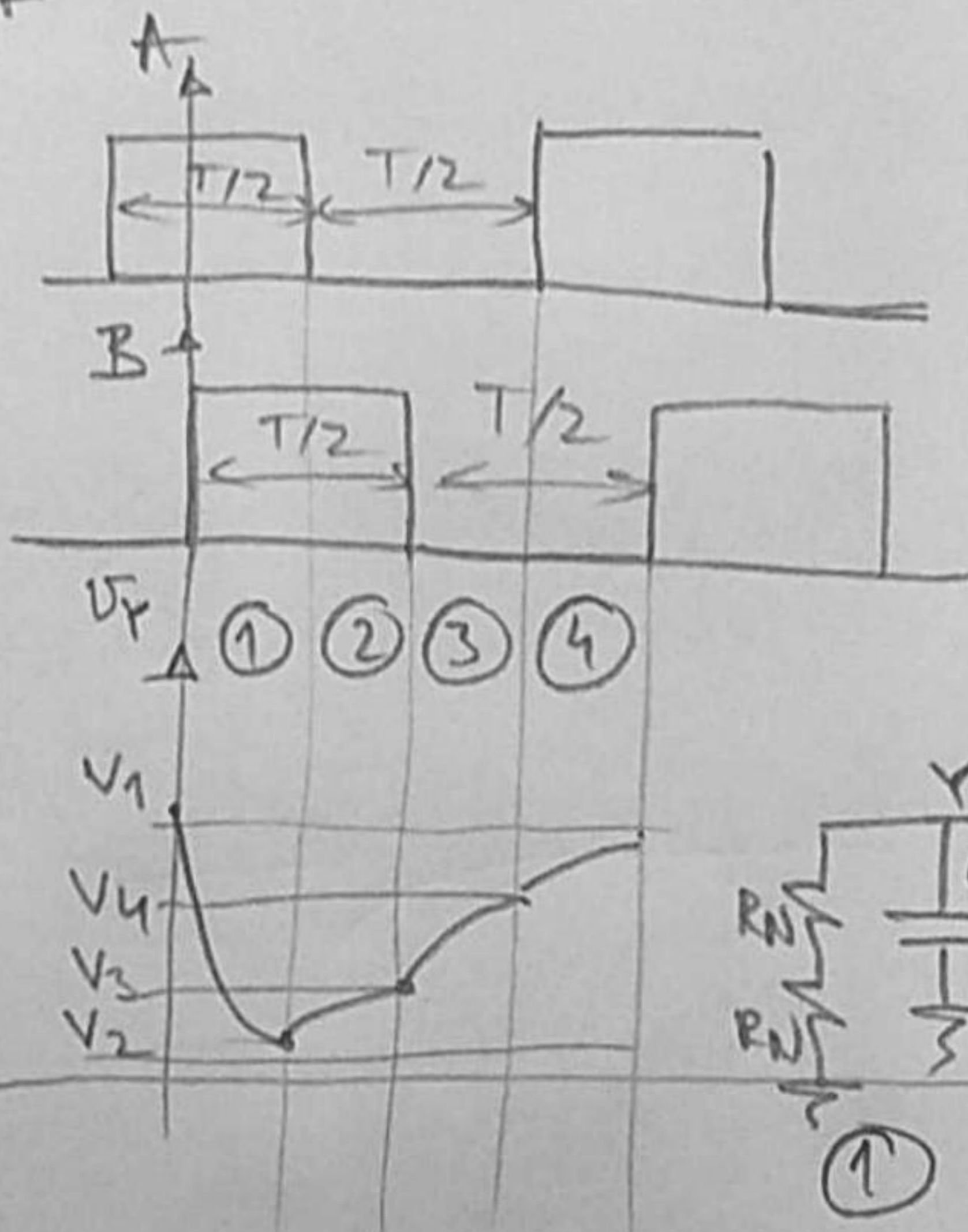
$$N \leq \frac{C_M}{C_{ul}} = 100$$

14) Za MOS tranzistore u NI kolu sa slike 14.1 važi da je  $R_p = 5R_n = 50\Omega$ . Vremenski oblici signala A i B prikazani su na slici 14.2. Izračunati i nacrtati vremenski oblik signala Y u ustaljenom stanju.

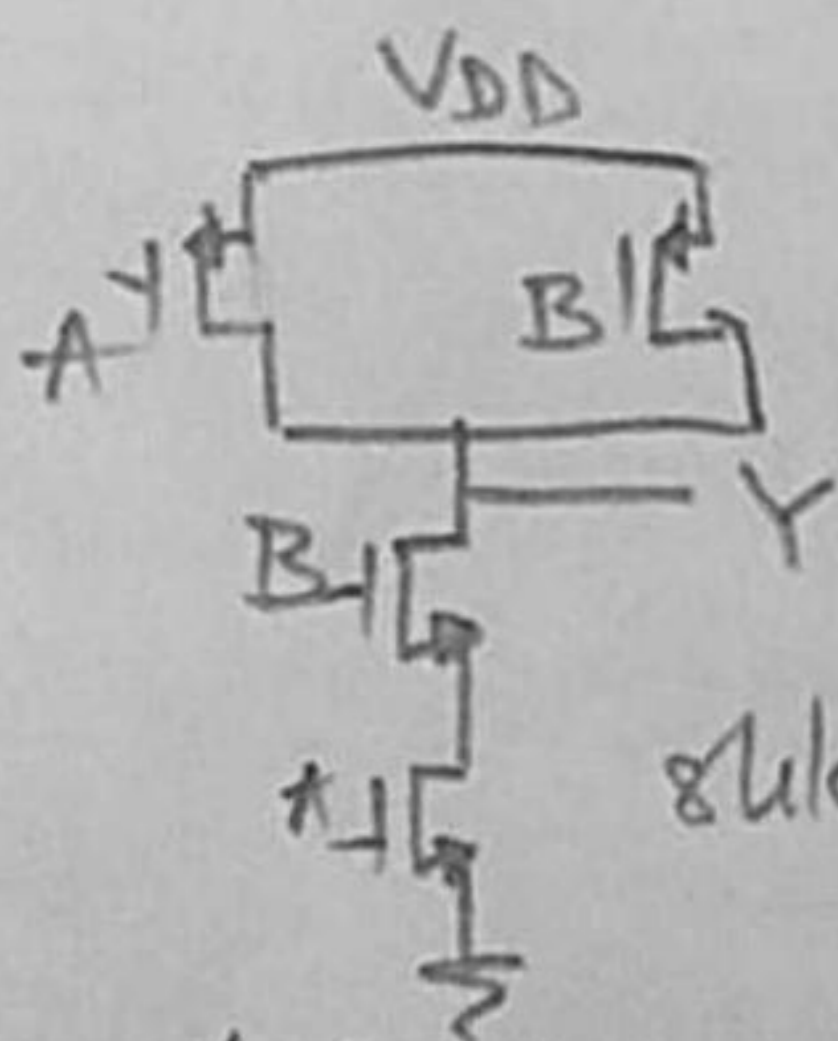
$$T/2 = 5ns, V_{DD} = 5V, C = 40pF$$



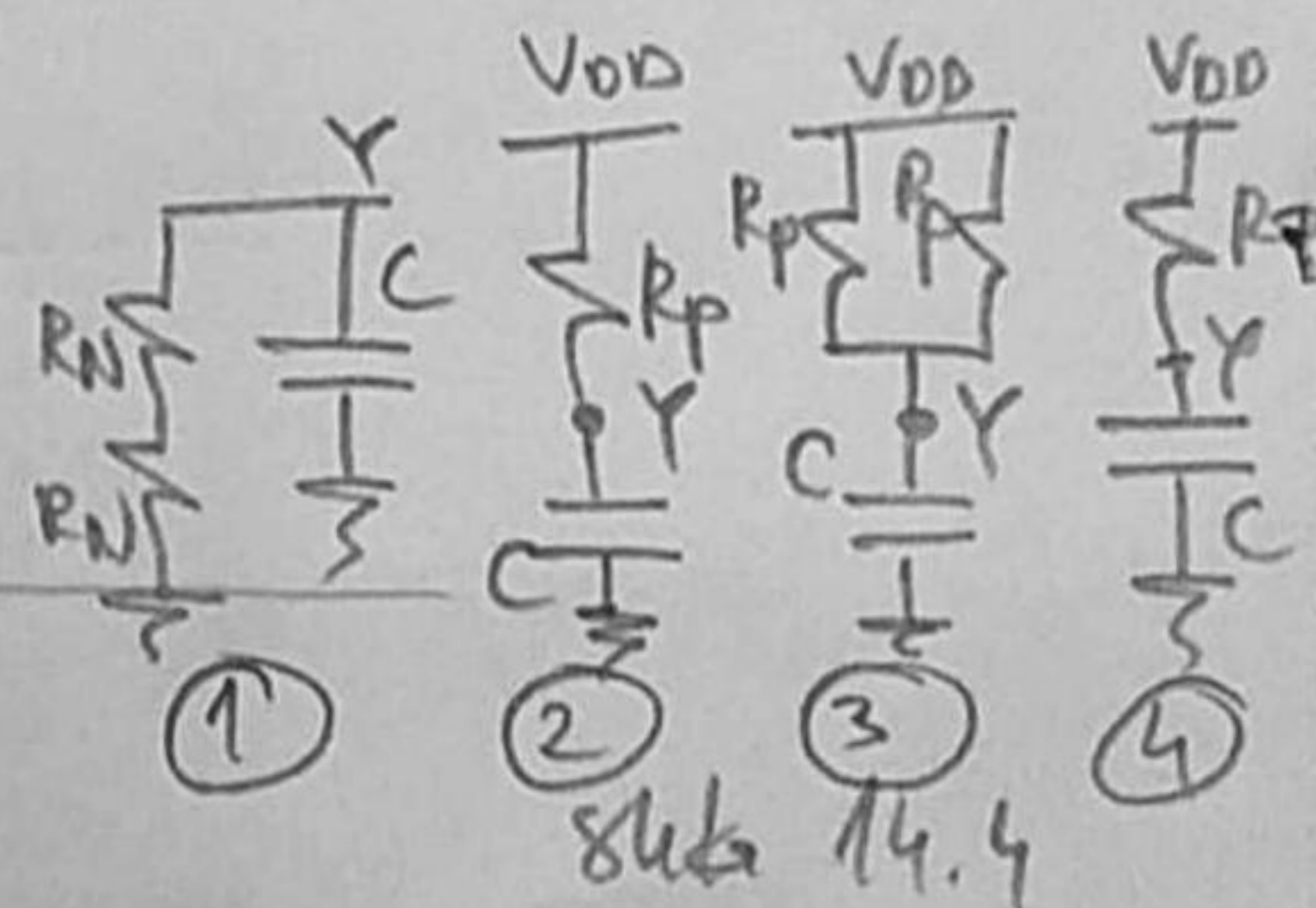
slika 14.1



slika 14.2



slika 14.3



slika 14.4

Na slici 14.3 prikazana je unutrašnja struktura dvo-ulaznog NI kola. Na osnovu ulaznih signala, rad sistema možemo da podelimo u 4 faze, gde su ekvivalentne šeme kola date na slici 14.4.

U prvoj fazi NMOS tranzistori prazne izlaznu kapacitivnost. Važi

$$\left. \begin{aligned} V_I(\infty) &= 0 \\ V_I(0^+) &= V_1 \\ \tau_1 &= 2R_n C \end{aligned} \right\} V_I(t) = V_1 e^{-\frac{t}{\tau_1}} \quad (*)$$

U drugoj fazi vodi PMOS koji odgovara signaleu A i puni izlaznu kapacitivnost.

$$\left. \begin{aligned} V_I(\infty) &= V_{DD} \\ V_I(0^+) &= V_2 \\ \tau_2 &= R_p C \end{aligned} \right\} V_I(t) = V_{DD} + (V_2 - V_{DD}) e^{-\frac{t}{\tau_2}} \quad (**)$$

U trećoj fazi vode oba PMOS tranzistora i puni izlaznu kapacitivnost

$$\left. \begin{aligned} V_I(\infty) &= V_{DD} \\ V_I(0^+) &= V_3 \\ \tau_3 &= \frac{R_p}{2} \cdot C \end{aligned} \right\} V_I(t) = V_{DD} + (V_3 - V_{DD}) e^{-\frac{t}{\tau_3}} \quad \text{(***)}$$

U četvrtoj fazi vodi samo PMOS koji odgovara signalu B i puni izlazni kapacitivnost

$$\left. \begin{aligned} V_I(\infty) &= V_{DD} \\ V_I(0^+) &= V_4 \\ \tau_4 &= R_p C \end{aligned} \right\} V_I(t) = V_{DD} + (V_4 - V_{DD}) e^{-\frac{t}{\tau_4}} \quad \text{(***)}$$

Rešavajući sisteme jednačina koji čine (\*), (\*\*), (\*\*\*) i (\*\*\*) dobijaju se vrednosti  $V_1, V_2, V_3$  i  $V_4$ .

15) Dat je CMOS inverter sa karakteristikama:  $V_{IH} = 3V, V_{IL} = 2V, V_{DD} = 5V,$

$I_{OH} = 10\mu A, I_{OL} = 5\mu A, C_{ul} = 1pF.$  Za neopterećeno kolo važi  $V_{OH} = V_{DD}, V_{OL} = 0V.$

Odrediti faktor gravitacije na izlazu kola ukoliko se on računa kao broj ulaza istih takvih invertora koji se može vezati na izlaz invertora tako da:

- a) vreme uspona bude manje od 50ns
- b) kašnjenje bude manje od 50ns
- c)  $V_{IH}$  bude dostignuto za manje od 50ns

zanemariti kapacitivnosti veza.

R: a) Vreme uspona je vreme potrebno izlaznom signalu da od 10% vrednosti dostigne 90% izlazne vrednosti. Stane u kolu je da PMOS puni izlazni kapacitivnost

$$R_p = \frac{V_{OH} - V_{IH}}{I_{OH}} = 200\Omega \quad R_N = \frac{V_{IL} - V_{OL}}{I_{OL}} = 400\Omega$$

$$\left. \begin{aligned} V_I(0^+) &= 0.1 V_{OH} \\ V_I(\infty) &= V_{OH} \\ \tau &= R_p C_{ul} n_f \end{aligned} \right\} \begin{aligned} V_I(t) &= V_{OH} + (0.1 V_{OH} - V_{OH}) e^{-\frac{t}{\tau}} \\ V_I(t) &= V_{OH} (1 - 0.9 \cdot e^{-\frac{t}{\tau}}) \end{aligned}$$

$$V_I(t_r) = 0.9 V_{OH} = V_{OH} (1 - 0.9 \cdot e^{-\frac{t_r}{\tau}})$$

$$e^{-\frac{t_r}{\tau}} = \frac{1}{9}$$

$$t_r = \tau \ln 9 = R_p C_{ul} n_f \ln 9$$

$$n_f = \frac{t_r}{R_p C_{ul} \ln 9} = \frac{50ns}{200\Omega \cdot 1pF \cdot \ln 9} = \boxed{113},77$$

b) Kašnjenje je vreme koje je potrebno da se dostigne 50% vrednosti izlaznog signala. Računa se kao aritmetička sredina kašnjenja uzlaza i kašnjenja sklone ivice.

za ulaznu varijablu

$$\left. \begin{aligned} V_I(0^+) &= 0 \\ V_I(\infty) &= V_{DD} \\ \tau &= R_p C \end{aligned} \right\} V_I = V_{DD} (1 - e^{-\frac{t}{\tau}})$$

$$V_I(t_{PLH}) = V_{DD} (1 - e^{-\frac{t_{PLH}}{\tau}}) = \frac{V_{DD}}{2}$$

$$t_{PLH} = \tau \ln 2 = R_p C \ln 2$$

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2}$$

$$t_{PD} = \frac{\ln 2}{2} C \ln 2 (R_p + R_n)$$

$$\eta_f = \frac{t_{PD}}{\frac{\ln 2}{2} C \ln 2 (R_p + R_n)} = \frac{50 \text{ ns}}{\frac{\ln 2}{2} \cdot 1 \text{ pF} \cdot 600 \Omega} = \boxed{240.45}$$

c) Posmatamo vreme uspona od  $V_{OL}$  do  $V_{IH}$

$$\left. \begin{aligned} V_I(0^+) &= 0 \\ V_I(\infty) &= V_{DD} \\ \tau &= R_p C \ln 2 \cdot \eta_f \end{aligned} \right\} V_I(t) = V_{DD} (1 - e^{-\frac{t}{\tau}})$$

$$V_I(\Delta t) = V_{IH} = V_{DD} (1 - e^{-\frac{\Delta t}{\tau}})$$

$$e^{-\frac{\Delta t}{\tau}} = \frac{V_{DD} - V_{IH}}{V_{DD}}$$

$$\Delta t = \tau \ln \frac{V_{DD}}{V_{DD} - V_{IH}} = R_p C \ln 2 \cdot \eta_f \ln \frac{V_{DD}}{V_{DD} - V_{IH}}$$

$$\eta_f = \frac{\Delta t}{R_p C \ln \frac{V_{DD}}{V_{DD} - V_{IH}}} = \frac{50 \text{ ns}}{200 \Omega \cdot 1 \text{ pF} \cdot \ln \frac{5}{2}} = \boxed{272.84}$$