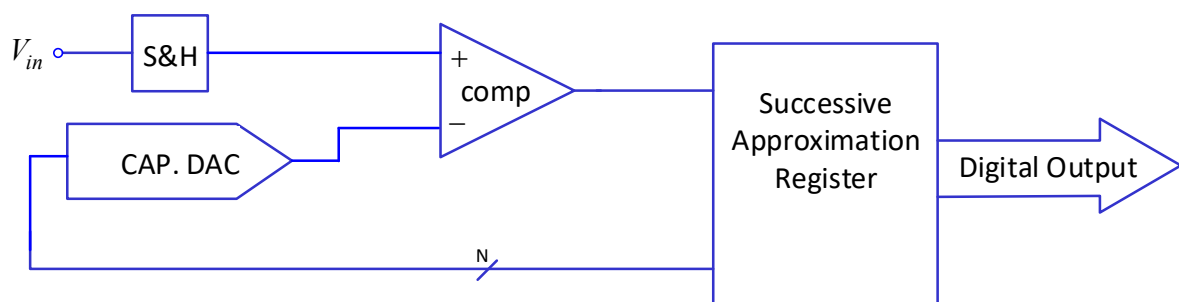


## 2020/2021 Verilog AMS Projekat

1.

a) Sastaviti Verilog-AMS opis 12-bitnog AD konvertora sa sukcesivnim aproksimacijama prikazan na slici. DAC treba da je kapacitivnog tipa (Charge-redistribution), učestanost signala takta je 200MHz, konvertor se napaja iz baterije 1.0V, a u obzir uzeti i naponski ofset komparatora koji se može nalaziti u opsegu  $0 \leq V_{OS} \leq 5 \text{ mV}$ . Konvertor treba da ima signale za start i kraj A/D konverzije.

b) Sastaviti testbench koji će da verifikuje rad AD konvertora i da generiše odgovarajuće vremenske dijagrame.



## 2. Specijalna grupa

Sastaviti Verilog-AMS opis Delta-sigma ADC-a.

Zainteresovani treba da se jave na dole navedeni email, nakon čega će dobiti potrebnu literaturu. S obzirom na aktuelnost teme, ovaj projekat, malo proširen, kasnije može postati diplomski rad.

- Izveštaj projekta (kod sa komentarima, tekstualna objašnjenja, dijagrami, jednačine i šeme kola ) predati u formi izveštaja u PDF formatu.
- Uz izveštaj dodati potrebne fajlove, da bi se simulacijom mogla proveriti originalnost dijagrama iz PDF fajla. Komprimovati sve fajlove u jedan fajl (ZIP format isključivo) i poslati na adresu [rade@el.etf.rs](mailto:rade@el.etf.rs) (subject: AMS projekat)
- Nakon toga će biti organizovana pojedinačna odbrana projekta
- Napomena: Projekat je potrebno predati najkasnije tri dana pre zadnjeg dana ispitnog roka kako bi mogla da se organizuje odbrana i upiše ocena