

AMK 2020, II domaći zadatak

1. Potrebno je realizovati funkcionalni model fazno sinhronizovane petlje - PLL (Phase Locked Loop) koji se sastoji iz

- fazno-frekvencijskog detektora (PFD)
- charge pumpe
- NF filtra 3. reda
- naponski kontrolisanog oscilatora (VCO)

Nakon modelovanja je potrebno povezati sve komponente u PLL koja obezbeđuje sinhronizovane učestanosti ulaza i izlaza u opsegu učestanosti $f_{in} = f_{out} = 5$ MHz.

U prilogu je potrebno priložiti karakteristične vremenske dijagrame u ustaljenom stanju, kao i vremenske oblike pri nagloj promeni referentne ulazne učestanosti od $f_{in1} = 4.9$ MHz do $f_{in2} = 5.1$ MHz.

Za simulacije se mogu koristiti komande sa komandne linije, ili iz ADE okruženja

2. (Specijalna grupa 1) Potrebno je modelovati PLL koja na ulazu ima referentnu učestanost $f_{in} = 5$ MHz, dok je $f_{out} = 5$ GHz.

U prilogu je potrebno priložiti karakteristične vremenske dijagrame u ustaljenom stanju, kao i vremenske oblike pri nagloj promeni referentne ulazne učestanosti od $f_{in1} = 4.9$ MHz do $f_{in2} = 5.1$ MHz.

3. (Specijalna grupa 2) Potrebno je modelovati PLL koja na ulazu ima referentnu učestanost $f_{in} = 5$ MHz, dok je $f_{out} = 5$ GHz. Na izlaz VCO je potrebno superponirati generator koji modeluje fazni šum VCO.

U prilogu je potrebno priložiti karakteristične vremenske dijagrame u ustaljenom stanju, kao i vremenske oblike pri nagloj promeni referentne ulazne učestanosti od $f_{in1} = 4.9$ MHz do $f_{in2} = 5.1$ MHz.

Bira se 1, 2, ili 3.