

Универзитет у Београду  
Електротехнички факултет  
Катедра за електронику

Пројектовање *VLSI* система

Лабораторијска вежба

**Контрола приступа**

Први део

аутори: Страхиња Јанковић, Драгомир Ел Мезени и Владимир Петровић

Београд, 2022.

# 1 Циљ вежбе

Циљ ове вежбе је да студенти кроз реализацију контролера приступа реализују самостално машину стања и осмисле архитектуру система. Код ће бити писан у *VHDL*-у. Пројектовани дизајн је потребно најпре симулирати а потом спустити на хардверску платформу.

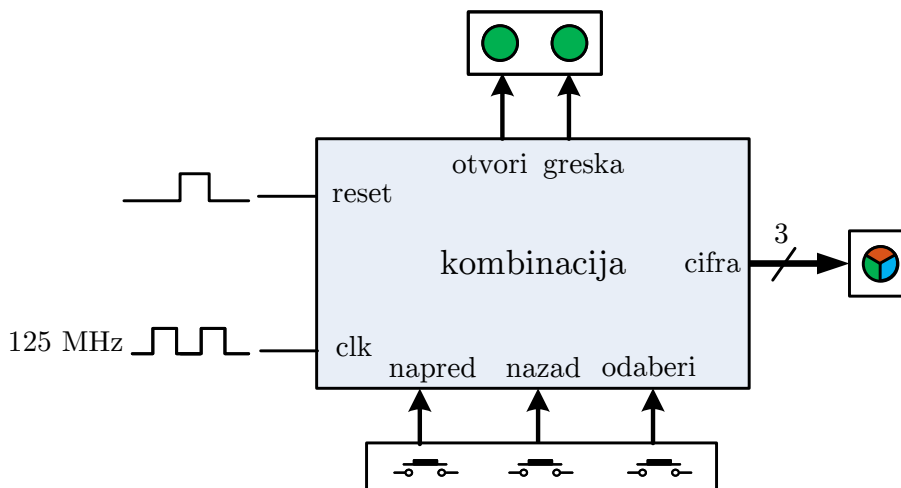
На располагању је софтвер *Xilinx Vivado*, а дизајн се хардверски имплементира на плочи *Arty Z7-20* са *FPGA* чипом из *ZYNQ-7000* фамилије.

Први део вежбе подразумева пројектовање основне машине стања која представља језгро система.

# 2 Управљање тренутном комбинацијом

На слици 1 је шематски приказан блок који управља тренутном комбинацијом. Комбинација се састоји од 4 окталне цифре. Након сигнала ресета почетно стање блока који управља тренутном комбинацијом је са свим цифрама постављеним на 0 и искљученим сигнализаторима за отварање и грешку. Промена вредности тренутне цифре врши се у зависности од сигнала *napred* односно *nazad*. Сигнали *napred* и *nazad* трају један тактни интервал. Уколико је сигнал *napred* једнак „1” врши се инкрементирање тренутне цифре, а уколико је сигнал *nazad* једнак „1” врши се декрементирање тренутне цифре. Уколико се приликом промене цифре дође до краја опсега, потребно је превртети цифре (нпр. уколико је тренутна цифра 7 и појави се сигнал *napred*, следећа цифра је 0). Вредност цифре која се тренутно бира приказује се на излазу *cifra*. Три бита тренутне окталне цифре биће мапирана на *RGB LE* диоду, чиме се омогућава праћење уноса.

Појавом сигнала *odaberi* прелази се на подешавање следеће цифре. Сигнал *odaberi* траје један тактни интервал. Након подешавања четврте цифре, појавом сигнала *odaberi* евалуира се унета комбинација. Уколико је комбинација исправна активира се сигнал *otvori*, а уколико није исправна, активира се сигнал *greska*. Потребно је омогућити да сигналне диоде светле 2 s пре него што се омогући поновни одабир комбинације. Машина стања се тактује сигналом учестаности 125 MHz.



Слика 1: Шематски приказ контролера комбинације

Напомена: У овом делу вежбе потребно је дефинисати константу од 12 бита која ће представљати лозинку за откључавање.

## Задатак:

- Направити нови пројекат у *Vivado* софтверу.
- Осмислити машину стања којом ће се имплементирати функционалности описаног блока. Водити рачуна о томе да број стања не експлодира. За потребе овог пројекта довољан је једноцифрен број стања.
- У пројекту направити фајл *kombinacija.vhd* у коме треба описати у *VHDL*-у тражену машину стања. Приликом писања кода водити рачуна да називи портова одговарају ознакама на слици 1. Машина стања треба да ради на основној учестаности такта. Слично као и у првој лабораторијској вежби, за генерисање тражених реалних временских интервала користити бројач. Вредности до којих бројач броји треба да буду лако измењиве променом константе (нпр. *C\_SECOND*).
- Креирати симулацију комбинације којом треба испитати функционисање машине стања. Узимајући у обзир да је у реалном случају периода такта знатно краћа од трајања стања, за потребе симулације неопходно је времена трајања стања скалирати на прихватљиве вредности.
- За потребе другог дела лабораторијске вежбе неопходно је пројектовати модул ROM меморије. Слично као у примеру са вежби на табли, реализовати ROM меморију са 64 локације која у свакој локацији садржи 12-битни податак. Фајл назвати *pass\_rom.vhd*.
- Написати тест за ROM меморију из претходне тачке и приказати успешно читање са неколико меморисјких локација.

На почетку рада у лабораторији студенти треба да покрену симулацију кода који су написали и да демонстрирају да им дизајн ради.